

一种单锁存器 CMOS 静态 D 触发器的设计

莫 凡 俞 军 章 倩 苓

(复旦大学专用集成电路与系统国家重点实验室 上海 200433)

摘要 提出了一种只使用单锁存器的 CMOS 静态 D 触发器结构。由于它比普通的主从型 D 触发器少一个锁存器, 故所需的管子数少, 从而节省了面积。该单锁存器型 D 触发器还具有对时钟上升时间不敏感的优点。

EEACC: 1265B

1 引言

本文提出的 CMOS 静态 D 触发器结构, 只使用单个锁存器, 故称作单锁存器型 D 触发器 (Single-Latch D-Type Flip-Flop, 以下简称 SL-DFF)。该结构主要是由有效时钟沿 (本文中有效时钟沿皆指时钟上升沿) 产生一狭窄的控制脉冲, 使锁存器做短暂的导通; 有效时钟沿过后, 锁存器保持锁定状态, 从而实现 D 触发器的逻辑功能。SL-DFF 主要有两个优点: 首先, 它所用的管子数比传统的主从型 D 触发器 (Master-Slave D-Type Flip-Flop, 以下简称 MS-DFF) 少。第二, 它相对 MS-DFF 而言, 对时钟边沿的上升时间要求小。

2 SL-DFF 结构

SL-DFF 比 MS-DFF 节省芯片面积的关键是只使用单个锁存器。其基本原理是在 CLK 上升沿处, 利用一特殊的时钟模块 (Clock Module, 以下简称 CB) 产生一狭窄的控制脉冲, 使锁存器短暂导通, 从而实现边沿触发寄存数据的功能。图 1 给出了 SL-DFF 的结构, MN5、MP5 至 MN8、MP8 组成了常规的 8 管锁存器。其余管子皆属于 CB。其中 MP1、MN1 构成反相器, 使时钟信号 CLK 延迟并反相为 NCLK; MN2、MN3、MP2、MP3 构成与非门, CLK 上跳时, 因反相器的延迟, 一短暂时间内与非门的两个输入端同时为 1, 故 NPHI 为 0; 其他时间与与非门两个输入端总是至少有一个为 0, 故 NPHI = 1。PHI 是 NPHI 的补信号, 与 NPHI 共同控制锁存器, 仅在 NPHI = 0、PHI = 1, 即 CLK 上升处出现 NPHI 负窄脉冲时使

莫 凡 男, 1972 年出生, 复旦大学电子工程系研究生, 研究方向包括 VLSI 低功耗设计

俞 军 男, 1968 年出生, 博士, 现任复旦微电子股份有限公司副总经理

章倩苓 女, 1936 年出生, 复旦大学首席教授, 博士生导师, 专用集成电路与系统国家重点实验室主任

1998-08-11 收到, 1999-01-20 定稿

锁存器导通

SL-DFF 比MS-DFF 节省了一个锁存器,而当为触发器增设异步复位或置位端时,这一优势就更为明显了。MS-DFF 的两个锁存器都得将相应的非门转化为与非门;而SL-DFF 因仅单个锁存器,故只需改动一个非门即可。图2给出了带异步复位端的SL-DFF 电路结构。表1对比了两种形式D 触发器在几种不同功能下所用的管子数。表中所指的管子数不包括额外设立的输出缓冲级。

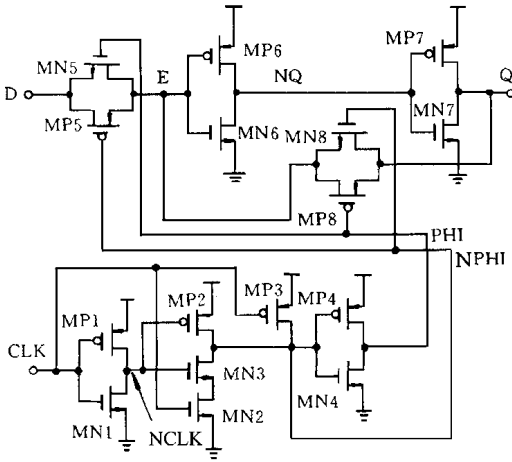


图1 SL-DFF 结构

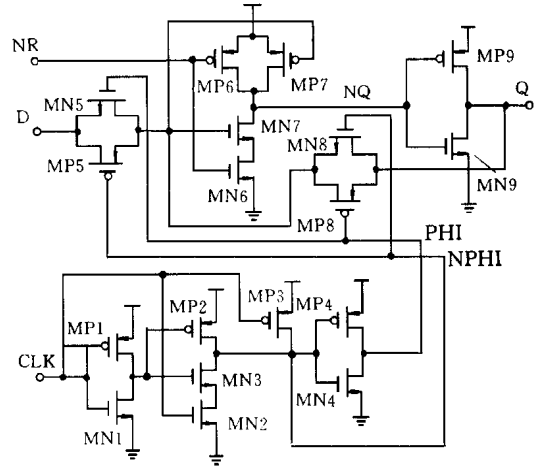


图2 带RESET 功能的SL-DFF 结构

此外,为提高集成度,可将数个SL-DFF 编成一组,共用一时钟模块。在这种场合,SL-DFF 相对MS-DFF 就可以节省更多的管子了,参见表2的对比。

表1 MS-DFF 和SL-DFF 的管子数对比

功能	MS-DFF	SL-DFF
不带复位、置位	20	16
带复位	24	18
带复位、置位	28	20

表2 MS-DFF 和SL-DFF 在编组情况下的管子数对比

一组的触发器数	MS-DFF	SL-DFF
2	36	24
4	68	40
8	132	72

3 SL-DFF 对时钟上升时间 t_{TCLK} 的不敏感性

随着集成度的不断提高,经过长距离时钟树到达触发器的时钟信号,边沿已很难保证有足够的陡峭度。而传统的MS-DFF 对时钟边沿要求甚高^[5],会因此而导致工作不可靠。本节将说明,SL-DFF 对时钟上升时间的要求很低,即它对时钟上升时间不敏感。

SL-DFF 中最关键的信号是NPHI 节点的控制窄脉冲,只要其脉宽 t_w 受时钟边沿陡峭度影响很小,SL-DFF 就能相对独立于时钟上升时间地工作。参见图3的CB 时序, t_w 等于:

$$t_w = t_{d0} - t_{d1} + t_{d2} \tag{1}$$

t_{d0} 是时钟CLK 上升至非门输出下降的延迟时间, t_{d1} 是时钟上升至与非门输出下降的延迟时间,而 t_{d2} 则是非门下降到与非门上升的延迟时间。按 α 指数率MOSFET 模型^[1,2], t_{d0} 可表示

为:

$$t_{d0} = \left(\frac{1}{2} - \frac{1 - V_{TN}/V_{DD}}{1 + \alpha_0} \right) t_{TCLK} + \frac{C_0 V_{DD}}{2 I_{DOMN1}} \quad (2)$$

式中 t_{TCLK} 是时钟上升时间; V_{TN} 是 NMOS 管的阈值电压; V_{DD} 是电源电压; C_0 是非门的负载电容, 即 MN1、MP1 输出节点 NCLK 上的电容; I_{DOMN1} 是 MN1 当栅、漏都接 V_{DD} 时的漏极电流 参数 α_0 是反映载流子速度饱和效应的量, 以 V_{GS} 为参数做输出特性曲线 $I_D - V_{DS}$, 再拟合 $\ln I_D - \ln V_{GS}$, 其斜率就是 α_0 , 取值在 1 到 2 之间 同时算出非门的输出下降时间 t_{T0} :

$$t_{T0} = \frac{C_0 V_{DD}}{I_{DOMN1}} \left(\frac{0.9}{0.8} + \frac{V_{DOMN1}}{0.8 V_{DD}} \ln \frac{10 V_{DOMN1}}{e V_{DD}} \right) \quad (3)$$

其中 V_{DOMN1} 是 MN1 栅极接 V_{DD} 时的漏源饱和压降 计算 t_{d1} 类似于 t_{d0} , 但需考虑 MN2 上串接的 MN3 参照文献[3]提供的有关计算串联 MOSFET 电路延迟的方法, 有:

$$t_{d1} = \left(\frac{1}{2} - \frac{1 - V_{TN}/V_{DD}}{1 + \alpha_1} + \frac{(V_{NAND} - V_{TN})^{1 + \alpha_1}}{V_{DD} (1 + \alpha_1) (V_{DD} - V_{TN})^{\alpha_1}} \right) t_{TCLK} + \frac{C_1 V_{DD}}{2 I_{DOMN2}} \quad (4)$$

式中 α_1 、 V_{DOMN2} 、 I_{DOMN2} 和 α_0 、 V_{DOMN1} 、 I_{DOMN1} 的定义和求法同上; C_1 是与非门输出的负载电容; V_{NAND} 是与非门的输入阈值电平, 即 MN3 栅固定 V_{DD} 时, 使输出等于 50% V_{DD} 的 MN2 栅压 接下去求 t_{d2} 此时驱动管是 MP2, 利用和 NMOS 管对称的方法, 有:

$$t_{d2} = \left(\frac{1}{2} - \frac{1 - V_{TP}/V_{DD}}{1 + \alpha_2} \right) t_{T0} + \frac{C_2 V_{DD}}{2 I_{DOMP2}} \quad (5)$$

α_2 、 I_{DOMP2} 定义方法如前文所述; 而 t_{T0} 正是 (3) 所求得的非门输出下降时间 此时, 式 (1) 中构成 t_w 的三个量皆已求得 可以把 t_w 改写成两项之和,

$$t_w = k_C t_{TCLK} + t_1 \quad (6)$$

t_1 项与时钟上升时间无关, 由 (1) 至 (5):

$$t_1 = \frac{C_0 V_{DD}}{2 I_{DOMN1}} - \frac{C_1 V_{DD}}{2 I_{DOMN2}} + \frac{C_2 V_{DD}}{2 I_{DOMP2}} + \frac{C_0 V_{DD}}{I_{DOMN1}} \left(\frac{0.9}{0.8} + \frac{V_{DOMN1}}{0.8 V_{DD}} \ln \frac{10 V_{DOMN1}}{e V_{DD}} \right) \times \left(\frac{1}{2} - \frac{1 - V_{TP}/V_{DD}}{1 + \alpha_2} \right) \quad (7)$$

式 (6) 中 $k_C t_{TCLK}$ 项与时钟上升时间 t_{TCLK} 有关, 由 (1)、(2)、(4) 有:

$$k_C = (1 - V_{TN}/V_{DD}) \left(\frac{1}{1 + \alpha_1} - \frac{1}{1 + \alpha_0} \right) - \frac{(V_{NAND} - V_{TN})^{1 + \alpha_1}}{V_{DD} (1 + \alpha_1) (V_{DD} - V_{TN})^{\alpha_1}} \quad (8)$$

其中, V_{NAND} 可通过改变与非门管子的宽长比来调整 如果适当地调整 V_{NAND} 使 k_C 趋向于零, 则 t_w 同时钟上升时间不相关; 因此, (6) 式中 t_w 的取值将只由 t_1 决定 V_{NAND} 已用于控制 k_C , 所以 (7) 内同与非门有关的诸如 I_{DOMN2} 、 I_{DOMP2} 、 V_{DOMN1} 等不宜成为调控 t_w 的量 最佳的是 I_{DOMN1} , 它与 k_C 无关 I_{DOMN1} 可通过改变非门管子的宽长比来调节

4 时序分析

为了保证 SL-DFF 有正确的工作时序, 必须推导其传输延迟时间 t_{dCQ} 、建立时间 t_{SETUP} 和保持时间 t_{HOLD} , 并研究它们的相互关系 一个使用同种时序器件 (比如 SL-DFF) 的系统, 其

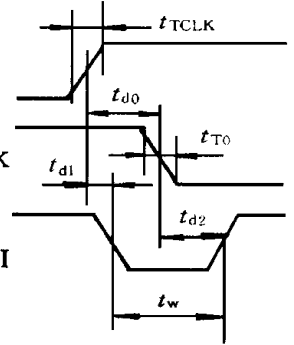


图 3 CB 时序

正常工作的必要条件是: 一、每个时序器件的D 输入在时钟沿前 t_{SETUP} 之前就已稳定; 二、每个时序器件的D 输入在时钟沿之后 t_{HOLD} 之前必须保持不变^[4,6]。推导传输延迟时间、建立时间和保持时间等参量时, 仍可依据 α 指数率MOSFET 模型; 下文只讨论它们之间应满足的时序关系

传输延迟时间 t_{dCQ} 是时钟上升到Q 更新的延迟时间。SL-DFF 的 t_{dCQ} 是由两部分组成, 一是时钟边沿到锁存器开始导通的延迟, 一是锁存器导通至Q 更新的延迟, 可表示为:

$$t_{dCQ} = t_{d1} + \max(t_{dPQ}) \tag{9}$$

式中 时钟边沿到锁存器开始导通的延迟 t_{d1} 上一节已求得; 而NPHI到Q 的延迟 t_{dPQ} 取最大值(max)的原因在于传输不同电平的延迟时间可能略有不同, 需区分 t_{dPQH} 和 t_{dPQL} 。由图 4 可知:

$$t_{dPQ} = t_{d3A} + t_{d4A} + t_{d5A} \tag{10}$$

式中各时间量的定义方法和推导过程与前文相似

建立时间 t_{SETUP} 定义为时钟沿前D 端信号需稳定的时间, D 信号若迟于 t_{SETUP} 才稳定, 则Q 不能正确获得D 的值。对SL-DFF 而言, 即需要保证在NPHI 负容脉冲结束前, D 的信号能正确传输到Q 端。如图 5(a) 所示, 上述关系可归结为:

$$|t_{SETUP}| = t_{d1} + t_w - \max(t_{dDQ}) \tag{11}$$

其中 t_{d1} 、 t_w 前文已有定义; t_{dDQ} 是D 到Q 的延迟, 取max 也是考虑了传输不同电平时的差别。不难发现, SL-DFF 的建立时间是负值, 这意味着D 甚至可以在时钟边沿后才稳定。

图 5(b) 是保持时间 t_{HOLD} 的示意图。对于SL-DFF, 需保证CLK 后 t_{HOLD} 以后, D 即使发生变化, 也来不及传输到Q, 即:

$$t_{HOLD} = t_w + t_{d1} - \min(t_{dDQ}) \tag{12}$$

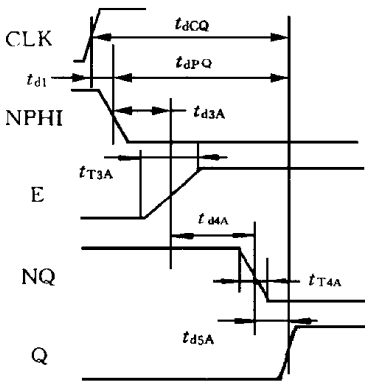


图 4 锁存器时序

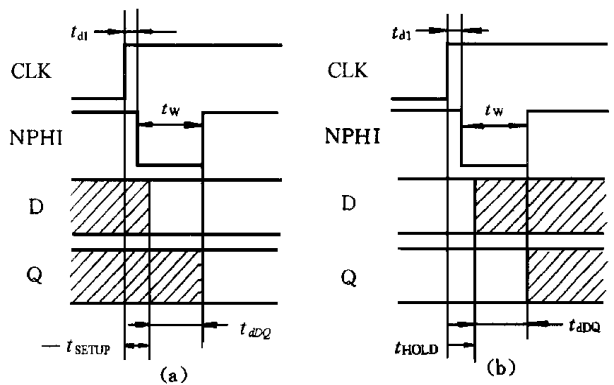


图 5 建立时间和保持时间的定义
(a) 建立时间, (b) 保持时间

触发器若设计不佳, 使传输延迟时间小于保持时间, 就很容易破坏上述条件二, 即形成“透明过度”。移位寄存器和二分频器是检验保持时间是否合理的简便、有效的测试电路。因为这两种电路中, 触发器的输出直接、或只经一级非门接至触发器的输入端, 路径上的延迟很小。以二分频器为例, 其Q 端输出经一级非门反馈至D 端, 时钟上升后, 更新的、经反相的Q 信号回到D 端时, 若尚处于保持时间内, 那么就违反了“保持时间内D 不能变化”的规则, 从而造

成触发器不稳定 移位寄存器的条件更苛刻些, 因为如果前一个触发器的 Q 变化发生在后一个触发器的保持时间内, 就会使后者不稳定 所以, 一般要求:

$$t_{dCQ} > t_{HOLD} \quad (13)$$

便能保证, 即便是移位寄存器这种应用场合, 也有安全的时序 联系 (9) 和 (12), 式 (13) 转化为:

$$t_w < \max(t_{dPQ}) + \min(t_{dDQ}) \quad (14)$$

又明显地, 必须满足:

$$t_w > \max(t_{dDQ}) \quad (15)$$

才能保证在 $NPHI = 0$ 时, 数据能从 D 正确地传送到 Q. 因此, 确保时序安全的条件可归结为:

$$\max(t_{dDQ}) < t_w < \max(t_{dPQ}) + \min(t_{dDQ}) \quad (16)$$

SL-DFF 因其结构的特殊性, 为了满足这一条件, 设计尺寸上的容差比 MS-DFF 小, 即 SL-DFF 对工艺参数、设计尺寸、甚至是版图拓扑结构更加灵敏 但按照 (16) 的约束, 可以设计出与 MS-DFF 性能相当且工作可靠的 SL-DFF.

5 实验结果

在 $0.6\mu\text{m}$ CMOS 工艺下制做了 SL-DFF 的测试芯片. 用于测试的电路之一是 16 计数器, 包含了 4 个图 2 所示的 SL-DFF, 它的第一级正是上文讨论的二分频器 同时制做了用于对照的另一组计数器, 使用的时序元件是 4 个 MS-DFF 两者的组合电路完全一致 参见图 6, SL-DFF 所占用的芯片面积比 MS-DFF 小约 50%. 实测两种计数器的最高工作频率均为 380MHz

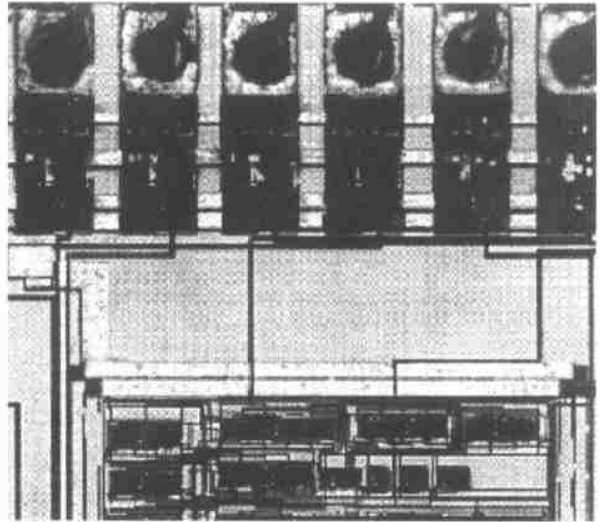


图 6 SL-DFF 测试芯片

6 结论

本文提出的单锁存器 CMOS 静态 D 触发器, 与传统的主从型 D 触发器相比, 能进一步提高集成度, 并减少对时钟上升时间的敏感性 实验结果证明了 SL-DFF 正确的逻辑功能和较佳的性能, 因此有理由相信, SL-DFF 在 VLSI 设计中将有一定的应用价值

参 考 文 献

- [1] T. Sakurai and A. R. Newton, IEEE J. Solid-State Circuits, 1990, 25(2): 584~ 594
- [2] S. Dutta, S. S. Mahant and S. L. Lusk, IEEE J. Solid-State Circuits, 1995, 30(8): 864~ 871

- [3] T. Sakurai and A. R. Newton, IEEE J. Solid-State Circuits, 1991, **26**(2): 122~ 131.
- [4] H. J. Chao and C. A. Johnson, IEEE J. Solid-State Circuits, 1989, **24**(5): 1454~ 1458.
- [5] D. A. Hodges and H. G. Jackson, "Analysis and Design of Digital Integrated Circuits", McGraw-Hill, 1988.
- [6] M. J. Sebastian Smith, "Application-Specific Integrated Circuits", Addison-Wesley, 1997, 560~ 629.

Design of Single-Latch CMOS Static D-Type Flip-Flop

Mo Fan, Yu Jun, Zhang Qianling

(ASIC & Systems State Key Laboratory, Fudan University, Shanghai 200433)

Received 11 August 1998, revised manuscript received 20 January 1999

Abstract This paper presents a CMOS static D-type flip-flop which involves a single latch. The built-in clock block generates a narrow pulse at the clock edge, making the latch transparent for a short time. This single-latch D-type flip-flop employs fewer transistors than conventional master-slave D-type flip-flop, and lowers the sensitivity to the rising time of clock signal.

EEACC: 1265B