

热载流子应力感应 n-MOSFETs GDL 特性退化的机理*

徐静平

黎沛涛

(华中理工大学电子科学与技术系 武汉 430074) (香港大学电机电子工程系 香港薄扶林道)

摘要 对不同栅氧化物 n-MOSFETs 的 GDL (Gate-Induced Drain Leakage) 特性在不同热载流子应力下的退化行为进行了研究, 发现 GDL 的漂移对栅电压十分敏感, 在 $V_G = 0.5V_D$ 的应力条件下呈现最大. 通过对漏极附近二维电场及载流子分布的模拟, 引入“亚界面陷阱”概念, 对所涉及的机理提出了新见解, 认为: 在应力期间, 亚界面和体氧化物空穴陷阱的解陷分别相应于 $V_G = 0.5V_D$ 和 $V_G = V_D$ 两种典型应力下 GDL 的漂移. 实验还观察到 N_2O 氮化, 特别是 N_2O 退火 NH_3 氮化的 n-MOSFETs 比常规热氧化 n-MOSFETs 有小得多的 GDL 漂移, 表明这种氮氧化物能大大抑制亚界面和体空穴陷阱.

EEACC: 2560R, 0170N

1 引言

栅极感应漏极漏(GDL)电流是MOSFETs主要的断态漏电机理^[1,2],严重影响着器件的可靠性.特别是随着器件尺寸的不断减小,器件内部横向电场不断增强,热载流子效应引起断态漏电增加的机率随之变大.张炯等对n-MOSFETs反向断态电流的研究发现,应力后的断态电流变大^[3].本文在对n-MOSFETs GDL电流的研究中也观察到同样现象,而且进一步发现GDL电流增加与应力时栅电压的大小(漏电压固定)密切相关,其中在最大衬底电流应力条件下($V_G = 0.5V_D$)漂移最大.这一发现有助于全面了解GDL的性质及其与氧化物陷阱的关系,也可为MOSFETs最佳工作条件的选择提供参考.

一般认为,在低场区,引起GDL电流的一个主要机制是电子从价带隧道至导带,即所谓的带-带(B-B)隧道效应^[2,4].显然,B-B隧道与硅表面势,或者说能带的弯曲程度密切相关.本文以此为基础,通过对漏极附近电场和载流子填充水平的二维器件模拟,将栅氧化物

* 香港大学RGC和CRCG基金资助项目

徐静平 博士,副教授,研究兴趣包括MOS器件介面物理、先进的栅介质材料、热载流子效应以及碳化硅为基的高温、高频和大功率半导体器件

黎沛涛 香港大学电机电子工程系副教授,博士,研究兴趣包括各种控制IC复杂性的物理机理调查、用于IC工艺和半导体器件模拟的有效算法及模型研究,以及用于IC工艺、集成传感器、器件和电路设计的PC为基CAD工具的开发

1999-02-26收到,1999-06-07定稿

陷阱划分为亚界面陷阱及体陷阱两部分, 并比较研究 N_2O 处理与常规 n -MOSFETs 的不同 GDL 特征, 对 GDL 在不同栅压下漂移的机理进行了详细的分析讨论, 提出了新的见解同时得出 N_2O 处理的栅氧化物有大大抑制的氧化物空穴陷阱, 从而小的 GDL 漂移, 是一种优质的栅介质膜

2 实验

n -MOSFETs 由自对准 n^+ 多晶硅栅极工艺制备. 衬底为电阻率 $6\sim 8\Omega\cdot\text{cm}$ 的 p 型硅单晶片. 栅氧化物包括热氧化(OX)、 NH_3 氮化(NO)、 N_2O 退火 NH_3 氮化(N_2ONO)及 N_2O 氮化(N_2ON) 几种氧化物. 各种栅氧化物的制备条件如表 1 所示. 所有栅氧化物最后在氮气氛中在 950°C 退火 25min. 表 1 中不同氧化时间是为了获得一致的氧化物厚度($\sim 13\text{nm}$). MOSFETs 的栅极长(L)和宽(W)均为 $20\mu\text{m}$. GDL 电流的测量条件为: $V_G = -1\text{V}$, $V_D = 3\sim 10\text{V}$, 源和衬底接地. 热载流子应力条件为: $V_D = 8\text{V}$, V_G 为 2, 4, 6, 8V, 时间为 1, 20, 50, 100, 160s. 二维器件模拟由 MNMOS 器件模拟器获得. 栅-漏重叠区宽度由 BSM Pro[®] 抽取, 约为 $0.1\mu\text{m}$, 从而有效沟道长度为 $19.8\mu\text{m}$. 测量在充氮、遮光和电屏蔽的条件下, 采用 HP4145B 半导体参数分析仪进行.

表 1 四种栅氧化物的制备条件

器件	氧化	氮化	退火
OX	$O_2, 850^\circ\text{C}, 70\text{min}$	-	-
NO	$O_2, 850^\circ\text{C}, 70\text{min}$	$NH_3, 950^\circ\text{C}, 35\text{min}$	-
N_2ON	$O_2, 850^\circ\text{C}, 60\text{min}$	$N_2O, 950^\circ\text{C}, 35\text{min}$	-
N_2ONO	$O_2, 850^\circ\text{C}, 65\text{min}$	$NH_3, 950^\circ\text{C}, 35\text{min}$	$N_2O, 950^\circ\text{C}, 30\text{min}$

3 结果和讨论

图 1 所示为应力后 OX 器件的 GDL 漂移. 实线为应力前稳态测量结果, 其它各线分别

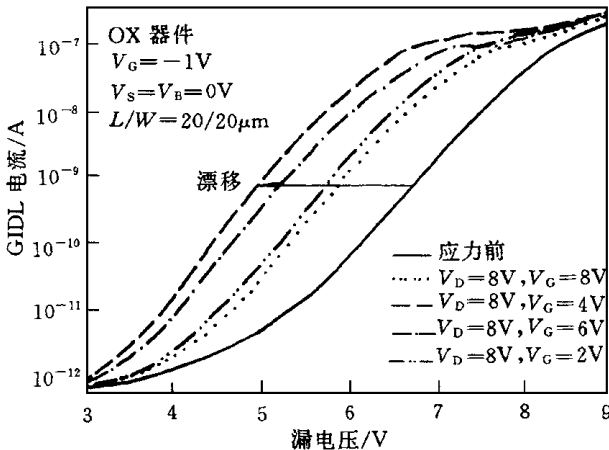


图 1 应力感应 OX 器件 GDL 电流的漂移
应力时间为 160s

表示在不同栅电压下(固定 $V_D = 8\text{V}$)应力达 160s 后的测量结果. 可以看出, $V_G = 0.5V_D = 4\text{V}$ 以及 $V_G = V_D = 8\text{V}$ 两个典型的应力分别导致最大及最小的 GDL 漂移. 然而, 对于 N_2ON 器件, 特别是 N_2ONO 器件, 相应的漂移小得多, 如图 2 所示(为清楚起见, 仅画出在上述两个典型应力下的漂移). 这一现象不能完全用通常的体氧化物电荷的陷住和解陷模型来解释^[5], 特别是对于 $V_G = 0.5V_D$ 的应力结果, 因为这种应力主要导致界面态的产生, 几乎不会引起氧化物电荷效应^[6]. 而且, 一方面, 电荷泵法 (Charge Pumping, CP) 测量表明,

在上述应力后,OX 器件的界面态密度仅增加 0.37%,对N₂O 氮化的器件甚至更小;另一方面,应力后曲线仅发生水平漂移,且在几次重复测量以后,漂移的曲线可完全恢复,表明似乎存在一特别的氧化物电荷效应而非界面态效应。为讨论方便,且将栅氧化物陷阱分为两部分:离 Si/SiO₂ 界面 1.5~2nm 处的陷阱^[6](称之为亚界面陷阱)以及通常的体陷阱。进一步地,可认为这些陷阱是空穴陷阱,因为在仅 NH₃ 氮化的栅氧化物里,虽存在大量 NH₃ 氮化引进的电子陷阱^[7],然而它也呈现出很小的 GDL 漂移(见图 2(c))。事实上,GDL 测量本身仅涉及热空穴效应,即在测量条件下,漏极附近所产生的大量热空穴在界面场(指向栅极)作用下注入到栅氧化物,导致空穴陷阱效应^[8,9]。

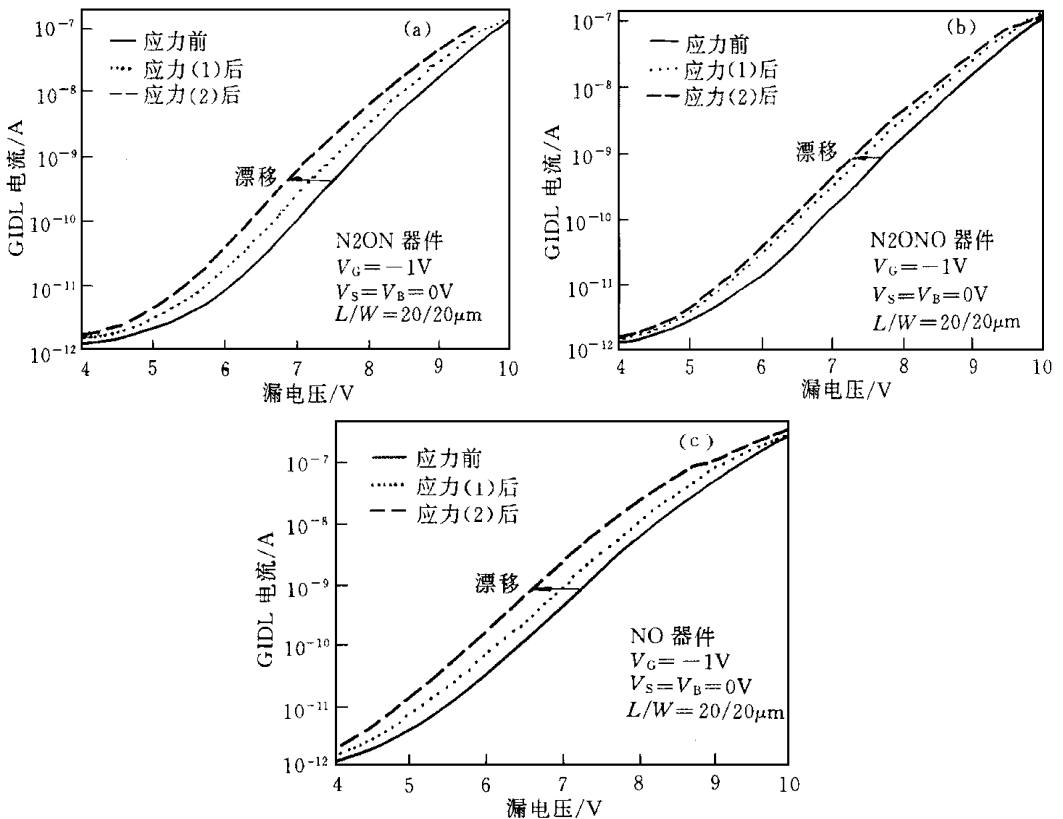


图2 应力感应 GDL 电流的漂移

应力电压: (1) $V_G = V_D = 8V$; (2) $V_G = 0.5V, V_D = 4V$, 应力时间为 160s;

(a)N₂ONO 器件, (b)N₂ON 器件, (c)NO 器件

为了分析上面不同应力下 GDL 的漂移现象,需了解漏极附近界面处电场分布及载流子填充陷阱的情况。为此,进行了二维器件模拟。对于 $V_D = 8V, V_G = 2, 4, 6, 8V$ 的应力条件,漏极附近界面处电子准费米能级 (E_{Fn}) 及垂直电场分量 (F_v) 的模拟结果如图 3 所示。从图 3 (a) 可看出, V_G 越大, 沟道反型越强, 从而 E_{Fn} 越高。一般认为, 在 E_{Fn} 以下的能级都被电子占据。鉴于我们所使用的相对稍长的应力时间, 可认为电子不仅填充快受主型界面态, 而且也填充电荷交换时间相对较长的“慢”亚界面空穴陷阱。如果这一观点对 $V_G = 8V$ 的应力条件也成立, 则受主型界面态和亚界面空穴陷阱的电子填充应是最多, 这将导致大的硅表面势增

加,结果使B-B 隧道效应大大增强,产生最大的GDL 漂移.然而,由于电场的附加作用,事实并非如此.从图3(b)可知,对于 $V_G=8V$,在几乎整个区域, F_V 为较大的负值(电力线指向硅衬底).这有助于电子(包括那些陷在受主型界面态上的电子)越过界面势垒,或激发那些占据在亚界面空穴陷阱的电子深入到氧化物体内.换言之,占据在受主型界面态和亚界面空穴陷阱的电子将在电场作用下发射到氧化物体内,使得体空穴陷阱解陷(由于电子的占据),进而成为影响表面势的主要因素.由于远离界面,这种影响相对较弱,从而导致较小的GDL 电流增加.然而,对于 $V_G=4V$ 的应力,由于电场分布的差异,导致不同的过程发生.考虑到电子的热激发效应^[10],在 $x=19.8\mu m$ 及 $19.92 < x < 19.95\mu m$ 的区域,电子填充受主型界面态和亚界面空穴陷阱的最高水平可能在本征费米能级(E_i)以上 $\sim 0.3eV$.更重要的是,在这一水平以下的电子填充是稳定的,即上述场致电子发射效应应是很弱的.这是因为在 $x > 19.74\mu m$ 的区域, F_V 为正;而在 $x < 19.74\mu m$ 的区域, F_V 是一较小的负值(见图3(b)).从而,界面及亚界面陷住电荷成为影响表面势的主要因素.这将导致大的能带弯曲,从而大的B-B 隧道,大的GDL 电流漂移.对于 $V_G=2V$,电场关系类似于 $V_G=4V$,所不同的是反型减弱, E_{Fn} 比 $V_G=4V$ 低2~3倍(见图3(a)).这意味着少得多的界面及亚界面陷阱的电子填充.而且,在靠近漏极结的一窄小区域,施主型界面态可能未有电子占据,其正电荷的影响不可忽略.上述诸因素综合的影响使得GDL 漂移比 $V_G=4V$ 小约一个数量级(见图1).对于 $V_G=6V$,电场情况类似于 $V_G=8V$.但由于弱一些负垂直电场分量 F_V ,使得从界面和亚界面陷阱场致发射进入氧化物体内的电子数少于 $V_G=8V$.因此,可认为它所引起的GDL 的漂移应是界面、亚界面及氧化物电荷共同作用的结果.

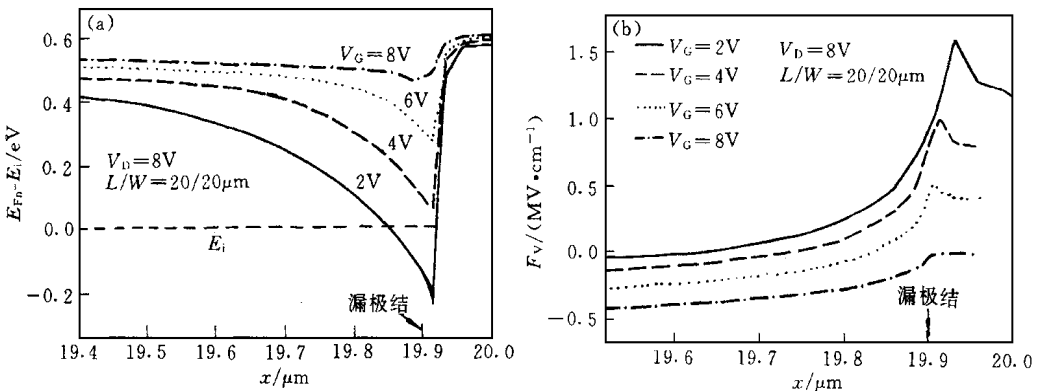


图3 漏极附近界面处电子准费米能级 E_{Fn} (a)和垂直电场分量 F_V (b)的二维器件模拟(由MN MOS 器件模拟器获得)

进一步地,对于 $V_G=0.5V_D$ 的应力,界面和亚界面电荷影响的大小可加以区别. CP 测量表明,N2ON 和N2ONO 器件的初始界面态密度($\sim 3.0 \times 10^{10} \text{cm}^{-2} \cdot eV^{-1}$)稍高于OX 器件($\sim 2.1 \times 10^{10} \text{cm}^{-2} \cdot eV^{-1}$).然而,它们在 $V_G=0.5V_D$ 应力下的GDL 漂移却大大小于OX 器件.这表明是亚界面电荷,而并非界面电荷的影响占主导地位.因此,我们得出,应力期间电子填充导致亚界面和体氧化物空穴陷阱的解陷分别相应于 $V_G=0.5V_D$ 和 $V_G=V_D$ 应力后GDL 漂移的主要机理.前者漂移大于后者是因为相对短的电荷交换时间使得亚界面陷阱的电子填充易于体陷阱,即在相同时间内,可有更多的亚界面陷阱被电子填充;而且这

些荷负电的亚界面陷阱更靠近 Si/SiO₂ 界面, 从而能对表面势产生大的影响。在 N₂O 和 N₂ON 器件中所观察到的小得多的 GDL 漂移意味着大大抑制的亚界面和体空穴陷阱。这是因为存在于 Si/SiO₂ 界面附近的富氮层(来自 N₂O 及 NH₃ 的氮化处理)可以引入强的 Si—N 键^[11,12], 从而取代受界面应力而扭曲的 Si—O 键^[13]。由于氮的浓度从 Si/SiO₂ 界面到氧化物体内迅速减小^[14,15], 亚界面陷阱的减少较体陷阱明显。而且, N₂ONO 器件在 V_G = 0.5V_D 应力下的 GDL 漂移小于 N₂ON 器件(见图 2), 表明 N₂O 退火 NH₃ 氮化的氧化物可引入更高的界面氮浓度, 从而更有效地抑制亚界面陷阱。

值得指出的是, 上述应力感应 GDL 漂移的大小与应力时间有关, 特别是对于 V_G = 0.5V_D 的应力。图 4 即表示在该应力下, GDL 漂移(ΔI_d)与时间的关系。在最初的 20s 内, GDL 漂移迅速增加, 直到大部分预存在的陷阱被电子填充。这对上面提出的“慢”亚界面陷阱无疑是一个很好的佐证。随着应力时间的增加, 除了剩余预存在亚界面陷阱的继续填充外, 新的空穴和中性电子陷阱可能产生^[16]。从图 4 可知, N₂ON 器件, 特别是 N₂ONO 器件表现出小得多的 ΔI_d, 意味着大大抑制的亚界面陷阱的产生和填充。对于 V_G = V_D 的应力, GDL 漂移明显变大的时间随栅氧化物的不同而不同: OX 器件为 300s, N₂ON 器件为 500s, N₂ONO 器件为 1000s。这一方面反应了氧化物电荷较长的交换时间, 另一方面, 也在一定程度上反应出不同的栅氧化物有着不同的抵抗热载流子应力感应陷阱产生的硬度。显然, N₂ONO 氧化物具有最佳性能。

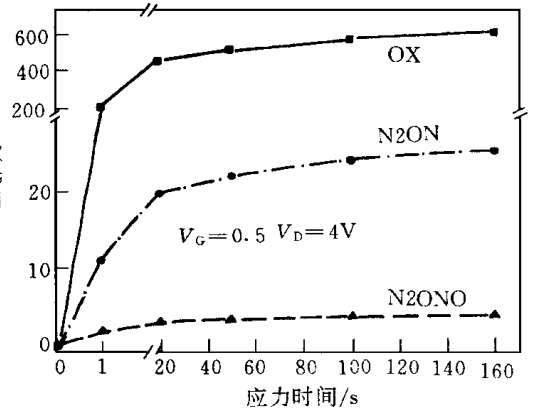


图 4 应力感应 GDL 电流漂移与应力时间的关系

应力条件: $V_G = 0.5V_D = 4V$;

I_d 测量条件: $V_G = -1V, V_D = 6.5V, V_S = V_B = 0V$.

4 结论

本文研究了不同栅氧化物 n-MOSFETs GDL 特性在各种热载流子应力下的退化行为。发现 GDL 特性在 $V_G = 0.5V_D$ 和 $V_G = V_D$ 的应力下分别发生最大和最小的漂移。其机理分别在于亚界面和体氧化物空穴陷阱的解陷。由此得出, N₂O 退火 NH₃ 氮化的氧化物以及 N₂O 氮化氧化物有少得多的体空穴陷阱, 尤其是亚界面空穴陷阱, 因为它们在相同的应力条件下表现出小得多的 GDL 漂移。这一特性的改善归因于 N₂O 或 N₂O 与 NH₃ 结合氮化导致在 Si/SiO₂ 界面附近富氮层的形成, 特别是后者更有利于高浓度界面氮的获得。因此, N₂O 氮化的栅氧化物对于提高 MOS 器件的可靠性具有极大的优势。

参 考 文 献

- [1] J. Chen, T. Y. Chan, P. K. Ko and C. Hu, IEEE Electron Device Lett, 1987, EDL-8: 515.
- [2] T. Y. Chan, J. Chen, P. K. Ko and C. Hu, IEDM Tech Dig., 1987, 718.

- [3] 张炯,李瑞伟,钱伟,半导体学报, 1998, **19**: 287.
- [4] C. Chang and J. L. ien, IEDM Tech. Dig., 1987, 714
- [5] Z. J. Ma, P. T. Lai and Y. C. Cheng, IEEE Trans Electron Devices, 1993, **ED-40**: 125
- [6] B. Doyle, M. Bourcier, J. C. Marchetaux and A. Boudou, IEEE Trans Electron Devices, 1990, **ED-37**: 744
- [7] T. Hori, H. Iwasaki, Y. Naito and H. Esaki, IEEE Trans Electron Devices, 1987, **ED-34**: 2238
- [8] C. Chang, S. Haddad, B. Swaminathan and J. L. ien, IEEE Electron Device Lett., 1988, **9**: 588
- [9] Y. Igura, H. Matsouka and E. Takeda, IEEE Electron Device Lett., 1989, **10**: 227.
- [10] D. K. Schroder, Semiconductor Material and Device Characterization, Wiley-Interscience, New York, 1990, 280~284
- [11] T. Hori, H. Iwasaki and K. Tsuji, IEEE Trans Electron Devices, 1989, **ED-36**: 340
- [12] T. Y. Chu, W. Ting, J. H. Ahn *et al.*, Appl Phys Lett., 1991, **59**: 1412
- [13] R. P. Vasquez and A. Madhukar, Appl Phys Lett., 1985, **47**: 998
- [14] Y. Okada, P. J. Tobin, K. G. Reid *et al.*, IEEE Trans Electron Devices, 1994, **ED-41**: 1608
- [15] J. Kim, G. W. Yoon, G. Q. Lo *et al.*, Proc ICVC'93, 1993, 72
- [16] B. Doyle, M. Bourcier, C. Bergonzoni *et al.*, IEEE Trans Electron Devices, 1990, **ED-37**: 1869

Mechanisms of GDL Degradation Induced by Hot-Carrier Stresses in n-MOSFETs

Xu Jingping

(Department of Electronic Science & Technology, Huazhong University of Science and Technology, Wuhan 430074)

P. T. Lai

(Department of Electrical and Electronic Engineering, The University of Hong Kong, Pokfulam Road, Hong Kong)

Received 26 February 1999, revised manuscript received 7 June 1999

Abstract Degradation in Gate-Induced Drain Leakage (GDL) of n-MOSFETs with different gate oxides under different hot-carrier stresses is investigated. It has been found that the shift of GDL is very sensitive to gate voltage and reaches the maximum under a stress with $V_G = 0.5V_D$. Through 2-D simulation of electrical field and carrier distribution near the drain, and the introduction of "sub-interface traps" concept, a new insight on the mechanisms involved in GDL shift is proposed, i.e. sub-interface and bulk-oxide hole detrappings during stressing are responsible for the respective GDL shifts under two typical stresses of $V_G = 0.5V_D$ and $V_G = V_D$. Furthermore, it is observed that N_2O -nitrided and especially N_2O -annealed NH_3 -nitrided n-MOSFETs have much smaller GDL shift as compared to conventional thermally-oxidized n-MOSFETs, indicating considerably suppressed sub-interface and bulk-oxide hole traps in these oxynitrides.

EEACC: 2560R, 0170N