

超薄氮氧化硅(SiO_xN_y)栅 NMOSFET 中 GIDL 效应的研究*

刘卫东 李志坚 刘理天 田立林 陈文松 熊大箐

(清华大学微电子学研究所 北京 100084)

摘要 MOSFET 栅介质层厚度的减薄使栅致漏极的泄漏(GIDL)电流指数增强, 本文报道 N_2O 中退火 SiO_2 (两步法)生成超薄(5.5nm)氮氧化硅(SiO_xN_y)栅 NMOSFET 中的 GIDL 效应, 包括器件尺寸、偏置电压和热载流子效应的影响. 发现 GIDL 在一定的偏置下成为主要的泄漏机制, 且陷阱电荷和界面态对其具有显著的调制作用. 二维器件模拟结果指出, 与 SiO_2 栅 NMOSFET 相比, LDD 掺杂结构使 SiO_xN_y 栅 NMOSFET 的 GIDL 进一步增强.

EEACC: 2560R

1 引言

短沟道效应(SCE)引起的亚阈值泄漏电流使 CMOS 关态特性变差、静态功耗增大; 在动态电路和存储单元中, 它还可能导致逻辑状态发生紊乱. 当栅介质层厚度比例缩小, 栅漏电压 V_{DG} ($V_G \approx 0$, $V_D <$ 击穿电压)使 NMOSFET 栅覆盖的漏区表面为深耗尽时, 能带发生弯曲使 Si 价带电子通过带-带(B-B)隧穿进入导带, 流向漏极, 而产生的空穴大部分流向衬底, 形成次击穿电流, 即 GIDL 电流, 导致击穿电压降低, 截止态特性进一步蜕变. GIDL 效应是极小尺寸 MOSFET 栅介质层超薄化, 选取合适工作电压的一个基本限制因素^[1~3]; 不挥发存储单元或可编程电路中高电压工作器件必须抗 GIDL, 以防止存储电荷的泄漏^[4,5].

深亚微米 CMOS 要求采用双栅(n^+ / p^+ poly-Si)结构实现表面沟道 MOSFET 以抑制 SCE, 改善关态特性^[6~8]. 但是, p^+ -poly Si 中的硼极易穿过薄栅 SiO_2 渗透到沟道区, 引起 p^+ -poly 耗尽效应, 平带电压漂移及亚阈值摆幅和驱动电流的蜕变^[9]. 氮化栅介质在 Si 界面处引入的富氮层能够有效地阻挡硼渗透并抑制界面态的产生^[9]. NH_3 中氮化 SiO_2 (或再氧化 ONO)以及 N_2O 中直接生长氮氧化硅(SiO_xN_y) (一步法)或 N_2O 氮化 SiO_2 (两步法)能够

* 国家教委博士后基金和国家 05 攻关资助项目

刘卫东 博士后, 现在 U. C. Berkeley 电子学研究实验室作博士后, 从事 BSIM4 研究

李志坚 中国科学院院士, 从事微电子学、半导体器件及物理研究

刘理天 教授, 主要从事半导体器件物理、MEMS 及固体传感器的研究

田立林 副教授, 从事半导体器件物理、小尺寸 MOSFET 特性及二维数值模拟的研究

1996 年 6 月 29 日收到初稿, 1996 年 10 月 17 日收到修改稿

获得含氮栅介质. NH_3 氮化会引入 H, 增强电子俘获, 降低对杂质渗透的阻挡; 一步法要求高温, 且膜生长的自限制特性, 使生长速率极低, 难以利用快速热处理(RTP)技术^[9]. 两步法则能够避免上述氮化工艺的缺陷, 利于实现高性能 CMOSFET's.

薄栅 SiO_2 和 NH_3 氮化 SiO_2 中的 GIDL 效应已有广泛报道, 除 B-B 隧穿机制, 发现界面陷阱电荷和界面态均能显著调制 GIDL 并改变其传导机制^[1~5]. 本文报道用两步法, 即 N_2O 退火 SiO_2 形成超薄 SiO_xN_y 栅 NMOSFET 的 GIDL 行为, 包括器件尺寸和偏置的影响, 热载流子效应引起 GIDL 特性的蜕变和机制; 利用二维器件模拟, 给出了超薄 SiO_xN_y 栅(3nm)NMOSFET 漏区掺杂分布对 GIDL 的影响.

2 器件描述

实验用 NMOSFET 具有常规源/漏结构, 最短沟长为 $0.8\mu\text{m}$, SiO_2 栅 NMOSFET 的栅氧化层厚度 T_{ox} 为 5nm, 氮氧化硅 (SiO_xN_y) 栅 NMOSFET 的栅介质层 T_{NO} 最小为 5.5nm. SiO_xN_y 为 SiO_2 在 950°C N_2O 气氛中退火 7 分钟得到. 由于其含氮量可变, 因此 SiO_xN_y 介电常数由拟合实验得到. 实验结果由 HP4061A 获得. 二维器件模拟时的栅介质层厚度为 3nm.

3 器件尺寸和偏置对 GIDL 的影响

GIDL 主要由栅覆盖漏区表面发生耗尽时的能带弯曲程度决定, 虽然短沟器件中沟道水平电场有可能导致通过沟道区上方界面态的两级隧穿, 但本文实验发现 GIDL 与器件沟道长度基本无关, 而随栅介质层厚度发生指数律变化, 对于 $V_{\text{DG}} = 6\text{V}$, 为使漏源电流小于 $1\text{nA}/\mu\text{m}$, SiO_xN_y 栅介质层厚度的下限为 7nm.

不同栅电压 V_G 时, 漏电压 V_D 对泄漏电流的影响示于图 1 中, 器件宽长比为 $100\mu\text{m}/1.2\mu\text{m}$. 由图可见, 随着 V_D 的增加, I_D 不断增大. 对应于 $V_G = -3, -2$ 和 -1V , 存在一个过渡的 V_D 点, 在过点的左侧, 泄漏电流开始低于 $V_G = 0$ 时的对应值, 因此泄漏电流主要由 SCE 引起的亚阈区电流构成; 在过渡点右侧, GIDL 电流开始成为主要的泄漏机制. $V_G = -3\text{V}$ 时的过渡点值最低. 由上述知, V_G 值愈负, V_D 值愈高, 则 GIDL 电流越显著. 利用器件二维数值模拟^[10], 对于 $T_{\text{NO}} = 5.5\text{nm}$, 结深为 $0.3\mu\text{m}$, 漏区掺杂为 $1 \times 10^{20}\text{cm}^{-3}$, 沟道区掺杂 $2 \times 10^{16}\text{cm}^{-3}$ 的 NMOSFET, 在 $V_D = 4\text{V}$, $V_G = -2\text{V}$ 即 $V_{\text{DG}} = 6\text{V}$ 时, 其栅漏覆盖区域的最大电场为 $2.1\text{MV}/\text{cm}$, 足以产生 B-B 隧穿^[1].

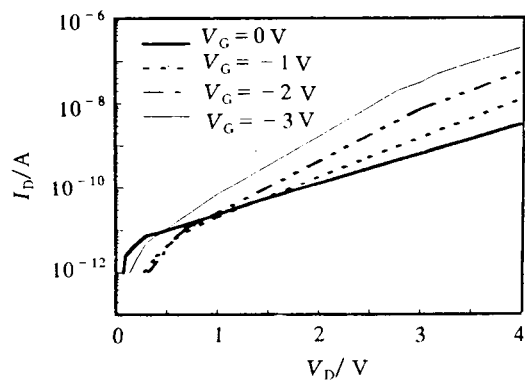


图 1 不同 V_G 时 SiO_xN_y 栅 NMOSFET 泄漏电流与 V_D 的关系

$T_{\text{NO}} = 5.5\text{nm}$, $W/L = 100\mu\text{m}/1.2\mu\text{m}$.

4 热载流子与 GIDL 效应

4.1 陷阱电荷和界面态对 GIDL 的影响

薄栅 SiO₂ MOSFET 中陷阱电荷和界面态对 GIDL 具有显著的调制效应. 本节研究热载流子应力(如表 1 所示)对 5.5nm SiO_xN_y NMOSFET GIDL 特性的影响, 器件宽长比为 16μm/0.8μm. 最大栅电流应力导致大量的电子被界面陷阱俘获, 而最大衬底电流应力时将大量界面态生成. 图 2 所示为应力前后器件的转移特性(V_D=4V), 为便于比较, 图中还给出了 GIDL 应力引起空穴注入的实验结果.

表 1 应力条件

应力类型	应力 V _G /V	应力 V _D /V	应力时间/s
最大栅电流 I _{g,max}	5.0	6.0	1000
最大衬底电流 I _{sub,max}	3.6	7.0	1000
GIDL	0	6.0	1000

由图 2 可见, 最大栅电流和衬底电流应力均使 GIDL 特性明显蜕变. 由于最大栅电流应

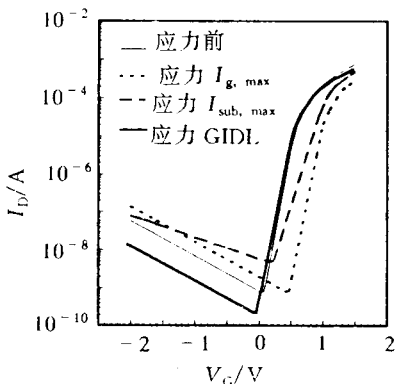


图 2 不同应力前后 GIDL 特性

力在 SiO_xN_y 界面引入负陷阱电荷, 使平带电压漂移, 因而整个转移特性沿 V_G 轴右移; 因此对于确定的 V_G, 应力后 GIDL 电流增加. 最大衬底电流应力不仅使阈值电压增加, 而且亚阈斜率因子发生蜕变(增大), 因而同时有负陷阱电荷和界面态产生, 使得应力后 I_{GIDL}-V_G 特性并非沿 V_G 轴作简单平移; 与 I_{g,max} 应力相比, 当 |V_G| → 0, I_{sub,max} 应力使 GIDL 电流显著增加. 对于 GIDL 应力 V_{DG}=6V, 电子在发生 B-B 隧穿的同时将产生空穴, 其中一部分空穴流向衬底, 而另一部分则在栅漏反向高电场作用下注入到 SiO_xN_y 中; 图 2 的结果表明, 阈值电压几乎没有蜕变, 因此注入空穴主要分布于覆盖漏区的 SiO_xN_y 中, 使应力后 GIDL 电流降低.

4.2 机制

B-B 隧穿机制决定的 GIDL 电流表示为^[11]

$$I_{GIDL} = AE_s \exp(-B/E_s) \quad (1)$$

其中 A 为比例系数; E_s 为栅覆盖的漏区表面电场, E_s = (V_{DG} - 1.2)/(ε_{rat}T_{NO}), ε_{rat} 为 SiO_xN_y 与 Si 介电常数之比(SiO_xN_y 的介电常数随 N 组分而变), B 的理论值为 21.3MV/cm, 常量 1.2 为保证 B-B 隧穿所需的表面势, 即能带弯曲量. 由上式知, 只要 log[I_D/(V_{DG} - 1.2)] 与 1/(V_{DG} - 1.2) 成线性, 则 GIDL 电流为 B-B 隧穿模式. 图 3 所示为 5.5nm SiO_xN_y NMOSFET (16μm/0.8μm) 在最大栅电流和衬底电流应力前后 log

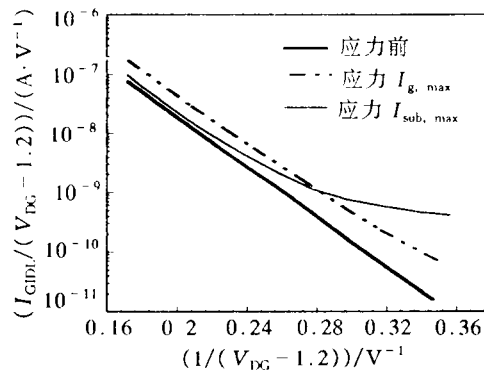


图 3 应力 I_{g,max} 和 I_{sub,max} 前后 log[I_{GIDL}/(V_{DG} - 1.2)] 随 1/(V_{DG} - 1.2) 的变化特性

$[I_{\text{GIDL}}/(V_{\text{DG}}-1.2)] \sim 1/(V_{\text{DG}}-1.2)$ 特性的实验结果($V_{\text{D}}=4\text{V}$).

用(1)式拟合应力前实验值,取 $B=21.3\text{MV}/\text{cm}$, 得到 $5.5\text{nmSiO}_x\text{N}_y$ 相对介电常数约为 6.2. 最大栅电流应力后测试结果依然满足此线性特性, 因此陷阱负电荷的产生并未改变 GIDL 的 B-B 隧穿机制. 对于最大衬底电流应力模式, 随着应力时间的延长, 只有当 V_{DG} 较高时 GIDL 才以 B-B 隧穿机制为主; 当 V_{DG} 较小, 由于漏区表面电场降低, 能带弯曲减小, 电子准费米能级已处于禁带中, 因此 B-B 隧穿难以发生, 而应力产生的受主界面态中的电子将受激到高能态, 隧穿进入导带, 使 GIDL 电流显著增加(图 2), 从而偏离 B-B 隧穿的特征线; 当 V_{DG} 较大时, 费米能级开始进入价带, 这些受主界面态不为电子所占据, 呈现电中性, 对 GIDL 电流没有贡献, 与应力前相比此时 B-B 隧穿 GIDL 的增加是由于最大衬底电流应力时产生的陷阱负电荷所致. 由图 2 和图 3 还可推知, 在覆盖 SiO_xN_y 中, 应力产生的陷阱电子将使 E_s 增大, GIDL 电流增加, 陷阱空穴则使 E_s 减小, GIDL 减弱; 而沟道区上方引入的陷阱负电荷虽然使平带电压漂移, 阈值电压增加, 转移特性右移, 但对于 B-B 隧穿 GIDL 没有影响.

4.3 薄栅 SiO_xN_y 抗蜕变特性

沟道热载电子效应(CHE)不仅使薄栅 NMOSFET 性能蜕变, 而且也使 GIDL 电流增加. 图 4(a)和(b)分别比较了 SiO_xN_y 栅(5.5nm)和 SiO_2 (5nm)NMOSFET 漏源电流和 GIDL 电流随最大栅电流应力的变化行为, $(W/L)=16\mu\text{m}/0.8\mu\text{m}$. 图 4(a)中, 应力过程持续到 500 秒时, 漏源电流蜕变达到最大值, 这是由于沟道区漏端附近界面陷阱电子浓度(ΔN_{et})的提高使有效阈值电压增加; 随着应力的延续, ΔN_{et} 进一步增大, 以致有效沟道长度缩短, 漏源电流蜕变得部分恢复. 由图易见, SiO_xN_y 比 SiO_2 NMOSFET 具有较强的抗 CHE 引起性能蜕变的能力, N 原子的存在使 Si/SiO₂ 界面缺陷密度降低.

图 4(b)指出, 虽然 SiO_xN_y 栅厚度大于 SiO_2 栅厚, 但前者的 GIDL 电流及应力引起 GIDL 电流的增加均比后者显著. 由前述知, 即使 SiO_xN_y 覆盖区中应力产生的 ΔN_{et} 低于 SiO_2 覆盖区中的陷阱电子浓度, 但由于其介电常数较大, 对于相同的 V_{DG} , 这些 ΔN_{et} 将使 SiO_xN_y NMOSFET 漏区表面电场显著增加, 导致能带弯曲较大, 势垒宽度更窄, B-B 隧穿因之加剧.

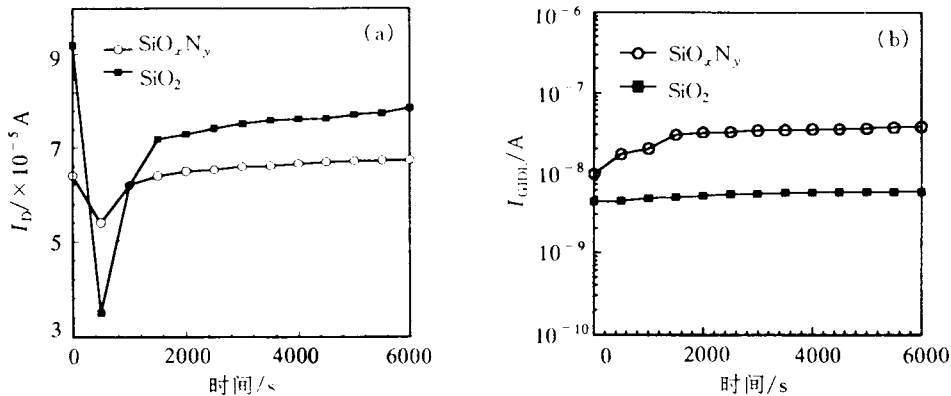


图 4 SiO_xN_y (5.5nm)和 SiO_2 (5nm)栅 NMOSFET 随最大栅电流应力的蜕变行为
(a) 漏源电流($V_{\text{G}}=1.5\text{V}$, $V_{\text{D}}=2.0\text{V}$); (b) GIDL 电流($V_{\text{G}}=-2\text{V}$, $V_{\text{D}}=4\text{V}$).

5 源漏掺杂分布的影响

利用二维器件模拟^[10]得到的 GIDL 电流随源漏掺杂分布的变化结果示于图 5 中, 栅介质层厚为 3nm, 有效沟道长度为 0.1 μm , NMOSFET 采用延伸源漏结构, 延伸结深为 30nm, 栅漏覆盖区长度为 0.025 μm , SiO_xN_y 相对介电常数取 6.2. 当掺杂浓度大于 $\sim 1 \times 10^{19} \text{cm}^{-3}$ 后, SiO_xN_y 栅 FET 中的 I_{GIDL} 显著高于 SiO_2 栅. 对于确定的 V_{DG} , 当掺杂浓度较低时, 漏区表面耗尽区展宽, 表面垂直电场降低, B-B 隧穿强度降低; 掺杂浓度的提高, 使表面能带弯曲增大, 表面电场增强, 当掺杂浓度进一步提高后, 虽然表面垂直电场增强, 但表面耗尽区变窄, 发生 B-B 隧穿的有效区域减小, I_{GIDL} 开始下降, 因此 I_{GIDL} 在约 $2 \sim 6 \times 10^{19} \text{cm}^{-3}$ 掺杂浓度时达到峰值.

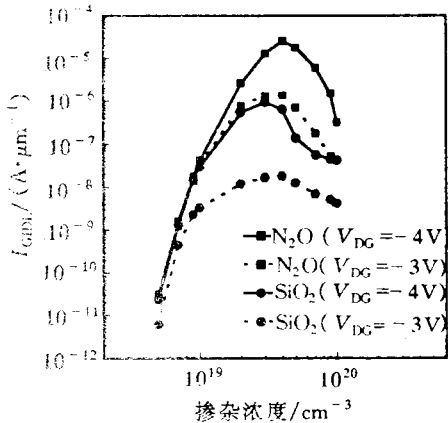


图 5 3nm SiO_xN_y 和 SiO_2 栅 NMOSFET 中 GIDL 电流随延伸源漏掺杂浓度的变化特性 $V_{\text{DG}} = -3$ 和 -4V , 有效沟道长度为 0.1 μm .

6 结语

栅介质层厚度的减小使 GIDL 效应指数增强, 在一定的电压偏置下成为主要的泄漏机制. 对两步法获得 5.5nm SiO_xN_y 栅 NMOSFET 中的 GIDL 效应的研究, 还发现栅覆盖区域中的陷阱负电荷使表面电场 E_s 增加, I_{GIDL} 增强; GIDL 在覆盖区中引入的空穴则使 E_s 降低, I_{GIDL} 减小; 在低 $|V_{\text{DG}}|$ 时, 界面态协助隧穿构成 GIDL 的主要机制.

按比例缩小要求降低电源电压以降低功耗提高可靠性, 低电压/低功耗极小尺寸 CMOS 设计中的一个重要课题是如何提高器件的驱动能力, 降低栅介质层厚度或者提高介电常数(等效厚度因而降低)是一个重要技术途径^[12]. SiO_xN_y 栅不仅具有较高的介电常数, 能有效地阻挡 B 渗透, 而且 HCE 蜕变特性改善; 而 LDD 掺杂分布则不利于提高驱动能力, 且易使 SiO_xN_y 栅 FET 中的 GIDL 进一步增强. 因此, SiO_xN_y 栅 FET 应具有超浅、超陡及高掺杂分布的源漏结构.

参 考 文 献

- [1] J. Chen *et al.*, IEEE Electron Device Lett., 1987, EDL-8(11): 515.
- [2] T. Y. Chan *et al.*, IEDM Tech. Dig., 1987, 718.
- [3] G. Q. Lo and D. L. Kwong, IEDM Tech. Dig., 1987, 557.
- [4] C. Chang and J. Lien, IEDM Tech. Dig., 1987, 714.
- [5] H. Sasaki, M. Saitoh and K. Hashimoto, IEDM Tech. Dig., 1987, 726.
- [6] G. Hu and R. H. Bruce, IEEE Trans. Electron Devices, 1985, ED-32(3): 584.
- [7] S. J. Hillenius and W. T. Lynch, IEDM Tech. Dig., 1985, 147.

- [8] S. Shimizu, T. Kuroi, M. Kobayashi *et al.*, IEDM Tech. Dig., 1994, 67.
- [9] Z. J. Ma *et al.*, IEEE Electron Device Lett., 1994, **EDL-15**(3): 109.
- [10] MEDICI2.0 manual, Technology Modeling Associates, Inc., September, 1994.
- [11] J. L. Moll, Physics of Semiconductor, New York; McGraw Hill, 1964, 253.
- [12] R. H. Yan *et al.*, IEDM Tech. Dig., 1995, 55.

Study of Gate-Induced Drain Leakage (GIDL) Effects in Thin Gate Oxynitride NMOSFET's

Liu Weidong, Li Zhijian, Liu Litian, Tian Lilin, Chen Wensong and Xiong Daqing

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Received 29 June 1996, revised manuscript received 17 October 1996

Abstract The gate-induced drain leakage (GIDL) current is increased exponentially with the reduction of the gate insulator thickness. This paper investigates the different factors affecting the GIDL of NMOSFET's with 5.5nm gate oxynitrides fabricated by annealing SiO_2 in N_2O , including the device dimensions, biasing configurations and hot-carrier stressing. It is discovered that the GIDL can impose a major leakage concern under certain bias conditions for thin gate MOSFET's and can be significantly modulated by trapped charges and interface states. 2D device simulation reveals that the lightly-doped drain (LDD) structure aggravates this leakage mechanism in oxynitrides as compared with that in SiO_2 gate MOSFET's.

EEACC: 2560R