

低压低功耗 CMOS 带隙电压基准及启动电路设计 *

许长喜

(南开大学微电子科学系, 天津 300071)

摘要: 介绍了一种低压电流模带隙电压基准电路, 并提出了一种新颖的启动电路结构. 电路采用预先设置电路工作点和反馈控制相结合的方法有效地克服了第三简并点的问题, 从而保证电路能够正常工作. 文中给出详细的分析和电路实现, 并给出了一种电路简并点和启动裕度分析的 SPICE 仿真方法. 电路采用 0.25 μm CMOS 工艺设计并流片. 最后对电路的测试结果进行了比较和分析.

关键词: 低压低功耗; 带隙电压基准; 启动电路; SPICE 仿真

EEACC: 2570D; 1280

中图分类号: TN402 文献标识码: A 文章编号: 0253-4177(2005)10-2022-06

1 引言

带隙基准可以在温度及电源电压变化环境中提供稳定的参考电压, 因此广泛应用于各种模拟集成电路、数模混合信号集成电路和系统集成芯片 (SOC) 中, 其精度直接决定了整个系统的精度. 随着集成电路工业的发展, SOC 将成为今后集成电路设计的主流, 而数字 CMOS 工艺在 VLSI 制造中占有绝对主导地位, 因此, 设计与标准数字 CMOS 工艺兼容的高精度带隙基准电压源知识产权模块 (IP) 具有重要意义. 带隙基准有许多重要的性能参数, 如对温度的依赖性、基准值的精确性、电路的功耗、噪声等. 另外, 由于带隙基准电路存在多个简并点, 电路的启动问题也值得仔细考虑.

本文设计了一种应用于便携式音频电路的低压低功耗电流模带隙基准电路. 分析总结了与电路启动相关的因素, 提出了一种新颖的电路结构以克服在电流模式下带隙基准电路潜在的第三简并点问题. 电路预先设置了正常工作点, 通过监测核心电路内部节点电压来反馈控制启动的过程, 从而保证电路能够可靠地工作. 同时本文给出了一种 SPICE 的仿真方法来分析电路的简并点和启动裕度. 电路采

用 0.25 μm CMOS 工艺进行设计并流片, 测试结果表明在 0~100 的温度范围内, 电路能够可靠工作并提供 14ppm/K, 0.987V 的电压输出.

2 电流模带隙基准原理

带隙基准的基本原理^[1]是利用 pn 结电压的负温度系数和不同电流密度下两个 pn 结电压差的正温度系数相互补偿, 从而得到温度漂移很低的输出电压. 理论证明, 这个输出电压值约等于硅的带隙电压, 所以这种电路被称为带隙基准电压源.

传统带隙基准电路只能产生 1.25V 左右的带隙基准电压, 这限制了电路在低压下的应用. 为了在低压下得到稳定的电压参考源, 必须对传统的带隙电压基准源电路进行改进或者提出新的结构. 1999 年, Banba 等提出了一种适合低压工作的电流模结构电路^[2], 并在最近几年取得了很大的进展^[3-6].

图 1 是电流模式带隙基准电路的原理图. Q_a 和 Q_b 发射结面积比为 1 : N . Q_a , Q_b , R_{bc} , R_a , R_b , M_{pu1} , M_{pu2} 和运放组成了核心电路.

假定 M_{pu1} , M_{pu2} 和 M_{pu3} 是相同的, 且 $R_a = R_b$, 而运放的深度负反馈作用迫使 $V_a = V_b = V_{BEB}$. M_{pu1} , M_{pu2} 和 M_{pu3} 的栅极电压同时受运放的输

*天津市重点攻关基金资助项目 (批准号: 033187111)

许长喜 男, 1978 年出生, 博士研究生, 研究方向主要为音频 ADC/DAC、混合信号以低压低功耗模拟集成电路设计. Email: xuchangxi@mail.nankai.edu.cn

2005-03-03 收到, 2005-04-6 定稿

© 2005 中国电子学会

出控制,因此 $I_a = I_b = I_c$,由图 1 可以得到, $I_{a1} = I_{b1}$, $I_{a2} = I_{b2}$

$$V_{BE} = V_{BEb} - V_{BEa} = (kT/q) \ln N \quad (1)$$

$$I_c = I_a = I_{a1} + I_{a2} = \frac{V_{BEb}}{R_{be}} + \frac{V_{BEb}}{R_a} \quad (2)$$

$$V_{ref} = I_c R_{ref} \quad (3)$$

联立(1)~(3)式,可以求得输出的电压为:

$$V_{ref} = \frac{R_{ref}}{R_a} \left(\frac{R_a}{R_{be}} \times \frac{kT}{q} \ln N + V_{BEb} \right) \quad (4)$$

考虑运放的失调误差 V_{os} ,最终的输出电压为:

$$V_{ref} = \frac{R_{ref}}{R_a} \left[\frac{R_a}{R_{be}} \left(\frac{kT}{q} \ln N - V_{OS} \right) + V_{BEb} \right] \quad (5)$$

其中(4)式中第二项为传统结构带隙基准电压表达式.由(4)式可以知道,只需要调节 R_{ref} 和 R_a 的比例大小就可以方便地得到适合不同电路系统应用的低压参考电压.

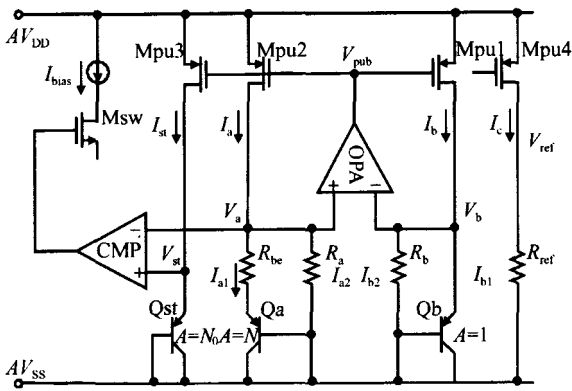


图 1 电流模带隙基准电路及启动电路原理图

Fig.1 Bandgap voltage reference with proposed start-up circuit

在带隙基准核心电路中, $Mpu1$, $Mpu2$ 和 $Mpu3$ 均工作于饱和区,偏置电流通路的最低工作电压为 $V_{ds} + V_{BE}$.对典型的 CMOS 工艺,合理选择并设计运放,电路可以在 1V 左右的电源电压下工作.

3 电流模带隙基准电路启动问题分析

众所周知,当电源上电时,在没有启动电路的情况下,带隙基准电路可能有以下三种稳定状态(称之为简并点):(1)运放的输入端为地电位,核心电路处于零电流状态;(2)运放的输入端为某个电位,但不能使 BC 短接的三极管导通,因此电路处于未知状态;(3)正常工作状态,BC 短接的三极管导通,并遵从电路的原理工作在相应的电流密度下.理论上只

有第三种状态才能稳定的存在,但是由于漏电流的存在而使第一种和第二种状态都有稳定存在的可能^[3,7].

传统带隙基准核心电路的两臂只各存在一个电流通路,因而可以很容易确定两个简并点的位置^[3].只要在一段时间内,给三极管电路一个小小的启动电流,电路就会向着正常工作的工作点逼近并最终稳定工作.但在电流模的结构中,如图 1 所示,两个并联电阻 R_a 和 R_b 引入了额外的电流通路,当 $Mpu1$ 和 $Mpu2$ 的漏极电位很低,不足以开启 BC 短接的三极管时, R_a 和 R_b 的存在也能为电路提供电流通路而允许电路存在第三个简并点;或者即使电路能够正常启动了,但电源电压的非正常下降变化并恢复稳定后,电路也可能处于第三个简并点.因此需要外部电路为两臂的电阻提供足够的电流以保证电路能够可靠地启动.另外运放的失调误差不仅影响输出电压的精度,也有可能使电路不能正常启动^[4],因此在设计中需要尽量提高运放的增益以减小失调误差对电路的影响.

文献[3]的启动电路采用复制核心电路电流的方法,只对电路零电流状态进行了分析;文献[4]中的启动电路在切断 POR 信号瞬间可能使电路的工作状态不能确定;文献[6]则未对第三简并点进行说明和处理.本文提出了一种新型的启动电路结构,它通过监测核心电路内部节点电压来反馈控制电路的启动,可以有效克服第三个简并点的问题并能保证电路稳定状态下的可靠工作.

启动电路的结构如图 1 左半部分所示.电路复制了核心电路的三极管电路以提供参考启动电位 V_{st} ,核心电路节点电压 V_a 与 V_{st} 的比较输出控制开关 Msw 来控制启动电流 I_{bias} 的导通与截止. Q_{st} 工作于开环条件下,其发射极电位 V_{st} 为:

$$V_{st} = (kT/q) \ln \left[\frac{I_s}{I_s N_0} + 1 \right] \quad (6)$$

其中 A 为三极管电流放大倍数; I_s 为单位面积三极管 p-n 结反向饱和电流; N_0 和 I_{st} 分别为 Q_{st} 发射极的面积与发射极电流.通过合理选择 Q_{st} 的发射结面积和偏置电流 I_{st} ,预先设置 Q_{st} 的发射极电位 V_{st} ,使其略低于 Q_a 和 Q_b 的正常工作点.当 V_a 小于 V_{st} ,即电路没有达到正常的工作点时,比较器的输出高电平控制启动电流 I_{bias} 开启,降低 V_{pub} 的电位并给运放提供偏置电流,从而促使 I_a, I_b 增加和 V_a 升高.当 V_a 大于 V_{st} ,即 Q_a 和 Q_b 已经正常开启

时,比较器的输出控制 M_{sw} 切断启动电流 I_{bias} ,电路正常工作。

在外界干扰下,如果电路偏离正常工作点而进入第三简并点,比较器的输出为高电平,其反馈作用依然可以使工作点恢复正常工作。

4 电路设计及仿真

4.1 核心电路及运放设计

图 3(c)是带隙基准核心电路的实现电路。电阻采用高阻抗低温度系数的 poly 电阻以减小芯片的面积。由于运放的输入共模电压大约为 $0.65V$ (V_{BE} 的值),因此运放采用 pMOS 差分对作为输入管。并且为了减小运放的失调误差,设计中采用了两级运放以提高其增益,采用 nMOS 电容进行补偿以减小芯片的面积,以及采用长沟道器件以减小失配和失调误差并提高运放的 PSRR 特性。运放的第二级同

时作为共源共栅电流镜为 Q_a 和 Q_b 提供偏置电流。偏置电流的最低工作电压输出决定于饱和压降 V_{ds} ,基本与电源无关。 V_{ds} 受运放的输出控制,因此运放的 PSRR 特性决定了偏置电流源的稳定性。它在为基准电路提供稳定偏置电流的同时,也给电路提供了更大的电压裕度^[1]。

此运放最低工作电压约为 $2V_{THn} + V_{ds}$ 。在 $0.25\mu m$ CMOS 工艺下,电源电压 $1V$ 左右即可以稳定地工作。在电源电压为 $1.8V$,负载为 $5p$ 的条件下,运放的开环增益为 $86dB$,单位增益带宽为 $1.5MHz$,相位裕度为 63° 。

4.2 启动电路设计

图 2(a)是启动电流产生电路, M_{pst4} 为提供启动的电流源, M_{pst5} 充当开关管。图 2(b)是比较器电路,由一个单级放大器和一个低阈值反相器组成。运放的启动由 M_{st0} 来完成。

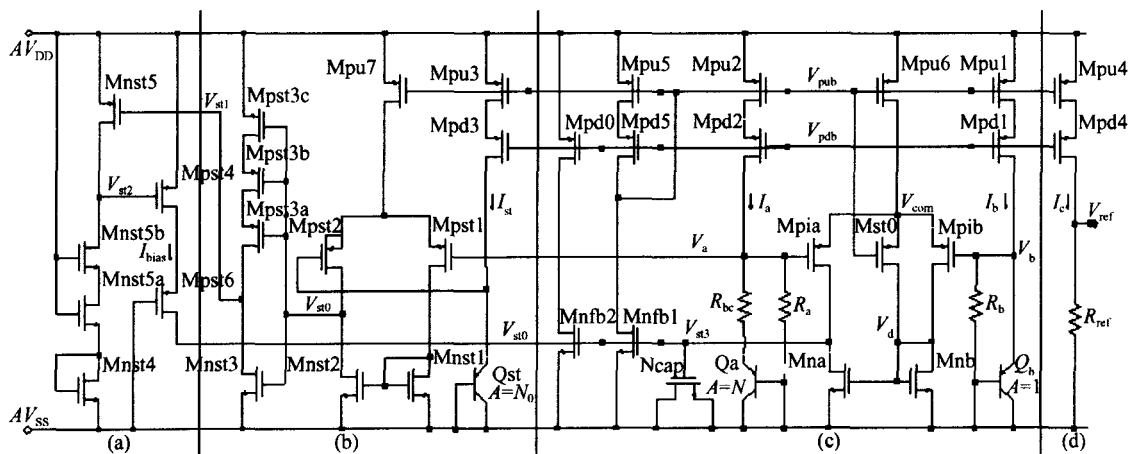


图 2 完整的带隙基准电路图 (a)启动电流产生;(b)比较器;(c)核心电路;(d)基准电压输出

Fig. 2 Completed bandgap voltage reference circuit (a) Start-up current generator; (b) Comparator; (c) Bandgap core circuit; (d) Bandgap voltage output circuit

设计中选取 Q_a , Q_b 的正常工作电位为 $700mV$,设置 Q_{st} 的电位 $600mV$ 作为参考电位。电路工作于零电流状态或者第三简并点时, V_{st0} 为低电位,电路通过反相器、 M_{pst5} 、 M_{pst4} 给节点 V_{st3} 充电,使 V_{pub} 电位下降,从而启动运放,并给核心电路提供足够的偏置电流。电路正常启动后, V_a 高于 V_{st} ,比较器的输出控制 M_{pst4} 关断,电路稳定工作。

对电路进行 Hspice 仿真,结果如图 3 所示。注意因为 Q_{st} 工作于开环条件下,因此一旦有电流流

过,其发射极电位 V_{st} 就基本稳定。

比较器和三极管 Q_{st} 偏置在小电流下工作。电路正常工作以后,启动电路保持低功耗工作,并时刻检测电路工作状态的变化,从而确保整个电路能够稳定地工作。

启动过程中的电路是一个时变非线性系统,一般很难从理论上给出明确的分析。SPICE 在对电路进行 DC 分析时,不考虑并联电容和串联电感的作用,因此用 SPICE 作 DC 分析时总可以给出稳态的

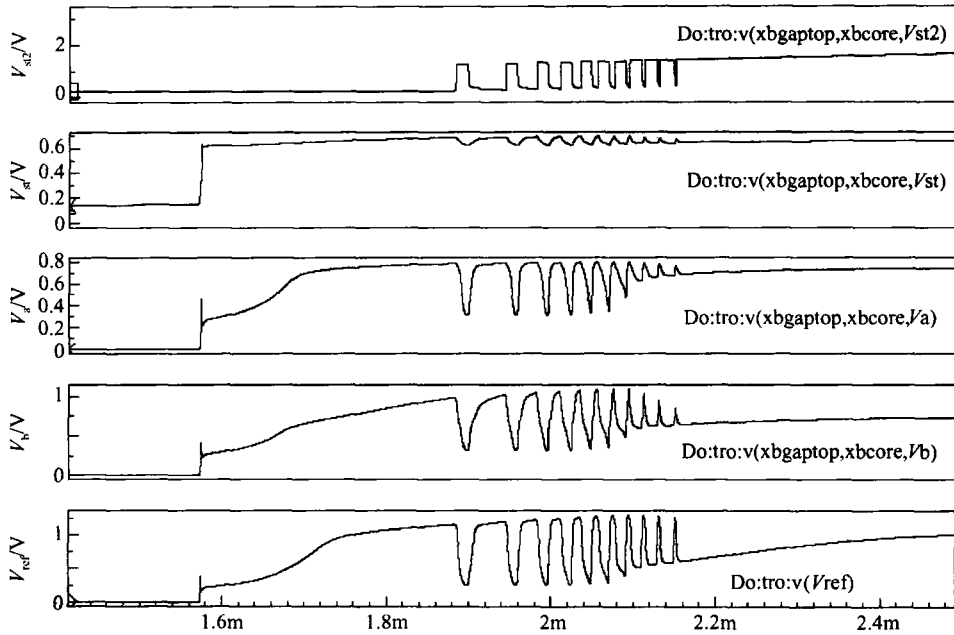


图 3 启动过程中时域电压变化图
Fig. 3 SPICE transient simulation results

解,但是所得到的解正确与否取决于 SPICE 所采用的算法,所以不能简单采用对电源电压 DC 分析得到简并点的分布^[8,9].

通过对电感或电容的作用进行功能等效,可以把它们对电路的影响进行 SPICE 模拟和分析.对图 2 所示的电路,正常工作电压下,在被控点 V_b 引入辅助并联电压源 V_{dc} ,以等效实际电路中的寄生电容.通过 SPICE 对 V_{dc} 进行 DC 分析,满足 $I_{V_{dc}} = 0$ 时的值 V_b 是在电路稳态下的一个可能稳定的工作点,即简并点.并且因为 V_{dc} 是用来等效实际电路中的寄生电容,因此当

$$\frac{dI_{V_{dc}}}{dV_{V_{dc}}} / I_{V_{dc}=0} < 0 \quad (7)$$

时即为电路的一个稳定的工作点,其中 $I_{V_{dc}}$ 为流过 V_{dc} 的电流.

由 SPICE 仿真可以发现,在没有启动电路时,电路有三个简并点,分别为 0, 90.58 和 693.57mV.理论计算可以验证,电路的正常工作点应该为 693.57mV,即图 4 中电流为 0 时对应的 V_{dc} 的电压值.图 4 中曲线转折处电流值趋近零的程度反映了电路的启动裕度,即当 V_b 点电位达到这个点(约 600mV)时,如果 V_b 与电源地或者衬底之间存在足够大的漏电流(约 1.5 μ A),则电路将工作在另一个简并状态下.上述分析是电路设计时设置 Q_{st} 的

射极电位作为 V_b 参考电位的依据之一.

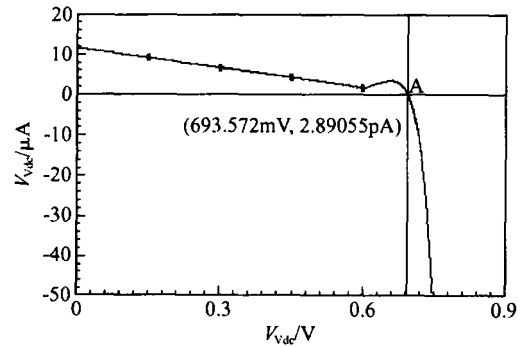


图 4 辅助电压源 V_{dc} 的 SPICE DC 分析结果
Fig. 4 SPICE DC simulation result for auxiliary V_{dc}

5 测试结果与分析对比

电路采用 1st Silicon 0.25 μ m CMOS 工艺设计并经过 MPW 流片.图 5 是电路的版图,其面积大小为 100 μ m \times 380 μ m(不包含压焊点).

MPW 流片共得完好样片 97 片.经测试电路工作状态良好,且在电源电压非正常变化并稳定后,电路依然能够正常工作.测试结果表明了启动电路的有效性.测试得到的电路典型启动特性、温度特性如图 6、图 7 所示,图 8 给出了基准输出分布情况.测试结果表明,电路工作在 1.8V 电源电压时,工作电

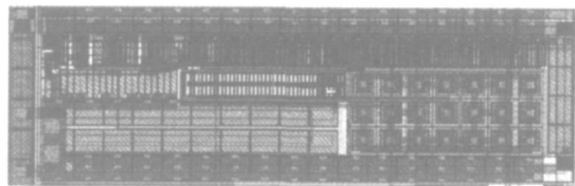


图 5 带隙基准电路版图

Fig. 5 Layout of bandgap voltage reference circuit

流为 $72\mu\text{A}$, 带隙基准电压平均值为 0.987V , 标准方差为 10mV . 同时图 6 也表明了电路在 1.2V 电源电压下即可以得到 1V 的带隙基准电压输出. 表 1 给出了测试结果与文献的对比结果, 其中文献 [3] 采用了温度的二阶校正.

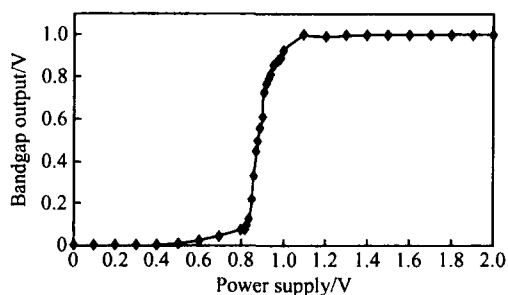


图 6 基准电压与电源电压的关系

Fig. 6 Output voltage versus power supply

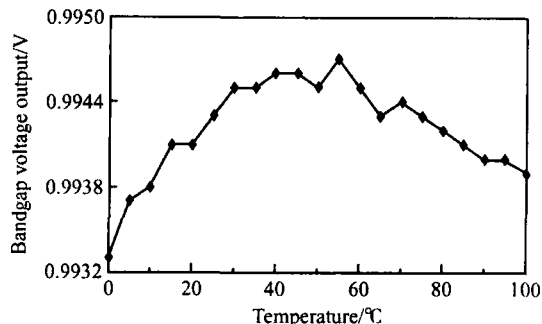


图 7 基准电压与温度的关系

Fig. 7 Output voltage versus temperature

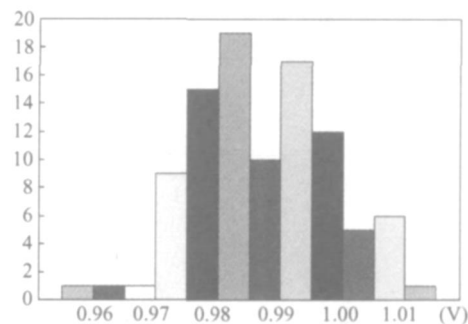


图 8 样片测试结果分布图

Fig. 8 Sample measurement results distribution diagram

表 1 设计结果以及对比

Table 1 Design parameters summary and comparison

参数	本文	Ref. [2]	Ref. [3]	Ref. [4]	Ref. [5]
电源电压/V	1.8	2.1	1	1	0.98
工艺	0.25 μm CMOS	0.4 μm CMOS	0.8 μm BiCMOS	0.35 μm CMOS	0.6 μm CMOS
面积/ mm^2	0.04 (without PADS)	0.1 (with PADS)	0.20 0.25(校正)	—	0.24 (without PADS)
电流消耗(@ $T=25^\circ\text{C}$)/ μA	72	2.2	92	10	18
输出电压/V	0.987	0.518	0.536	0.491	0.603
标准方差/mV	10	5	—	4.25	—
温度依赖性(0~100 $^\circ\text{C}$)/mV	1.4	3	0.8 0.3mV(校正)	—	0.9

6 结论

本文设计了一种低压低功耗电流模式带隙电压基准电路, 总结分析了影响带隙基准电路启动的相关因素, 提出了一种应用 SPICE 分析带隙基准电路简并点和启动裕度的方法, 并设计了一种新型启动电路以保证电路正常工作. 测试结果表明电路工作于 1.8V 电源电压时, 在 $0\sim 100^\circ\text{C}$ 温度范围内能提

供 0.987V 的稳定基准电压输出. 此带隙基准电路已经被应用到 Sigma-Delta ADC/DAC 电路中, 为 ADC/DAC 电路提供参考电压, 同时它也可以硬核 IP 的形式应用到其他 SOC 系统中.

参考文献

- [1] Gray P R, Meyer R G. Analysis and design of analog integrated circuits. Fourth edition. John Wiley & sons, Inc, 2001

- [2] Banba H, Shiga H, Umezawa A, et al. A CMOS bandgap reference circuit with sub-1-V operation. *IEEE J Solid-State Circuits*, 1999, 34:670
- [3] Malcovati P, Maloberti F, Flocchi C, et al. Curvature-compensated BiCMOS bandgap with 1-V supply voltage. *IEEE J Solid-State Circuits*, 2001, 36:1076
- [4] Boni A. Op-amp and startup circuits for CMOS bandgap references with near 1-V supply. *IEEE J Solid-State Circuits*, 2002, 37:1339
- [5] Leung K N, Mok P K T. A sub-1V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device. *IEEE J Solid-State Circuits*, 2002, 37(4):526
- [6] Dehghani R, Atarodi S M. A new low voltage precision CMOS current reference with no external components. *IEEE J Solid-State Circuits*, 2003, 50(12):928
- [7] Yu Quan, Chan E. Bandgap reference circuit for improved start-up. US Patent 6,710,641, Mar, 23, 2004
- [8] Green M M, Wilson A N. How to identify unstable dc operating points. *IEEE Trans Circuit Syst*, 1992, 39(10):820
- [9] www.vabo.cz/stranky/biolek/veda/articles/MIXDES00.pdf

A Low Voltage and Low Power CMOS Bandgap Voltage Reference Design with a Novel Start-Up Circuit^{*}

Xu Changxi

(Department of Microelectronics, Nankai University, Tianjin 300071, China)

Abstract: A low voltage current mode bandgap voltage reference circuit with a novel start-up circuit is designed. It combines a predefined proper operating point with the feedback control method to guarantee the circuit's normal startup. Detailed analysis and circuit implementation are provided, and a SPICE simulation method is proposed to analyze the equilibrium points and startup margin of the circuit. The circuit is fabricated with 0.25 μ m standard CMOS technology. Finally, measurement results and comparison are shown.

Key words: low-voltage low-power; bandgap voltage reference; start-up circuit; SPICE simulation

EEACC: 2570D; 1280

Article ID: 0253-4177(2005)10-2022-06

^{*} Project supported by the Key Technologies R & D Program of Tianjin (No. 033187111)

Xu Changxi male, was born in 1978, PhD candidate. His research interest includes audio ADC/DAC, mixed signal and low voltage low power analog circuit design. Email: xuchangxi@mail.nankai.edu.cn

Received 3 March 2005, revised manuscript received 26 April 2005

© 2005 Chinese Institute of Electronics