

# 具有 p 型埋层 PSOI 结构的耐压分析

段宝兴 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

**摘要:** 提出了一种具有 p 型埋层的 PSOI 器件耐压新结构,称为埋层 PSOI(BPSOI). 其耐压机理是,通过 p 型埋层电荷产生的附加电场调制作用,导致表面电场分布中产生新的峰而使击穿电压提高;p 型埋层的电中性作用增加了漂移区优化的浓度而使比导通电阻降低.借助二维 MEDICI 数值分析软件,获得此结构较一般 PSOI 的击穿电压提高 52%~58%、比导通电阻降低 45%~48%.

**关键词:** BPSOI; 附加电场; 击穿电压; 比导通电阻

**EEACC:** 2560B; 2560P

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2005)11-2149-05

## 1 引言

近年来,对 SOI(silicon-on-insulator)智能功率 IC 的研究十分活跃. SOI 技术以其理想的介质隔离(DI)性能,相对简单的介质隔离工艺等优点,使智能功率 IC 中的低压电路与高压器件之间可以实现几乎理想的电隔离,与结隔离(JI)智能功率相比,具有更好的隔离性能<sup>[1]</sup>.为了解决一般 SOI 结构具有的自热和 I 层耐压低的问题提出了多种方法.如 Nakagawa 提出在 n<sup>-</sup>漂移区与埋氧层之间增加一层浓度较高且很薄的 n<sup>+</sup>层,或在埋氧层上加一薄层高阻 SIPOS 层来屏蔽衬底偏压的影响<sup>[2,3]</sup>;Merchant 等人根据 RESURF(REDUCED SURFACE FIELD)原理,设计了漂移区浓度为优化的线性掺杂分布的 SOI 高压器件<sup>[4]</sup>;新的复合槽型结构<sup>[5]</sup>;具有降场电极的耐压结构<sup>[6]</sup>;其中部分埋氧层的 PSOI(partial silicon-on-insulator)结构由于在漏端或源端开有硅窗口,可以利用衬底耐压来提高击穿电压,并且也缓解了自热问题<sup>[7]</sup>,人们已经在 PSOI 上做成了耐压高于 600V 的高压器件<sup>[8]</sup>.

一般 PSOI 结构较一般 SOI 结构的纵向耐压高的原因是,由于硅窗口的存在使衬底耗尽后承担了一部分耐压,并且随衬底浓度的降低,纵向耐压提高.但对于横向高压器件,击穿电压由横向与纵向共

同决定(取决于两个最低者),所以,如果不通过优化一般 PSOI 表面电场来提高横向耐压,则器件的击穿电压得不到提高.而在降低衬底浓度、提高纵向耐压的同时,根据 RESURF 原理,会使漂移区优化的浓度降低,这必然引起器件的比导通电阻增大.

为了解决这些矛盾,本文提出了一种具有 p 型埋层的 PSOI 耐压结构,称为埋层 PSOI(buried partial silicon-on-insulator, BPSOI).这种结构利用 p 型埋层电荷产生的附加场调制作用,导致表面电场出现新的峰而趋于均匀,通过提高器件横向耐压使击穿电压提高;并且由于 p 型埋层的电中性作用,使漂移区在较高的浓度下满足 RESURF 条件,保证了低的比导通电阻.在体硅 RESURF 结构中,为了解决厚外延层浓度比导通电阻大的问题,采用 p 型离子注入埋层来减小沟道区等位线的曲率,其结果是在不减小击穿电压的条件下导通电阻得以降低<sup>[9]</sup>,这是 BPSOI 结构设计的依据.

## 2 器件结构

图 1 为本文提出的 BPSOI 结构示意图(其中  $t_s$  代表漂移区厚度,  $t_{ox}$  代表埋氧层厚度).用  $L_d$  代表漂移区长度,  $N_n$  代表漂移区浓度,  $N_{p+}$  代表沟道浓度,  $N_{p-}$  代表衬底浓度,  $N_p$  代表 p 型埋层浓度.这种结构是在靠近源端衬底中离子注入 p 型埋层,中间

段宝兴 男,博士研究生,研究方向:半导体器件物理、SOI 功率器件设计.

2005-03-31 收到,2005-06-06 定稿

部分为  $p^-$  衬底,靠近漏端衬底中埋有隔离的  $\text{SiO}_2$  层.其中  $p$  型埋层、 $p^-$  衬底、隔离的  $\text{SiO}_2$  层在漂移区与衬底界面处各占漂移区长度的三分之一. $p$  型埋层的电中性作用使  $n^-$  漂移区的浓度提高,比导通电阻降低; $p^-$  衬底保证衬底足够耗尽后击穿电压提高.为了满足 RESURF 原理,不同类型的衬底交界面要求不同的漂移区优化浓度( $p$  型埋层的浓度高于  $p^-$  衬底浓度,即要求优化的漂移区浓度较高;在漂移区厚度相同的条件下,隔离衬底要求优化的漂移区浓度比硅衬底的低).当衬底为不同类型的三个区域时,要求三个不同优化浓度的漂移区,而当漂移区浓度一定时,相当于将漂移区分成不同区域.从图 1 的结构不难看出,这相当于将漂移区分成从源端到漏端浓度增加的三个区域,使表面电场出现新的峰而分布趋于均匀,这也是衬底对表面电场调制作用的结果<sup>[10]</sup>.

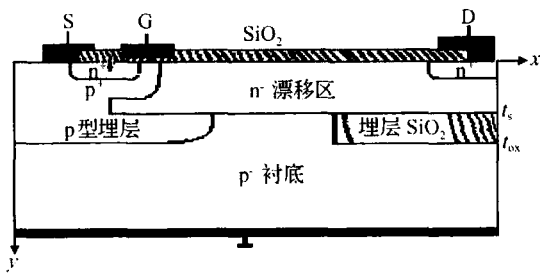


图 1 BPSOI 结构剖面示意图

Fig. 1 Cross section of BPSOI structure

### 3 结果分析

图 2(a) 为两种结构表面电场分布.可以明显看出,BPSOI 结构表面电场在  $p$  型埋层电荷产生的附加电场作用下出现了新的峰,导致两边电场峰值降低,较一般 PSOI 结构的电场分布均匀,峰的位置在不同类型衬底交界面的交接处,这样就提高了器件的横向耐压.图 2(b) 为这两种结构的漏端纵向电势分布,其中  $0 < y < L$  之间为器件漂移区与埋层部分的电势分布; $y > L$  部分为衬底电势分布.可以看出器件衬底承担了相当一部分的纵向电压,这是 BPSOI 结构较一般 SOI 结构耐压提高的原因.线段 1、2 表示一般 PSOI 结构、BPSOI 结构漂移区与埋层部分的电势差,可以看出两种结构在这一部分的电势差相同,但在衬底部分,BPSOI 结构较一般 PSOI 的电势增加了一倍左右,这是由于 BPSOI 结构较一般 PSOI 的表面电场(如图 2(a) 所示)优化.这样,

BPSOI 结构通过优化表面电场提高横向耐压,解决了一般 PSOI 结构纵向耐压受横向耐压限制的问题.图 2 的结构参数为 BPSOI:  $t_s = 2\mu\text{m}$ ,  $t_{ox} = 2\mu\text{m}$ ,  $L_d = 54\mu\text{m}$ ,  $N_n = 6.6 \times 10^{15} \text{cm}^{-3}$ ,  $N_{p+} = 2.0 \times 10^{16} \text{cm}^{-3}$ ,  $N_{p-} = 1.0 \times 10^{14} \text{cm}^{-3}$ ,  $N_p = 5.0 \times 10^{15} \text{cm}^{-3}$ ; 一般 PSOI:  $t_s = 2\mu\text{m}$ ,  $t_{ox} = 2\mu\text{m}$ ,  $L_d = 54\mu\text{m}$ ,  $N_n = 3.5 \times 10^{15} \text{cm}^{-3}$ ,  $N_{p+} = 2.0 \times 10^{16} \text{cm}^{-3}$ ,  $N_{p-} = 1.0 \times 10^{14} \text{cm}^{-3}$ ; 一般 SOI:  $t_s = 2\mu\text{m}$ ,  $t_{ox} = 2\mu\text{m}$ ,  $L_d = 54\mu\text{m}$ ,  $N_n = 5.0 \times 10^{15} \text{cm}^{-3}$ ,  $N_{p-} = 5.0 \times 10^{14} \text{cm}^{-3}$ .

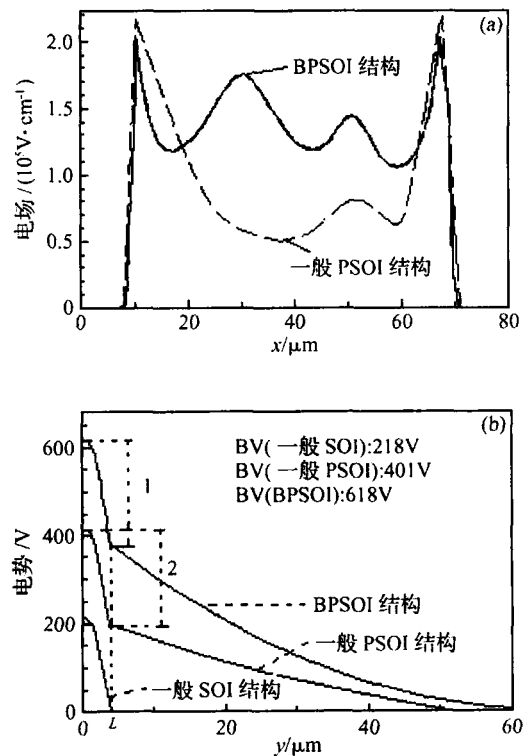


图 2 (a) 表面电场分布; (b) 纵向电势分布

Fig. 2 (a) Surface electric field distribution; (b) Vertical potential distribution

图 3(a) 为 BPSOI 结构埋层注入剂量与击穿电压的关系曲线,虚线上的 A、B、C 点代表注入剂量为零的情况,这正是一般 PSOI 结构的击穿电压.从图 3(a) 可以看出,随注入剂量增加,埋层对漂移区的作用逐渐增强,表面电场逐渐趋于优化(电场分布的最高峰逐渐削弱,中间部分逐渐增大),这使击穿电压逐渐增大,当注入剂量将表面电场优化为图 2(a) 的情况时,击穿电压达到最大.这时增大注入剂量会使靠近源端处的电场峰值过高而使击穿电压下降.当表面电场达到最优时就可以通过提高横向耐压而使击穿电压提高.从图 3(a) 可知 BPSOI 结构击

击穿电压较一般 PSOI 结构提高了 52% ~ 58%。

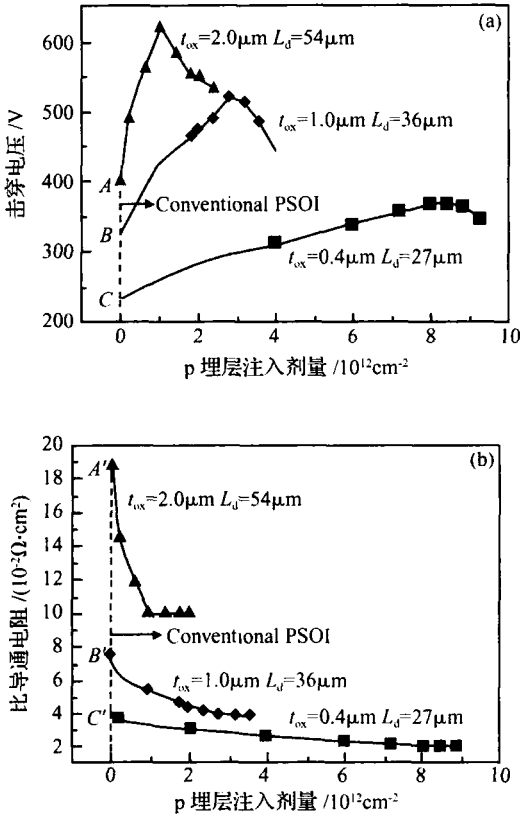


图 3 (a) p 型埋层注入剂量与击穿电压关系;(b) p 型埋层注入剂量与比导通电阻关系  
 Fig. 3 (a) Breakdown voltage versus dose of p-type buried layer; (b) On-resistance versus dose of p-type buried layer

图 3(b)为 BPSOI 结构 p 型埋层注入剂量与比导通电阻关系曲线,虚线上的 A、B、C 点代表在结构参数相同条件下一般 PSOI 结构的比导通电阻。可以看出,由于 p 型埋层的电中性作用,随注入剂量增加,满足 RESURF 条件的漂移区浓度逐渐增大,使比导通电阻降低,且在一定注入剂量下比导通电阻趋于饱和。从图 3(b)可知 BPSOI 结构比导通电阻较一般 PSOI 结构的降低 45% ~ 48%。(图 3 的仿真条件为  $t_s = 2 \mu\text{m}, N_{p+} = 2.0 \times 10^{16} \text{cm}^{-3}, N_{p-} = 1.0 \times 10^{14} \text{cm}^{-3}, N_n$  为优化的浓度,  $L_d$  是针对不同厚度的  $t_{ox}$  优化的最小值)。

图 4 为三种不同结构埋氧层厚度与击穿电压关系曲线。从图中可以看出,随埋氧层厚度增加,击穿电压近乎线性增加;BPSOI 结构击穿电压较一般 PSOI 和一般 SOI 结构的高,就是因为 p 型埋层的附加场调制作用。其中结构参数为:  $t_s = 2 \mu\text{m}, N_{p+} =$

$2.0 \times 10^{16} \text{cm}^{-3}, N_n$  为优化的浓度。

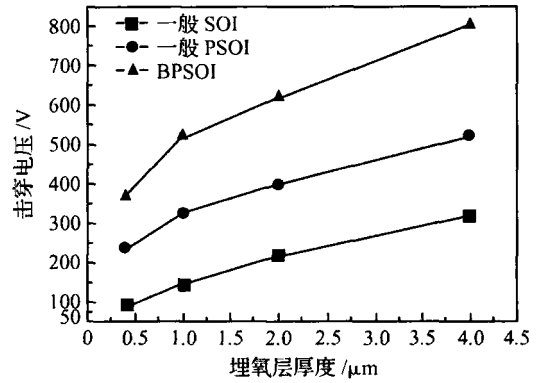


图 4 埋氧层厚度与击穿电压关系  
 Fig. 4 Breakdown voltage versus thickness of oxide

图 5 为一般 PSOI 结构和 BPSOI 结构漂移区浓度与击穿电压关系曲线。可以看出,两种结构的漂移区浓度都有一优化值,且 BPSOI 结构优化的漂移区浓度较一般 PSOI 结构的高。这是因为 p 型埋层的电中性作用,使漂移区在更高的浓度下满足 RESURF 条件,同时这也是此种结构能降低比导通电阻的原因。

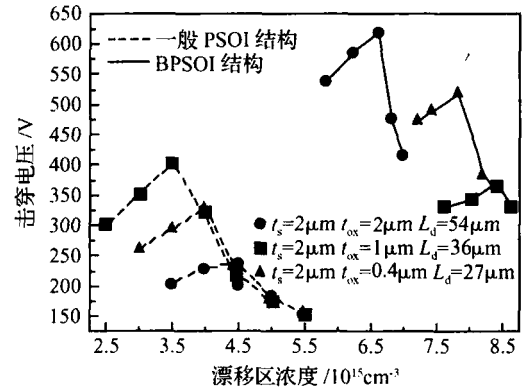


图 5 一般 PSOI 和 BPSOI 漂移区浓度与击穿电压关系  
 Fig. 5 Doping of normal PSOI and BPSOI structure versus breakdown voltage

一般 SOI 结构器件的自热效应影响是显而易见的,在器件工作的饱和区会出现负阻情况,而且,自热效应还会使器件的性能退化。对于本文提出的 BPSOI 结构,由于保留了一般 PSOI 的特点,所以也缓解了自热效应。

工程上可以通过硅片直接键合(SDB)或氧原子注入(SIMOX)的方法实现这种结构,对于 SDB 工艺,与一般 PSOI 的 SDB 工艺不同在于增加一步 p 型离子注入。第一步是进行具有掩蔽的硅氧化,掩蔽

的部分是形成器件硅窗口的部分,因为硅的氧化是按 4:1 的比例消耗硅的,所以氧化完成后就有 1/4 厚度的氧化层埋于硅中,硅表面有 3/4 厚度的氧化层;第二步用刻蚀和化学抛光技术将硅表面 3/4 的氧化层刻蚀抛光;对于一般 PSOI 结构,接下来第三步就可以直接与另一块没有氧化层的硅片键合;对于 BPSOI 结构,还要进行一次离子注入,注入的离子是形成 p 型埋层的部分,最后再直接与另一块没有氧化层的硅片键合.当然,对于埋层较厚的情况,在第一步硅氧化之前要先在硅片上刻蚀出一个硅台阶,这样,经过相同的工艺过程后就形成较厚的埋层.如果用 SIMOX 工艺实现较薄埋层的 BPSOI 结构,可以用掩蔽的方法选择注入氧原子和 p 型埋层.

## 4 结论

本文提出了一种具有 p 型埋层的 PSOI(BP-SOI)高压器件新结构,p 型埋层电荷的附加场调制作用导致表面电场出现新的峰而较一般 PSOI 结构的趋于均匀化,这使 BPSOI 结构的击穿电压较一般 PSOI 结构的大,解决了一般 PSOI 结构纵向耐压受横向耐压限制的矛盾.同时 p 型埋层的电中性作用使优化的漂移区浓度增大,较一般 PSOI 降低了比导通电阻.通过分析 p 型埋层注入剂量与击穿电压、比导通电阻的关系,得出此结构较一般 PSOI 结构在漂移区较薄(2 $\mu\text{m}$ )的情况下,击穿电压提高 52%~58%,比导通电阻降低 45%~48%,为实现 SOI 高压集成技术提供了一种新的器件结构.

## 参考文献

- [1] Colinge J P. Silicon-on-insulator technology: materials to VLSI. Kluwer Academic Publishers, 1991
- [2] Yasuhara N, Nakagawa A, Furukawa K. SOI device structures implementing 650V high voltage output devices on VLSIs. IEDM Tech Dig, 1991: 141
- [3] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. IEEE Tran Electron Devices, 1991, 38(7): 1650
- [4] Merchant S, Arnold E, Baumgart H, et al. Realization of high breakdown voltage (> 700V) in thin SOI devices. IEEE Proc ISPSD, 1991: 31
- [5] Li ZJ, Luo L Y, Guo Y F, et al. Breakdown theory of a new SOI composite structure. ICCAS, 2002: 1744
- [6] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors, 2003, 24(2): 194 (in Chinese) [罗卢杨, 方健, 罗萍, 等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报, 2003, 24(2): 194]
- [7] Park J M, Grasser T, Kosina H, et al. A numerical study of partial-SOILDMOSFETs. Solid-State Electron, 2003, 47: 275
- [8] Tadikonda R, Hardikar S, Sankara Narayanan E M. Realizing high breakdown voltages (> 600V) in partial SOI technology. Solid-State Electron, 2004, 48(9): 1655
- [9] Chen Xingbi. Power MOSFET and high voltage integrated circuit. Nanjing: Southeast University Press, 1990: 291 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990: 291]
- [10] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for step buried oxide SOI structure. Chinese Journal of Semiconductors, 2005, 26(7): 1396 (in Chinese) [段宝兴, 张波, 李肇基. 阶梯埋氧型 SOI 结构的耐压分析. 半导体学报, 2005, 26(7): 1396]
- [1] Colinge J P. Silicon-on-insulator technology: materials to VL-

## A Breakdown Voltage Model of a PSOI Structure with a p-Type Buried Layer

Duan Baoxing , Zhang Bo , and Li Zhaoji

(*IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China*)

**Abstract :** A new PSOI structure with a p-type buried layer is developed ,which is called BPSOI. Its mechanism of breakdown is an additive electric field modulation ,which inducts new electric field peaks in surface electric field distribution by p-type buried layer charges. The on-resistance is decreased as a result of increasing drift region doping which is due to the neutralism of the p-type buried layer. The result is that the breakdown voltage is increased by 52 % ~ 58 % and the on-resistance is decreased by 45 % ~ 48 % in virtue of the 2D MEDICI simulation.

**Key words :** BPSOI; additive electric field; breakdown voltage; on-resistance

**EEACC :** 2560B ; 2560P

**Article ID :** 0253-4177(2005)11-2149-05