

# 屏蔽槽 SOI 高压器件新结构和耐压机理\*

罗小蓉 李肇基 张 波 郭宇锋 唐新伟

(电子科技大学 IC 设计中心, 成都 610054)

**摘要:** 提出具有屏蔽槽的 SOI 高压器件新结构和自适应界面电荷耐压模型. 该结构在屏蔽槽内产生跟随漏极电压变化的界面电荷, 此电荷使埋层介质的纵向电场增加, 同时使顶层硅的纵向电场降低, 并对表面电场进行调制, 因此屏蔽了高电场对顶层硅的影响. 借助二维器件仿真研究器件耐压和电场分布与结构参数的关系. 结果表明, 该结构使埋氧层的电场从传统的  $3 E_{Si}$  升高到近  $600 \text{V}/\mu\text{m}$ , 突破了传统 SOI 器件埋氧层的耐压值, 大大提高了 SOI 器件的击穿电压.

**关键词:** 屏蔽槽; 自适应界面电荷; 调制; 纵向电场; 击穿电压

EEACC: 2560B; 2560P

中图分类号: TN386 文献标识码: A 文章编号: 0253-4177(2005)11-2154-05

## 1 引言

SOI 器件的高速、低功耗、高集成度等优越性能使其在 VLSI 领域得到广泛关注<sup>[1]</sup>, 但其较低的纵向耐压限制了其在高压功率集成电路中的应用. 为此, 国内外众多学者提出了一些新结构<sup>[2~11]</sup>. 在 Si/SiO<sub>2</sub> 界面引入电荷, 利用 SiO<sub>2</sub> 高临界击穿电场的特点, 通过提高埋氧层电场而提高器件纵向耐压, 是一种非常有效的方法. 如在 Si/SiO<sub>2</sub> 的界面插入 N<sup>+</sup> 薄层<sup>[2]</sup>, 但其漏电流较大, 且需精确控制 N<sup>+</sup> 层的密度, 否则将在表面源端或漏端提前击穿; 注入阶梯埋氧层固定界面电荷 (step fixed interface charge, SF-IC) 在一定程度上缓解了上述两个问题<sup>[3]</sup>, 但其工艺相对略微复杂.

本文提出屏蔽槽 (shielding trench, ST) SOI 高压器件新结构, 屏蔽槽束缚 Si/SiO<sub>2</sub> 界面反型层的电荷, 且该电荷是从源到漏逐渐递增的、跟随漏极电压而变化的自适应界面电荷, 自适应电荷对纵向电场调制的同时还能改善横向电场分布, 故可大大提高器件耐压. 仿真结果表明, 采用 ST 结构, 对 Si 层厚度为  $4\mu\text{m}$ , 埋氧层厚度为  $1\mu\text{m}$  的 SOI LDMOS, 耐压可达  $635\text{V}$ , 而耐压超过  $600\text{V}$  的传统 SOI LDMOS, 需要  $4\mu\text{m}$  以上的埋氧层和约  $20\mu\text{m}$  厚的 Si

层. 可见, 该结构不仅能够提高耐压, 同时可以缩小 SOI 器件的纵向尺寸, 最大限度地克服自热效应和浮体效应, 因此, 本文所提出的结构对 SOI 功率电子器件具有重要意义.

## 2 器件结构和机理

具有屏蔽槽结构的 SOI LDMOS 器件结构如图 1(a) 所示. 图中  $t_s, t_{ox}$  分别代表 Si 层和埋氧层厚度. 当漏极加较大正电压  $V_d$ , 栅、源极和衬底接地时, Si/SiO<sub>2</sub> 界面 Si 侧形成反型层. 如果槽高  $H$  足够大, 就能阻止漂移区横向电场对反型层电荷的抽取, 从而在槽底部束缚高浓度的空穴, 如图 1(b) 所示. 设槽内空穴的面密度为  $Q_s$ , 则在 Si/SiO<sub>2</sub> 界面, 电位连续为:  $_{ox} E_{ox} = E_{Si/Si} + Q_s$ , 其中  $E_{Si/Si}, E_{ox}$  和  $_{Si, ox}$  分别是界面处 Si 和 SiO<sub>2</sub> 的电场和介电常数. 可见, 随着  $Q_s$  的增加,  $E_{ox}$  将从传统结构 ( $Q_s = 0$ ) 的  $3 E_{Si}$  提高至其临界击穿电场 (本文选取  $600\text{V}/\mu\text{m}$ ).

采用 RESURF 技术和结终端技术优化横向电场, 可使器件击穿由纵向决定. 在纵向电场最强的漏端下采用一维近似, SiO<sub>2</sub> 击穿前, 器件的纵向电压可写成:

$$V_d = E_{Si} t + \frac{K t_{ox}}{s_i} Q_s \quad (1)$$

\*国家自然科学基金资助项目 (批准号: 60436030)

2005-04-08 收到, 2005-06-03 定稿

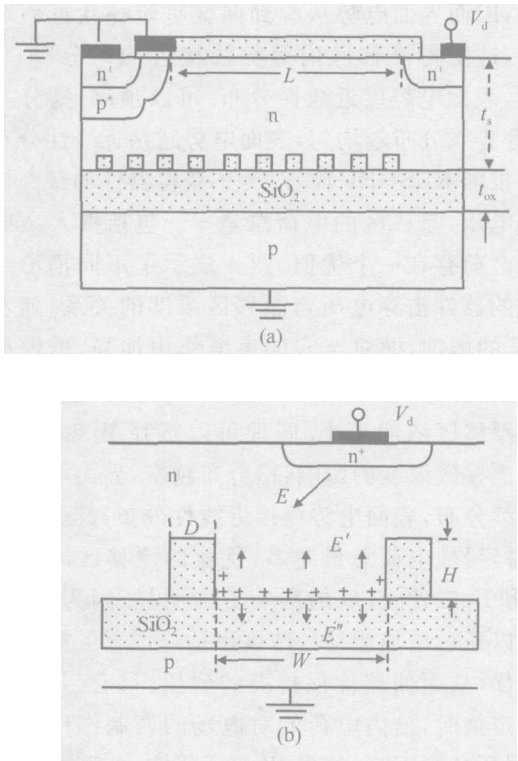


图 1 具有屏蔽槽的 SOI 器件原理图 (a) 器件结构; (b) 槽的结构及电荷分布

Fig. 1 Principle structure of SOI device with shielding trench (a) Device structure; (b) Trench structure and charges distribution

式中  $K = t_{Si} / t_{ox}$ ;  $t = 0.5 t_s + K t_{ox}$ , 为 SOI 器件的特征厚度. (1) 式右边第一项是传统 SOILD MOS 的纵向压降. 可见, 高浓度的界面电荷能大大提高纵向耐压. Si/SiO<sub>2</sub> 界面纵向电场为

$$E_{Si} = \left[ V_d - \frac{K t_{ox} Q_s}{t_s} \right] \times \frac{1}{t} \quad (2)$$

$$E_{ox} = \left[ V_d + \frac{t_s Q_s L_d}{2 t_s} \right] \times \frac{K}{t} \quad (3)$$

可见, 界面电荷产生如图 1 (b) 所示的附加纵向电场  $E_s$ ,  $E_s$  该电场使埋氧层内纵向电场增强, 同时削弱 Si 层的电场, 屏蔽高电场对 Si 层的影响, 因而提高了器件的纵向击穿电压.

当然, 如果槽内电荷密度过高, 器件的击穿首先发生在埋 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 侧, 则  $V_d = \frac{E_{ox,c} t}{K} -$

$\frac{Q_s t_s}{2 t_{Si}}$ , 其中  $E_{ox,c}$  为 SiO<sub>2</sub> 的临界击穿电场. 优化设计器件结构, 当 Si 和 SiO<sub>2</sub> 中同时击穿时, 器件击穿电压最高, 此时  $V_B = E_{Si,c} t_s / 2 + E_{ox,c} t_{ox}$ .

与文献[2, 3]在 Si/SiO<sub>2</sub> 界面引入正电荷不同,

本文中局域界面电荷密度为

$$Q_s(x) = \sqrt{2 k_0 T_{Si} p_{n0} / \sqrt{\epsilon_{Si} \epsilon_0} \exp[q(V_s(x) - \phi_s(x)) / 2 k_0 T]} \quad (4)$$

式中  $p_{n0}$  是漂移区平衡空穴浓度;  $V_s(x)$  为漂移区上表面电势;  $\phi_s(x)$  为漂移区下表面电势, 其从源到漏区逐渐增加.  $Q_s$  受  $V_d, \phi_s, t_s, t_{ox}$  以及槽形结构参数的调制. 调节槽宽  $W$  和槽间距  $D$ , 可使 Si/SiO<sub>2</sub> 界面实现从源到漏区逐渐递增的准连续分布的界面电荷, 该电荷对表面电场的调制作用使表面电场更均匀. 槽内大部分区域电荷均匀分布, 边角处电场集中使其电荷浓度稍高; 同时, 电场的横向分量使空穴在槽内靠近源极的一边浓度略高. 平衡时, 各屏蔽槽内横向电场为零, 槽内等电势. 考虑电荷分布的影响, 引进形状因子  $k$ ,  $k$  与槽的几何形状、 $t_s$  及  $t_{ox}$  有关,  $0 < k < 1$ , 则有效电荷  $Q_{eff} = k Q_s$ .

### 3 结果与讨论

为了验证上述耐压机理的正确性, 首先讨论漏端下纵向电场和电势分布. 仿真结果表明, 对传统结构的 SOI LDMOS, 当  $t_s = 4 \mu m, t_{ox} = 1 \mu m, L = 50 \mu m$ , 最高击穿电压为 191V 时, 器件在 Si/SiO<sub>2</sub> 界面 Si 侧发生击穿. 具有屏蔽槽的 SOILD MOS, 由于界面电荷对电场的调制作用, 当  $W = D = H = 1 \mu m$  时, 击穿电压增至 635V, 击穿发生在 Si/SiO<sub>2</sub> 界面 SiO<sub>2</sub> 侧. 图 2 为传统结构和 ST 结构在击穿电压下的纵向电场和电势分布. 该图显示在 Si/SiO<sub>2</sub> 界面,  $E_{Si}$  从传统结构的  $32 V/\mu m$  降低为 ST 结构的  $12 V/\mu m$ . 更重要的是,  $E_{ox}$  由  $97 V/\mu m$  增至其临界击穿电场  $600 V/\mu m$ , 纵向击穿由 Si 侧转移至 SiO<sub>2</sub>, 此谓对 Si 层高电场的屏蔽作用. ST 结构充分利用 SiO<sub>2</sub> 高临界击穿电场的特点, 使埋氧层承受器件纵向电压从传统结构的 97V 提高为 ST 结构的 598V, 因而大大提高了器件的击穿电压.

自适应界面电荷不仅能够调制纵向电场, 而且能改善表面横向电场分布. 图 3 (a) 为传统结构、SF-IC 以及 ST 结构在其击穿电压下的表面电场分布, 仿真中均采用  $t_s = 4 \mu m, t_{ox} = 1 \mu m, L = 50 \mu m, N_d = 1.5 \times 10^{15} cm^{-3}$ . 可见, 界面电荷相当于增加了漂移区浓度, 使  $p^+n$  结处电场峰值增加,  $nn^+$  结处电场峰值降低. 值得注意的是, ST 结构与固定界面电荷线性分布的表面电场分布十分接近, 这印证了界面电荷是从源到漏区逐渐递增、准连续的电荷, 它使表面

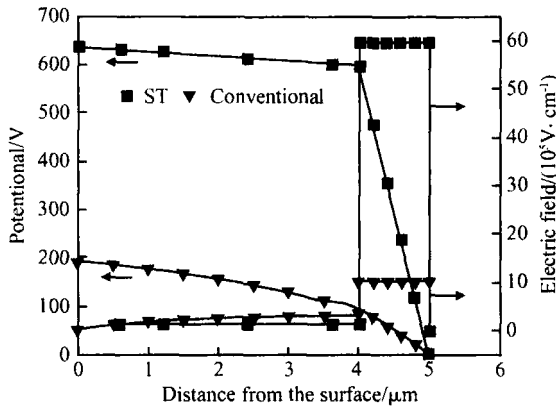


图 2 传统结构和 ST 结构在击穿电压下的纵向电场和电势分布  
 Fig. 2 Vertical electric field and potential distribution under breakdown voltage for the conventional and ST structures

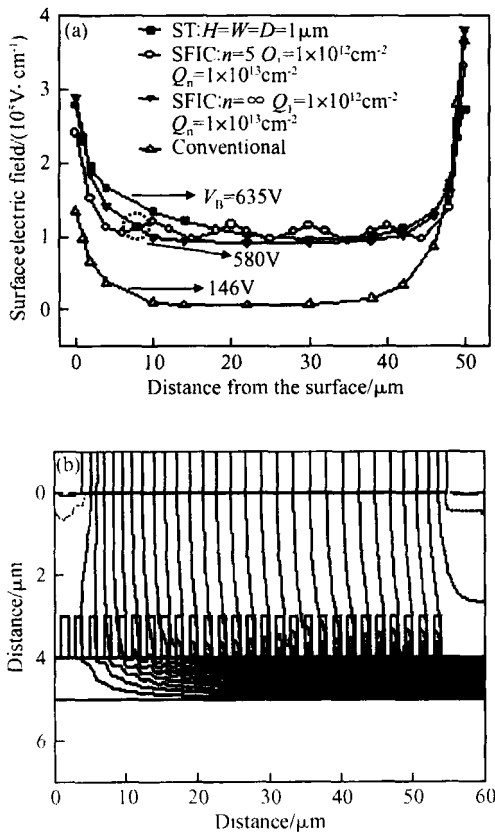


图 3 (a) 击穿时表面电场分布; (b) ST 结构二维等势线分布  
 Fig. 3 (a) Surface electric field distribution under breakdown voltage; (b) Equipotential contours of ST structure

电场分布更加均匀. 另一方面, 在 Si/ SiO<sub>2</sub> 界面, 由于平衡时各屏蔽槽内横向等电势, 同时屏蔽槽均匀

分布, 因而界面电势从源到漏区呈阶梯状近似等差上升, 这使得漂移区内等势线接近均匀分布 (图 3 (b)), 表面电势接近线性分布. 可以预测, 槽分布越密, 等势线分布越均匀, 表面电势越接近线性分布.

根据 RESURF 原理, 为了获得器件的最高横向击穿电压, 漂移区的电荷总量——包括掺入杂质和界面电荷存在一个优值. 图 4 展示了不同槽形结构参数的器件击穿电压与漂移区浓度的关系. 随着高度  $H$  的增加, 槽对空穴的束缚作用加强, 槽内局域空穴浓度更高,  $E_{ox}$  更大, 所以耐压提高, 相应地, 其优化的漂移区浓度更小. 同理可以解释  $W$  和  $D$  对耐压和漂移区浓度的影响: 槽分布越密, 界面电荷越接近连续分布, 表面电势更接近线性分布, 其耐压更高; 同时, 局域电荷总量越多, 优化的漂移区浓度更小.  $W$  和  $D$  二者间,  $D$  的影响更为明显. 因为  $W$  的增加可以通过增加漂移区浓度以适应漂移区的电荷总量最优, 从而使器件保持高的耐压, 只有当  $W$  增加到一定值时, 槽内电荷的对电场的调制作用大大削弱, 耐压急剧下降, 如果  $W$  趋于无穷大, 则变为普通 SOI LDMOS 结构. 当  $W$  不变时,  $D$  增加使束缚电荷的区域 ( $W/(W+D)$ ) 减少, 且槽的分布变疏, 电荷分布的连续性变差, 导致耐压下降.

图 5 为器件结构参数对器件击穿电压的影响, 仿真中采用  $t_s = 4\mu\text{m}$ ,  $t_{ox} = 1\mu\text{m}$ ,  $L = 50\mu\text{m}$ ,  $N_d = 1.5 \times 10^{15} \text{cm}^{-3}$ . 可见, 当  $t_s, t_{ox}, L, N_d$  一定时, 其最高击穿电压与某一固定的槽形结构对应. 这是界面电荷对漂移区电荷总量调制的结果: 屏蔽槽太密或者太高, 漂移区电荷总量过高使源区表面或 Si/ SiO<sub>2</sub> 界面的 SiO<sub>2</sub> 侧提前击穿, 耐压降低; 反之, 则击穿首先发生在漏区表面或 Si/ SiO<sub>2</sub> 界面的 Si 侧. 相比之下,  $H$  对耐压的影响最大,  $W$  最弱, 这可以通过前面的分析加以解释. 图中也给出了击穿电压与漂移区长度的关系, 当漂移区较短时,  $V_B$  随  $L$  的增加而增加, 说明此时击穿由横向决定; 当  $L = 50\mu\text{m}$  时, 器件发生纵向击穿, 耐压达到饱和.

图 6 为 SOI 器件最高击穿电压与  $t_s$  的关系曲线. 可见, SOI 器件在  $t_s$  较小和较大时击穿电压均较高, 这是因为  $t_s$  较小时, Si 的临界击穿电场高且电离积分通道短, 故击穿电压高; 而  $t_s$  较大时, 承受电压的耗尽层增加, 器件耐压升高. 具有屏蔽槽的 SOI 器件, 当  $t_s > 1\mu\text{m}$ , 其耐压远远高于传统 SOI 器件, 且当  $t_s < 10\mu\text{m}$ , 电势大部分压降落在 SiO<sub>2</sub> 层上, 所以击穿电压随  $t_s$  增加几乎不变, 只有当  $t_s$  较

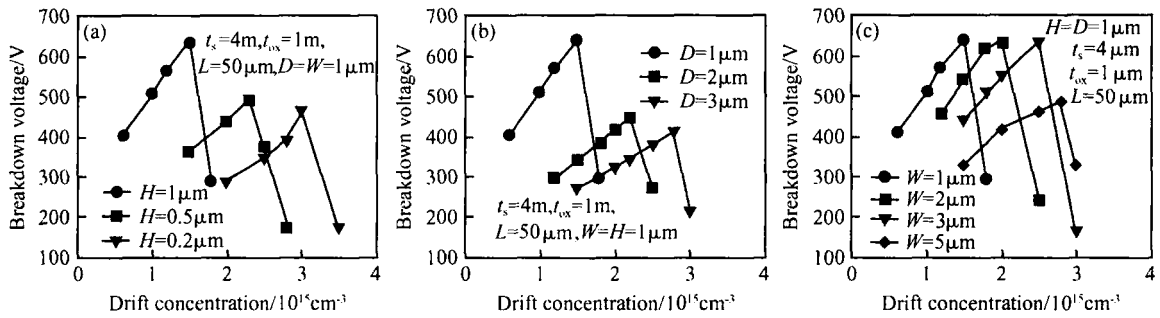


图 4 击穿电压与漂移区浓度的关系

Fig. 4 Breakdown voltage versus drift concentration

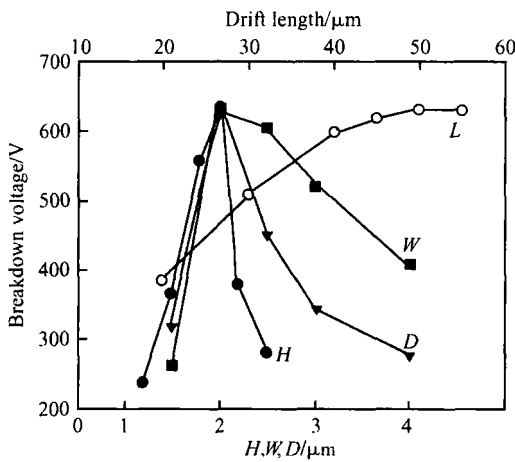


图 5 击穿电压与器件结构参数的关系

Fig. 5 Breakdown voltage versus the structure parameters

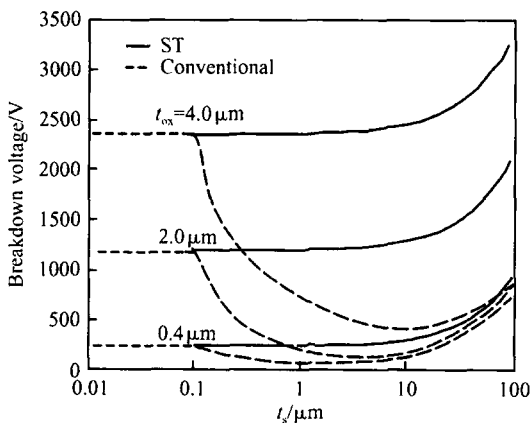


图 6 击穿电压与 Si 层厚度的关系

Fig. 6 Breakdown voltage versus the thickness of Si layer

随着 SOI 材料制备技术的发展,具有屏蔽槽的 SOI 材料可以通过键合和图形氧注入两种方式实现.如果槽较深、埋氧层较厚,则采用键合方法:Si 片刻槽、高压氧化 + 淀积 SiO<sub>2</sub>、SiO<sub>2</sub> 表面平坦化、键合、减薄;如果槽较浅且埋氧层较薄,则采用 SIMOX 技术:注氧(形成埋氧层)、图形氧注入(形成浅槽)、外延到所需 Si 层厚度.

### 4 结论

本文提出具有屏蔽槽的 SOI 高压器件新结构及界面电荷耐压机理.在外加电压作用下,屏蔽槽内产生跟随漏极电压变化的界面电荷,利用该电荷对电场的调制作用,通过增加埋氧层耐压和优化表面电场而达到提高器件击穿电压的目的.二维器件仿真结果表明,该结构使埋氧层内电场从传统 SOI 的约 3 E<sub>Si</sub> 升高至其临界击穿电场,大大提高了器件耐压.该结构在保证较高耐压的同时可以减小纵向尺寸,因而最大限度地降低浮体效应和自热效应的影响,拓宽了 SOI 器件在高压集成电路中的应用范围.

### 参考文献

[ 1 ] Udrea F, Garner D, Sheng K, et al. SOI power devices. J Electron Commun Eng, 2000, 12(1) : 27  
 [ 2 ] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. IEEE Trans Electron Devices, 1991, 38(7) : 1650  
 [ 3 ] Guo Yufeng, Li Zhaoji, Luo Xiaorong, et al. New structure and breakdown model of high voltage SOI devices with the step buried-oxide fixed charges. Chinese Journal of Semicon-

大时, Si 层承受电压增加使器件耐压逐渐上升.

- ductors, 2004, 25(12):1623 (in Chinese) [郭宇锋, 李肇基, 罗小蓉, 等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. 半导体学报, 2004, 25(12):1623]
- [ 4 ] Luo Xiaorong, Li Zhaoji, Zhang Bo. A novel E-SIMOX SOI high voltage device structure with shielding trench. ICCAS, 2005:1403
- [ 5 ] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors, 2003, 24(2):194 (in Chinese) [罗卢杨, 方健, 罗萍, 等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报, 2003, 24(2):194]
- [ 6 ] Duan Baoxing, Zhang Bo, Li Zhaoji, et al. Breakdown voltage analysis for a step buried oxide SOI structure. Chinese Journal of Semiconductors, 2005, 26(7):1396 (in Chinese) [段宝兴, 张波, 李肇基, 等. 阶梯埋氧型 SOI 结构的耐压分析. 半导体学报, 2005, 26(7):1396]
- [ 7 ] Kapels H, Plikat R, Silber D. Dielectric charge traps: a new structure element for power devices. Proceeding of ISPSD, 2000:205
- [ 8 ] Funaki H, Yamaguchi Y, Hirayama K, et al. New 1200V MOSFET structure on SOI with SIPOS shielding layer. Proceeding of ISPSD, 1998:25
- [ 9 ] Merchant S, Arnold E, Baumgart H, et al. Realization of high breakdown voltage (>700V) in thin SOI device. Proc 3rd Int Symp on Power Semiconductor Devices and ICs, 1991:31
- [10] Akiyama H, Yasuda N, Moritani J, et al. A high breakdown voltage IC with lateral power device based on SODI structure. Proceedings of International Symposium on Power Semiconductor Devices & ICs, 2004:375
- [11] Tadikonda R, Hardikar S, Narayanan E M S. Realizing high breakdown voltages (>600V) in partial SOI technology. Solid-State Electron, 2004, 48:1655

## A Novel Structure and Its Breakdown Mechanism of a SOI High Voltage Device with a Shielding Trench \*

Luo Xiaorong, Li Zhaoji, Zhang Bo, Guo Yufeng, and Tang Xinwei

*(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)*

**Abstract:** A novel SOI high voltage device structure with a shielding trench and its breakdown mode with a self-adapted interface charge are proposed. Interface charges that change with the drain voltage are introduced in the shielding trench. Interface charges enhance the vertical electric field of the buried layer and reduce that of the top Si layer simultaneously. Furthermore, they also modulate the surface electric field. So, interface charges shield the top Si layer from a high electric field. The breakdown voltage and electric field profile are researched for different device parameters for a ST structure by using a 2D device simulator. It is shown that the electric field of buried oxide increases from about  $3E_s$  to  $600\text{V}/\mu\text{m}$ . It breaks through the limitation of the sustained voltage of the buried oxide layer of a normal SOI device and enhances the breakdown voltage of the SOI device remarkably.

**Key words:** shielding trench; self-adapted interface charge; modulate; vertical electric field; breakdown voltage

**EEACC:** 2560B; 2560P

**Article ID:** 0253-4177(2005)11-2154-05

\* Project supported by the National Natural Science Foundation of China (No. 60436030)

Received 8 April 2005, revised manuscript received 3 June 2005