

阶梯掺杂薄漂移区 RESURF LDMOS 耐压模型

李 琦 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出硅基阶梯掺杂薄漂移区 RESURF LDMOS 耐压解析模型. 通过分区求解二维 Poisson 方程, 获得阶梯掺杂薄漂移区的二维表面电场和击穿电压的解析表达式. 借助此模型研究击穿电压与器件结构参数的关系, 其解析与数值结果吻合较好. 结果表明: 在导通电阻相近情况下, 阶梯掺杂漂移区 LDMOS 较均匀漂移区的击穿电压提高约 20%, 改善了击穿电压和导通电阻的折衷关系.

关键词: 薄漂移区; 阶梯掺杂; 击穿电压; 模型

EEACC: 2560B; 2560P

中图分类号: TN432 文献标识码: A 文章编号: 0253-4177(2005)11-2159-05

1 引言

近年来, RESURF(降低表面电场)技术广泛地应用于高压半导体器件^[1,2], 其优点是耐压高、导通电阻低以及器件尺寸较小. Imam 等采取适当的近似, 建立了常规器件的 1D 耐压模型^[3]; He Jin 等人^[4]通过求解二维 Poisson 方程, 获得了吻合较好的表面电场和电势分布的准二维解析模型; Steng 和 Schulze 等人^[5,6]用横向变掺杂来提高 pn 结的边缘击穿电压; 李肇基等建立了 SOI 器件耐压解析模型, 其表面电场分布及击穿电压与结构参数的关系都吻合较好^[7-9]. 但对于阶梯掺杂薄漂移区耐压解析模型的研究尚未见报道.

本文通过分区求解阶梯掺杂漂移区的二维 Poisson 方程, 建立了阶梯掺杂薄漂移区 LDMOS 的耐压解析模型, 计算结构参数对击穿电压的影响, 并与半导体数值仿真器 MEDICI 的结果进行比较, 二者吻合较好. 结果表明: 在导通电阻相近, 阶梯掺杂漂移区较均匀漂移区的击穿电压增加约 20%, 改善了击穿电压和导通电阻的折衷关系.

2 结构和模型

图 1 是阶梯掺杂薄漂移区 RESURFL DMOS

的结构示意图. 该结构是在常规结构的基础上, 通过离子注入和退火实现漂移区掺杂的阶梯分布, 杂质浓度从漂移区始端(栅下)到末端(漏端)线性阶梯增加. 在实际器件工艺中, 由掩模上一系列从小到大的窗口来实现, 通过增加漂移区掩模的窗口数, 最终可得到漂移区掺杂浓度的近似线性分布, 即阶梯数趋于无穷大.

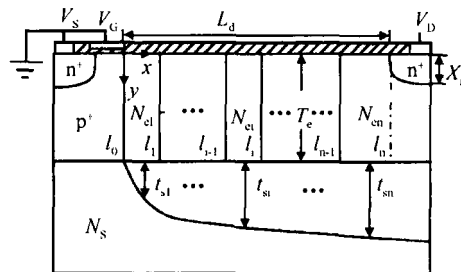


图 1 阶梯掺杂薄漂移区 RESURF LDMOS 结构示意图
Fig. 1 Cross-section of the thin drift region RESURF LDMOS with step doping profile

漂移区浓度分布从始端到末端依次为 $N_{e1}, N_{e2}, \dots, N_{en}$, l_0, l_1, \dots, l_n 为各阶梯漂移区分区的分界点坐标, $t_{s1}, t_{s2}, \dots, t_{sn}$ 为对应漂移区分区的衬底耗尽层厚度, ϵ_s 为 Si 介电常数, L_d 为漂移区总长度, T_e 为漂移区厚度, X_j 为漏端结深, N_s 为衬底浓度.

当栅极 (V_G)、源极 (V_S) 和衬底分别接地, 漏极 (V_D) 接正电压 V_d , 忽略内建势的影响, 按 l_i 将 ($i =$

李 琦 男, 1976 年出生, 博士研究生, 主要从事功率器件和功率集成电路的设计和建模. Email: lpurp@sina.com
2005-05-20 收到, 2005-07-31 定稿

0, 1 .. n) 漂移区分成 n 个区, 且 $l_0 = 0$, 假定各区长度相等, 即 $l_i - l_{i-1} = l_{i+1} - l_i$, 漂移区杂质浓度从始端到末端线性阶梯递增, 则在各阶梯漂移区中电势分布 $\varphi_i(x, y)$ 满足 2D Poisson 方程:

$$\frac{\partial^2 \varphi_i(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_i(x, y)}{\partial y^2} = - \frac{qN_{di}}{s} \quad (1)$$

边界条件为:

$$\left. \frac{\partial \varphi_i(x, y)}{\partial y} \right|_{y=0} = 0 \quad (2)$$

$$\left. \frac{\partial \varphi_i(x, y)}{\partial y} \right|_{y=T_c} = - \frac{2 \varphi_i(x, T_c)}{t_{si}(x)} \quad (3)$$

$$\left. \frac{\partial \varphi_i(l_i, y)}{\partial x} \right|_{y=0} = \left. \frac{\partial \varphi_{i+1}(l_i, y)}{\partial x} \right|_{y=0} \quad (4)$$

$$\varphi_i(l_i, 0) = \varphi_{i+1}(l_i, 0) \quad (5)$$

$$\varphi_1(0, 0) = 0 \quad \varphi_n(l_n, 0) = V_d \quad (6)$$

其中(2)式考虑表面纵向电场远小于横向电场^[10], (3)式基于外延层和衬底界面处的纵向电场和耗尽层厚度的关系, (4)式和(5)式是基于表面电场和表面电势在相邻分区边界上的连续性, (6)式是外加固定边界条件.

将漂移区中电势 $\varphi_i(x, y)$ 看成 y 方向的二次函数, 在边界条件(2)~(6)将方程(1)分解成两个一维方程求解, 获得第 i 区的表面电场 $E_i(x, 0)$ 和表面电势 $\varphi_i(x, 0)$:

$$\varphi_i(x, 0) = \varphi_{i+1}(x, 0) - \frac{(\varphi_{i+1} - \varphi_i) \sinh i(x - l_i) + (\varphi_i - \varphi_{i-1}) \sinh i(l_{i+1} - x)}{\sinh i(l_{i+1} - l_i)} \quad (7)$$

$$E_i(x, 0) = - \frac{i(\varphi_{i+1} - \varphi_i) \cosh i(x - l_i) - i(\varphi_i - \varphi_{i-1}) \cosh i(l_{i+1} - x)}{\sinh i(l_{i+1} - l_i)} \quad (8)$$

其中: $i = \sqrt{\frac{2}{T_c^2 + T_c t_{si}(x)}}$; $i = \frac{qN_{di}}{s}$

和 $t_{sn}(x) = \sqrt{1 + \frac{N_{sn}}{N_{sub}}} T_c^2 + \frac{s - n(l_n, 0)}{qN_{sub}} - T_c$

近似取 $t_{si}(x) = t_{s(i+1)} \sqrt{2l_{n-1}/(2l_n - 1)}$. 当 $n=1$, 即为均匀漂移区 LDMOS.

3 结果与讨论

为了验证耐压的解析模型, 使用 MEDICI 对相同结构进行数值仿真. 在后面的讨论中符号点为 MEDICI 的数值结果, 实线为从解析模型得到的解析结果.

图 2 为单漂移区和五阶梯掺杂漂移区 RE-SURF LDMOS 发生击穿时的表面电场和表面电势沿漂移区长度分布的解析和数值结果, 可看到二者吻合良好. 在漂移区始端和末端以及各区的分界处有一定偏差, 这是因为在模型的求解中忽略了结曲率半径、场板边缘效应等因素的影响, 但是对耐压的讨论影响很小. 为了对阶梯掺杂漂移区 LDMOS 的性能有更好的对比, 与单(均匀)漂移区结构进行比较. 单漂移区表面电场几乎相等的两个峰值出现在漂移区始端和末端, 然后逐渐向中心下降, 在漂移区中心部分达到极小值. 很明显, 整个漂移区的电场分布是严重非均匀的. 器件的击穿电压因边界的高峰值电场而受到限制. 对于非优化的单漂移区结构, 因电场分布的非对称性加剧, 击穿电压还会大大下降. 五阶梯掺杂漂移区结构的表面电场峰值分布在五个区的边界, 在漂移区始端和末端最为明显, 在各阶梯的分界处存在略低峰值. 在击穿电压远高于单区的情况下, 表面峰值电场仍较低, 且整个漂移区的电场分布较为平坦、均匀. 该理想的表面电场分布导致了更高的击穿电压, 其击穿电压为 180V, 而均匀漂移区为 160V. 单漂移区表面电势在漂移区始端 3 上升较快, 中间略缓, 末端上升又加快, 同时说明了表面电场分布的不均匀性. 作为对比, 五阶梯漂移区的表面电势分布近似为一条直线, 说明电场分布平缓, 接近理想的电场分布, 从而可获得很高的击穿电压.

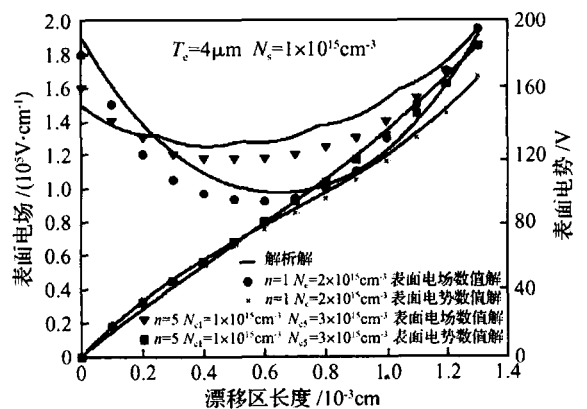


图 2 单区和五阶梯掺杂漂移区表面电场和表面电势分布
Fig. 2 Surface electrical field and potential distributions along the drift region with step number $n=1$ and $n=5$

器件的击穿电压取决于横向击穿电压和纵向击穿电压的极小值. 当横向或纵向电场达到临界电场时, 器件发生击穿. 横向临界电场 E_{clat} 和纵向临界电

场 E_{ver} 分别为：

$$E_{clat} = A_{lat} / [1 - B_{lat} \lg(N_{en} / 10^{16})]$$

$$E_{cver} = A_{ver} / [1 - B_{ver} \lg(N_{en} N_s / 10^{16} (N_{en} + N_s))]$$

横向击穿通常发生在表面, 横向电压与横向电场的关系由 (7) 和 (8) 式决定. 纵向击穿电压 BV_{ver} 为：

$$BV_{ver} = \frac{s E_{cver}^2}{2 q N_s} + E_{cver} (T_e - X_j) - \frac{q N_{en} (T_e - X_j)^2}{2 s}$$

在我们研究的结构中取： $A_{lat} \cong 3.0 e5 \text{ v/cm}$, $B_{lat} \cong 0.4$, $A_{ver} \cong 3.5 e5 \text{ v/cm}$, $B_{ver} \cong 0.33$.

对于相同结构参数, 仅改变漂移区分区数, 当分区数增加至 5 时, 器件击穿电压随分区数变化增加甚小, 并逐步趋于饱和, 此时漂移区杂质浓度近似线性分布, 故以下采用五个分区进行研究.

由图 3 可以看到, 当器件其他结构参数不变时, 随着长度的增加, 横向有效耐压长度增加, 击穿电压增大逐渐趋于饱和, 器件发生纵向击穿. 随着漂移区厚度的增加, 趋于饱和的击穿电压也增大, 主要是由于器件的纵向耐压长度增大. 解析结果和数值结果吻合较好.

由图 4 可以看到, 固定其他参数, 击穿电压随外延层厚度变化存在极大值 (峰值击穿电压). 在峰值击穿电压之前, 纵向击穿电压较横向击穿电压低, 故随着漂移区厚度的增大, 击穿电压增大; 在峰值击穿电压之后, 纵向击穿电压超过横向, 器件发生横向击穿, 同时器件会发生部分耗尽, 导致有效的横向和纵

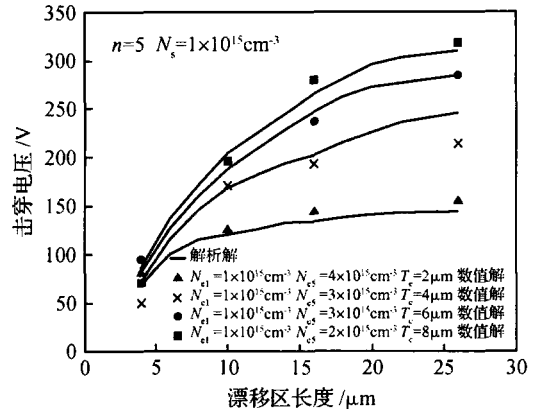


图 3 器件击穿电压与漂移区长度的关系

Fig. 3 Influence of the drift region length on the breakdown voltage

向耐压长度都减小, 击穿电压迅速下降. 在图 4(a) 中, 峰值击穿电压随着漂移区末端浓度的降低向漂移区厚度增大的方向移动, 主要是由于纵向临界电场随漂移区末端浓度增加而增大所致; 图 4(b) 中, 随着漂移区始端浓度的增加, 器件峰值击穿电压向漂移区厚度减小的方向移动, 主要是由于表面横向电场随着始端浓度的增加而增大; 图 4(c) 中, 随着衬底浓度的增加, 器件峰值击穿电压向漂移区厚度增大的方向移动, 这是由于衬底浓度的增加导致表面横向电场随外加电压增加较缓, 从而使达到峰值击穿电压所需的漂移区厚度越大.

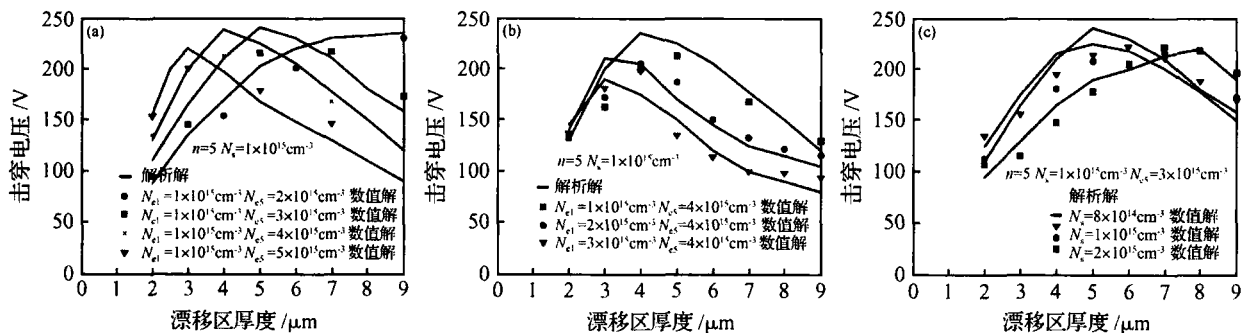


图 4 器件击穿电压与漂移区厚度的关系 (a) 漂移区末端浓度不同; (b) 漂移区始端浓度不同; (c) 衬底浓度不同

Fig. 4 Influence of the drift region thickness on the breakdown voltage for (a) different last drift region doping concentration; (b) different first drift region doping concentration; (c) different substrate doping concentration

图 5 为器件击穿电压与漂移区末端浓度的关系. 击穿电压随漂移区末端浓度变化存在极大值, 在峰值击穿电压之前, 漂移区末端表面电场较高; 在峰值击穿电压之后, 始端表面电场较高, 同时器件发生部分耗尽, 击穿电压迅速下降.

图 6 为器件击穿电压和导通电阻与漂移区末端浓度的关系. 可以看到, 在导通电阻 ($5.5 \text{ m} \cdot \text{cm}^2$) 相近, 阶梯掺杂漂移区 ($n=5$) 较均匀漂移区 ($n=1$) 的峰值击穿电压提高近 20%, 说明了阶梯掺杂漂移区具有改善击穿电压和导通电阻的折衷关系, 在

一定程度上缓解了器件在击穿电压和导通电阻上的矛盾。

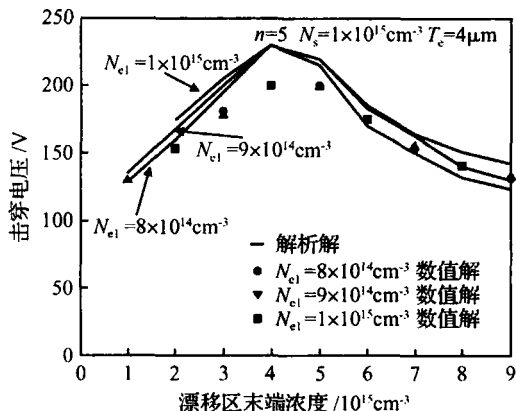


图 5 器件击穿电压与漂移区末端浓度的关系

Fig. 5 Influence of the last drift region doping concentration on the breakdown voltage

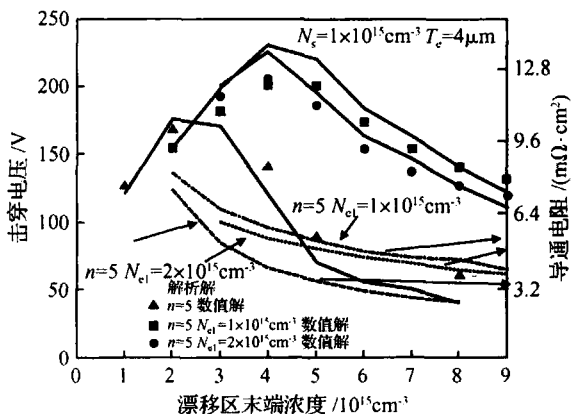


图 6 器件击穿电压和导通电阻与漂移区末端浓度的关系

Fig. 6 Influence of the last drift region doping concentration on the breakdown voltage and R_{on}

4 结论

本文基于二维 Poisson 方程,建立阶梯掺杂薄漂移区 RESURF LDMOS 的耐压模型.借助该模型,并结合半导体通用数值仿真器 MEDICI,对其击穿特性进行了研究.当漂移区阶梯数增加至五时,漂

移区杂质浓度分布近似为线性分布,击穿电压趋于饱和.器件击穿电压随结构参数、漂移区杂质浓度变化而改变,存在极大值.在导通电阻 ($5.5 \text{ m}\Omega \cdot \text{cm}^2$) 相近,阶梯掺杂漂移区器件 ($n = 5$) 较均匀漂移区 ($n = 1$) 击穿电压提高 20%,改善了击穿电压和导通电阻的折衷关系,且解析与数值结果吻合较好.

参考文献

- [1] Appels J, Vaes H, Verhoeven J. High voltage thin layer devices (RESURF devices). IEDM Tech Digest, 1979:238
- [2] Baliga B J. An overview of smart power technology. IEEE Trans Electron Devices, 1991, 38(7):1568
- [3] Imam M, Quddus M, Adams J, et al. Efficacy of charge sharing in reshaping the surface electric field in high-voltage lateral RESURF devices. IEEE Trans Electron Devices, 2004, 51:141
- [4] He Jin, Zhang Xing. Quasi-2-D analytical model for the surface field distribution and optimization of RESURF LDMOS transistor. Microelectronics Journal, 2001, 32:655
- [5] Stengl R, Gosele U. Variation of lateral doping-A novel concept to avoid high voltage breakdown of planar junctions. IEDM Tech Dig, 1985:154
- [6] Schulze H J, Kunhnert R. Realization of high-voltage planar junction terminations for power devices. Solid-State Electron, 1989, 32:175
- [7] Fang Jian, Yi Kun, Li Zhaoji, et al. On-state breakdown model for high voltage RESURF LDMOS. Chinese Journal of Semiconductors, 2005, 26(3):436
- [8] Guo Yufeng, Li Zhaoji, Zhang Bo, et al. Breakdown model and new structure of SOI high voltage devices with step buried oxide fixed charges. Chinese Journal of Semiconductors, 2004, 25(12):1695 (in Chinese) [郭宇锋, 李肇基, 张波, 等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. 半导体学报, 2004, 25(12):1695]
- [9] Guo Yufeng, Zhang Bo, Mao Ping, et al. Unified breakdown model of SOI RESURF device with uniform/step/linear doping profile. Chinese Journal of Semiconductors, 2005, 26(2):243
- [10] Han S Y, Kim H M, Chung S K. Surface field distribution and breakdown voltage of RESURF LDMOSFETs. Microelectronics Journal, 2000, 31:685

A Breakdown Model of Thin Drift Region LDMOS with a Step Doping Profile

Li Qi , Zhang Bo , and Li Zhaoji

(*IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China*)

Abstract : An analytical breakdown model for thin drift region RESURF LDMOS with a step doping profile is presented. Based on 2D Poisson equation ,the derived model gives the solutions of the surface field distributions and the breakdown voltage. The influence of all design parameters on breakdown voltage is calculated. All analytical results are well verified by the numerical analysis obtained by the semiconductor device simulator MEDICI. The breakdown voltage of the step profile structure increases by a factor of 1. 2 compared with the conventional RESURF device.

Key words : thin drift region ; step doping profile ; breakdown voltage ; model

EEACC : 2560B ; 2560P

Article ID : 0253-4177(2005)11-2159-05

Li Qi male ,was born in 1976 ,PhD candidate. His current researches focus on development and modeling of power devices and power ICs.

Email :lpurp@sina.com

Received 20 May 2005 ,revised manuscript received 31 July 2005

©2005 Chinese Institute of Electronics