

# 深亚微米 pMOS 器件 HCI 退化建模与仿真方法 \*

李 康<sup>1</sup> 郝 跃<sup>1</sup> 刘红侠<sup>1</sup> 方建平<sup>1</sup> 薛鸿民<sup>2</sup>

(1 西安电子科技大学微电子研究所 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2 陕西教育学院计算机系, 西安 710061)

**摘要:** 研究了深亚微米 pMOS 器件 HCI(hot carrier injection)退化模型. 采用流函数分析方法提出一种时变栅电流物理描述, 基于这一栅电流模型改进了 pMOS 器件的 HCI 退化模型, 并在该模型基础上提出一种 HCI 退化可靠性仿真方法, 用于对静态应力条件下器件的 HCI 退化程度进行预测. 最后给出了仿真结果对比. 该方法已被用于 XDRT 可靠性工具中进行器件 HCI 退化分析.

**关键词:** HCI; 时变栅电流模型; BSIM3v3; 可靠性仿真

**EEACC:** 2560B **PACC:** 7220J

**中图分类号:** TN386. 2 **文献标识码:** A **文章编号:** 0253-4177(2005)11-2169-06

## 1 引言

硅 MOS 晶体管的尺寸在不断向深亚微米和超深亚微米进展过程中, 碰到的最主要问题之一是热载流子效应(hot carriers effect, HCE). 许多关于 HCE 的研究都着重考虑 nMOSFET, 而忽略了其对 pMOSFET 的影响, 这是因为 HCI(hot carrier injection) 问题在 nMOSFET 器件中更突出, 即 nMOSFET 载流子更长的平均自由程导致了更高的电子能量. 但在深亚微米器件中, 已经发现 pMOSFET 的 HCI 可靠性变得越来越不稳定, 并且引起了越来越多的重视. 尽管在相同的偏置条件下, pMOSFET 与 nMOSFET 相比热载流子要少得多, 但它们可以表现出多种不同于 nMOSFET 器件的不稳定现象, 使得小尺寸 pMOSFET 器件退化得很快. 在 pMOSFET 中, 由“雪崩”产生的热载流子被注入到栅氧层, 对产生的损伤起主导作用, 这一结论一直到 0. 25 $\mu\text{m}$  规模以上都是有效的<sup>[1-4]</sup>. Doyle 等人测试发现 pMOSFET 受到的损伤与栅电子电流有着非常密切的关系, 这也表明注入电子产生的氧化层电子陷阱对于 pMOSFET 损伤的产生起到了

关键作用. 他提出了一种以电子栅电流与注入电荷总量的乘积作为器件参数退化监控量的方法<sup>[5]</sup>. 但是, 由于 pMOSFET 电子栅电流是依赖于时间和偏置电压的, 以往采用的  $I_g(t) = At^n$  的经验近似描述不能准确反映栅电流随时间和电压的变化规律, 直接采用该方法对 pMOSFET 的退化和寿命进行评估时仍然存在不少问题.

本文重点解决了 pMOS 器件电子栅电流精确物理模型的描述问题, 通过流函数电流密度定义推导出适用于 pMOSFET 的电子栅电流精确模型描述. 采用这一模型对现有的 pMOSFET 热载流子退化模型进行了改进, 并在这一模型基础上, 提出一种深亚微米 pMOS 器件 HCI 退化仿真方法, 可以对器件的 HCI 损伤程度进行评估. 这一方法已经被应用在 XDRT 可靠性仿真工具中, 取得了良好的效果. 结果表明, 这一仿真方法的研究对可靠性设计和电路优化研究都很有意义.

## 2 栅电流幸运电子模型

Tam 等人提出的“幸运电子”栅电流模型中<sup>[6]</sup>, 将一个沿沟道运动的电子要成为发射到栅电极的

\* 国家高技术研究发展计划(批准号: 2003AA1Z1630), 国家自然科学基金(批准号: 60206006)资助项目

李 康 男, 博士研究生, 主要从事深亚微米器件可靠性研究.

郝 跃 男, 教授, 博士生导师, 主要从事深亚微米器件和电路建模及表征技术的研究.

2005-04-25 收到, 2005-06-23 定稿

“幸运电子”必须经历的基本物理过程分成由四个子过程来完成,如图 1 所示.图中,A 过程代表从横向电场中获得大于  $\phi_b(y)$  的能量的过程,即“幸运电子”必须从横向场中获得大于或等于界面势垒  $\phi_b(y)$  的能量,成为“热电子”;B 过程为保持能量的变向散射过程,经过了 A 过程的热电子,必须发生一次保持足够指向界面的动量变向散射;C 过程为垂直于界面的无散射运动,即经历过 B 过程的电子纵向自由飞行  $x$  距离,保持原有动量运动到界面;D 过程为自由穿越氧化层到达栅电极,当到达界面的热电子还必须克服栅氧化层内的镜像势散射的作用,才能穿越氧化层到达栅电极.可见,HCI 是一个复杂的随机过程,对其描述是非常困难的,“幸运电子”模型正是基于 HCI 的随机性建立起来的,是一个物理图像非常清晰的模型.

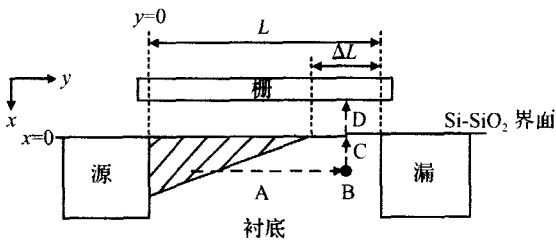


图 1 “幸运电子”发射过程示意图

Fig. 1 Four processes undergone by lucky electron emitting

由上述“幸运电子”模型,可以发现 pMOSFET 中电子发射的物理过程应是:在漏区由碰撞电离产生的电子被负纵向场加速获得高于界面势垒的能量,实现向栅电极发射.因此,碰撞电子实现向栅极的发射需要两个基本过程:一是被负纵向场  $E_x(y)$  加速,获取能量突破界面势垒  $\phi_b(y)$ ,这相当于 B 过程,完成这一过程的概率为:

$$P_1 = e^{-\phi_b(y)/l | E_x(y) |} \quad (1)$$

式中  $l$  为电子平均自由程;界面势垒  $\phi_b(y)$  可以由下式表达:

$$\phi_b(y) = \begin{cases} \phi_{b0} - b_1 E_{ox}^{1/2}(y) - b_2 E_{ox}^{2/3}(y), & E_{ox}(y) > 0 \\ \phi_{b0}, & E_{ox}(y) < 0 \end{cases} \quad (2)$$

式中  $E_{ox}(y)$  为氧化层电场分布; $\phi_{b0}$  为 Si-SiO<sub>2</sub> 界面势垒; $b_1, b_2$  为系数.二是克服镜像势,穿越氧化层.由于 pMOS 器件电子发射镜像势峰值靠近界面,因此,C 过程的概率接近 1,这一过程近似为 D 过程的概率:

$$P_2 = e^{-x_0/\lambda_{ox}} \quad (3)$$

式中  $x_0$  为镜像势峰值与 Si-SiO<sub>2</sub> 界面之间的距离; $\lambda_{ox}$  为电子在氧化层中的平均自由程.由此可得 pMOSFET 由少子电子产生的电子栅电流公式:

$$I_{ge} = \iint x dy j_{bs}(x, y) P_1 P_2 = \iint x dy j_{ge}(x, y) \quad (4)$$

式中  $j_{bs}(x, y)$  为 pMOSFET 的衬底电流密度分布; $j_{ge}(x, y)$  为电子栅电流密度分布.因此需要进一步研究电子栅电流密度  $j_{ge}(x, y)$  的描述.

### 3 基于流函数的时变栅电流物理模型

由于流函数方程侧重描述器件内的电流行为,所包含物理量相对较少,因此,选择从流函数方程出发的建模路线<sup>[7]</sup>.首先从流函数定义的电流密度开始,流函数的定义如下:

$$\begin{cases} j_n = j_{n0} \nabla \times n + \nabla n \\ j_p = j_{p0} \nabla \times p + \nabla p \end{cases} \quad (5)$$

式中  $j_n, j_p$  分别为电子和空穴的电流密度; $j_{n0}, j_{p0}$  分别为沟道中初始电子和空穴电流密度; $n, p$  分别为 pMOSFET 中电子和空穴的流矢; $\nabla n, \nabla p$  分别为电子和空穴的流位.将上式带入电流连续性方程,并考虑在 pMOSFET 中少子电流主要是由碰撞电离过程中产生的电子形成的衬底电流,沟道中由电场驱动的电子形成的电流很小,即:  $\frac{\partial n}{\partial x} \approx 0, \frac{\partial n}{\partial y} \approx 0$ ,

由此可确定少子电流的流位方程:

$$\nabla^2 n = -qR = qG \quad (6)$$

式中  $R$  为单位时间与体积内复合的电子-空穴对数量,即复合率; $G = -R$  为产生率,可以表达为  $G = \frac{j_n}{q} + \frac{j_p}{q}$ ,其中  $j_n, j_p$  为电子和空穴碰撞电离率, $j_n, j_p$  为沟道内流动的电子和空穴电流密度.由于在沟道中电场驱动的少子电子形成的电流  $j_n \approx 0$ , $G$  中只考虑空穴电流的电离率:  $G = \frac{j_p}{q}$ .于是 pMOS 器件的流位方程变为:

$$\frac{\partial^2 n}{\partial x^2} + \frac{\partial^2 n}{\partial y^2} = j_p / q \quad (7)$$

同理,考虑到 MOS 器件是一种单极器件.除碰撞电离外,产生复合率其他各项非常小.在处理 pMOSFET 的空穴电流时,电场驱动形成的电流(沟

道电流) 远大于碰撞电离电流,所以可以认为  $\nabla_p$  0. 在假设  $z$  方向电流为 0 的条件下,pMOS 器件的流矢方程简化为:

$$\frac{\partial}{\partial x} I \frac{e^{-q/kT_e}}{kT_e \mu_p} (-j_{p0} \frac{\partial p}{\partial x}) J + \frac{\partial}{\partial y} I \frac{e^{-q/kT_e}}{kT_e \mu_p} (j_{p0} \frac{\partial p}{\partial y}) J = 0 \quad (8)$$

式中  $e^{-q/kT_e}$  为电子的波耳兹曼分布;  $T_e$  为 MOSFET 的等效电子温度<sup>[8]</sup>;  $\mu_p$  为空穴迁移率;  $k$  为玻耳兹曼常数.

进一步假设横向分布参量在一定纵向深度内是均匀分布的,由此考察某一  $y$  截面上的流矢方程,可得一维流矢方程和流位方程:

$$\begin{cases} \frac{\partial^2 p}{\partial x^2} + \frac{qE_x(y)}{kT_e} \times \frac{\partial p}{\partial x} = 0 & (\text{流矢方程}) \\ \frac{\partial^2 \phi}{\partial x^2} = p / j_p / & (\text{流位方程}) \end{cases} \quad (9)$$

式中  $E_x(y)$  是纵向电场的横向分布函数. 上式取边界条件:  $\partial p_x / \partial x |_{x=0} = 1$ ;  $p_z |_{x=x_c(y)} = 0$ . 由边界条件可得:  $j_{p0} = -I_{ds}$ . 由流矢方程与初始条件计算得到流矢  $p$ ,在此基础上利用流函数电流密度定义可得空穴电流密度:  $j_p(x, y) = I_{ds} \frac{\partial p}{\partial x}$ ,再由衬底电流密度定义  $j_{bs}(x, y) = \partial n / \partial x$ ,可得衬底电流分布函数:

$$j_{bs}(x, y) = I_{ds} p \frac{1 - e^{-qE_x(y)x/kT_e(y)}}{1 - e^{-qE_x(y)x_c(y)/kT_e(y)}} \quad (10)$$

式中  $x_c(y)$  设定为  $y$  点处沟道宽度的边界,或者说是电流在  $y$  点沿  $x$  方向流经的最大深度;  $I_{ds} p$  是经验横向平均衬底电流密度. 若在纵向深度电流密度是均匀的,均采用  $x = x_c(y)$  处的值,则可得到 pMOSFET 电子栅电流密度公式:

$$j_{ge}(y) = j_{bs}(y) e^{-\phi_b(y)/I/E_x(y)/I} e^{-x_0/ox} \quad (11)$$

(11) 式即为由流函数的电流密度定义推导得到的栅电流密度分布. 现在,考虑到在 HCI 条件下,pMOSFET 的损伤主要由栅氧化层内部的陷阱态产生,并且这一过程也同时引起电子栅电流的损伤,原因是陷阱态积累使平带电压  $V_{fb}$  产生了漂移,导致了影响栅电流的横向电场和纵向电场分布发生变化<sup>[9]</sup>. 这使得 pMOSFET 的电子栅电流密度  $j_{ge}$  也成为了应力时间  $t$  函数. 因此在考虑电子栅电流表达时,需要计入这一部分的影响. 栅电流密度表达被修改成如下的时变电流密度模型<sup>[10]</sup>:

$$j_{gd}(y, t) = j_{ge}(y) e^{-V_{fb}(y,t)/E_x(y)} \quad (12)$$

式中 平带电压漂移  $V_{fb}(y, t) = qN_{ox}(y, t)/2C_{ox}$ ,  $N_{ox}(y, t)$  为氧化层陷阱态密度,由电荷陷入速率方程计算得到<sup>[11]</sup>:

$$N_{ox}(y, t) = N_x(y) \lg \left[ \frac{N_0}{N_x(y)} \frac{j_{ge}(y)}{q} t + 1 \right] \quad (13)$$

式中  $N_0$  为初始氧化层陷阱态密度;  $A$  为捕获截面积;  $N_x(y)$  称为“有效陷阱态密度”,由关系式:  $\frac{1}{N_x(y)} = \frac{q}{2E_x(y)C_{ox}} + \frac{1}{N_v}$  确定,  $N_v$  是处于库仑排斥作用下的陷阱态面密度. 由公式 (12), (13) 可得 pMOSFET 的时变电子栅电流密度模型:

$$j_{gd}(y, t) = j_{ge}(y) \left[ \frac{N_0}{N_x(y)} \frac{j_{ge}(y)}{q} t + 1 \right]^{1 + \frac{1}{2E_x(y)C_{ox}qV_v}} \quad (14)$$

式中  $j_{ge}(y)$  是初始栅电流密度,由 (11) 式确定. 将 (14) 式带入 (4) 式,可得考虑了 HCI 损伤过程的时变栅电流表达式:

$$I_{gd}(t) = \int_{L'}^{L} j_{gd}(y, t) dy \quad (15)$$

式中 积分限是由 pMOSFET 电子有效加速场范围确定的;  $L$  是有效沟道长度;  $L'$  为饱和区沟道长度.

由 (14), (15) 式可知,pMOSFET 的电子栅电流是时间  $t$  的函数,电流密度指数部分与其受到的纵向场作用有关,简单地用一个常数表示不能反映出电场特别是纵向电场所施加的作用. 这一模型也充分考虑了器件结构和工艺参数对退化产生的影响,也为精确描述器件退化模式奠定了基础.

## 4 基于 Spectre 模型的 HCI 退化模型仿真

pMOSFET 中同时存在电子栅电流 (峰值约在  $V_{gs} = V_{th}$  处) 和空穴栅电流 ( $V_{gs} = V_{ds}$  处). 而器件参数退化的峰值出现在低栅压处电子栅电流峰值时,这正是热电子注入的条件. 这表明热电子注入对器件损伤起主导作用,沟道越短,损伤越大. 并且在 pMOSFET 的 HCI 退化过程中,跨导等参数的退化随偏置电压的不同而发生变化. 这是因为高漏电压会产生更大的纵向电场,使更多的电子被“加热”成为热电子. 而电子栅电流作为一种电场加热载流子的间接测量手段,也应该被考虑到退化监控量当中去. 由此,Doyle 等人提出了一种把  $I_{gQ_{inj}}$  作为退化

监控量的退化模型,能够得到比较一致的双对数线性关系,模型如下<sup>[5]</sup>:

$$g_m/g_m = A(I_g I_g dt)^n \quad (16)$$

虽然采用(16)式得到的 HCI 退化数据能够反映很好的对数线性关系,但这一模型却无法直接应用,因为电子栅电流在 HCI 应力条件下是与时间和偏置相关的,呈现衰减趋势.在这一趋势中包含了横向电场和纵向电场共同作用的复杂信息,这些信息是采用  $I_g(t) = At^n$  这一经验拟合公式所无法表达的,并且无法反映器件随工艺过程变化的情况,从而大大限制了这一退化模型的应用.利用前面得到的时变栅电流模型很好地解决了这一问题.进一步考虑到对于小尺寸器件,氧化层陷阱态的作用不再被看作是局部作用,它同时会引起  $g_m/g_m$ ,  $V_t$  以及  $I_d/I_d$  等参数的退化<sup>[12]</sup>.而栅氧化层电子陷入是它们共同的退化原因,因此上述退化参数是互相关联的,它们之间存在一定线性关系.考虑采用一个通用退化量  $D$  来描述上述参数的退化,并采用单位沟道宽度的  $I_g Q_{inj}$  来评估 pMOS 器件的 HCI 退化过程,从而得到一个基于时变栅电流模型的 HCI 退化预测模型:

$$D(t) = A(I_{gd}(t) Q_{inj}(t)/W)^n \quad (17)$$

其中  $A$  是与制造过程相关的参数; $W$  为沟道有效

宽度; $Q_{inj}(t)$  为第  $t$  时刻的栅电流注入电荷总量,可以由  $\int_0^t I_{gd} dt$  来计算.

器件退化模型研究目的,是为了能够对器件特性的损伤程度进行预测,并能够为研究工作状态下电路可靠性的退化情况做必要的准备<sup>[13-17]</sup>.本节中提出一种基于上述 HCI 退化模型的器件可靠性预测方法,可以利用 Spectre 电路仿真器的运行结果对器件的损伤特性进行预测.该退化仿真方法流程如图 2 所示.该可靠性评估算法利用 BSIM3v3 (Berkeley short-channel IGFET model version-3.3) 模型进行器件参数的计算.在对 HCI 退化程度仿真时,首先需要对仿真输入进行电路仿真前的预处理,包括原理图网表的生成与修改,对输入的可靠性仿真命令的分析等工作;其次,经过预处理后的网表文件送到电路仿真器中运行,对该器件进行一些静态应力下的分析,并将仿真结果保存;最后,退化仿真及寿命预测部分对电路仿真结果进行分析,评估出器件的退化程度并将得到的数据可以保存到图表文件中,也可以通过格式转换,进行波形输出.目前,这一方法已应用于 XDRT 可靠性工具中对 MOS 器件的 HCI 退化程度进行仿真预测.

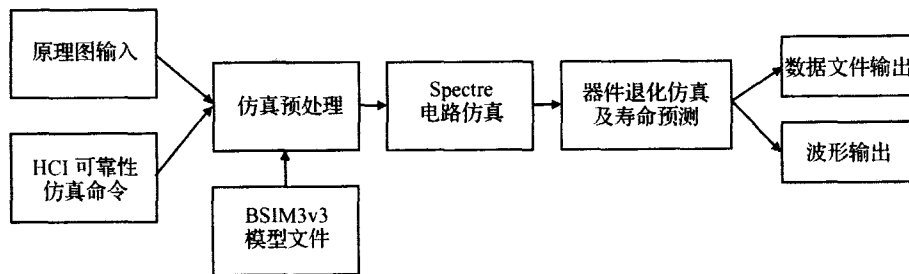


图 2 Cadence 环境下退化模型仿真流程

Fig. 2 Degradation simulation flow under cadence<sup>R</sup> design context

## 5 仿真与分析

本文采用华虹公司发布的  $0.35\mu\text{m}/3.3\text{V}$  的 Spectre BSIM3v3 模型来进行 pMOS 器件的 HCI 可靠性仿真,整个仿真过程在 Cadence 的集成电路设计环境下完成.下面给出部分仿真过程的运行结果并进行分析.

图 3 中的曲线为时变栅电流  $I_{gd}$  随栅偏置电压

$V_{gs}$  的变化情况.“ ”符号的曲线为器件损伤前  $I_{gs}$  随  $V_{gs}$  的变化情况;“ ”符号的曲线为  $t = 10^7 \text{ s}$  之后的器件电子栅电流随  $V_{gs}$  变化的情况.可以看出,两条曲线的峰值均出现在低栅压处,但是损伤后电子栅电流的峰值减小了大约 4 倍.这一结果很好地说明,正是由于栅氧化层中陷阱态密度的积累导致了静态偏置下电子栅电流的损伤,并且其值呈衰减趋势.

图 4 给出了  $I_{gd}$  随应力时间  $t$  变化的双对数关

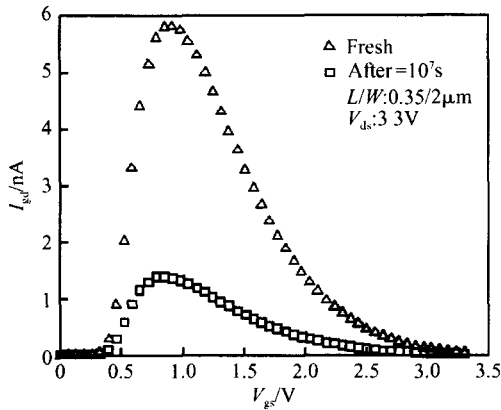


图 3 时变栅电流随栅电压变化  
Fig.3 Change of  $I_{gd}$  with  $V_{gs}$

系.从曲线可以看到电子栅电流随时间变化的趋势:在大部分时间时,保持了对数线性关系,但在时间很短的情况下会有偏差,表现为小应力时间时, $I_{gd}$ 基本不随  $t$  变化.可见,栅电流的变化是一个在多种电场作用下的复杂过程,用  $A t^n$  这一时间指数关系不能表达出这些过程.

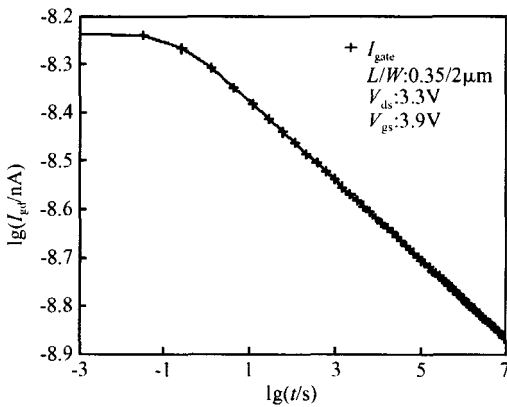


图 4 时变栅电流随应力时间变化  
Fig.4 Change of  $I_{gd}$  with stress time

图 5 中的实线为器件 HCI 退化仿真的双对数关系,并将这一仿真结果与实验结果进行了对比,该实验结果来自于 Doyle 和 Mistry 对不同  $V_{ds}$  偏置下 HCI 退化量的测量结果<sup>[5]</sup>,图中其他几组曲线即绘制了不同漏源偏置下退化情况.可以看到,两者均表现出了相同的退化趋势,退化模型的指数  $n = 0.35$ .对于两者之间存在一定偏差,则主要反映出 BSIM3v3 仿真模型参数与实测结构在工艺制造参数上的差别.

从以上仿真结果及其分析可以看出,本文提出

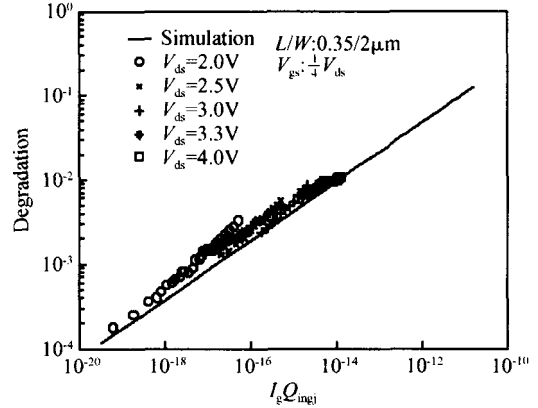


图 5 以  $I_{gd} Q_{inj}$  为监控量 pMOSFET 退化曲线对比  
Fig.5 Simulated and measured HCI degradation with  $I_{gd} Q_{inj}$  as monitor

的可靠性预测电流模型和退化模型可以描述出器件 HCI 退化整个过程,仿真结果真实反映出器件退化的趋势,仿真方法具有普遍适用性.

## 6 结论

pMOS 器件在 HCI 应力条件下主要表现为由栅氧层陷阱电荷积累所引起的一系列器件特性的退化,同时这一积累过程通过引起  $V_{th}$  的漂移,改变沟道电场和栅氧层电场的分布,从而造成电子栅电流的改变.本文首先提出一个 pMOS 器件电子栅电流精确描述物理模型,将这一电流模型应用到了 HCI 退化模型中;然后提出了一种利用 Spectre BSIM3v3 模型的 HCI 可靠性评估的仿真方法.该方法成功地应用到了 XDRT 可靠性仿真工具中,被证明具有很好的准确性和普遍适用性.

## 参考文献

- [ 1 ] Peng Fang Jiang Tao ,Hu Chenming ,et al. Design in hot-carrier reliability for high performance logic applications. IEEE Custom Intergrated Circuits Conference ,1998 :525
- [ 2 ] Liu C H ,Chen M G ,Shiang H L ,et al. Analysis of hot-carrier degradation in 0.25- $\mu$ m surface-channel pMOSFET devices. International Symposium onVLSI Technology , Systems , and Applications ,1999 :82
- [ 3 ] Woltjer R ,Paulzen G M ,Pomp H G ,et al. New hot-carrier degradation mechanisms in 0.25 $\mu$ m PMOSFETs. VLSI Technology Digest of Technical Papers ,1994 :141
- [ 4 ] Liu C T ,Lloyd EJ ,Chang C P ,et al. A new mode of hot carrier degradation in 0.18 $\mu$ m CMOS technologies. VLSI Technol-

- ogy Digest of Technical Papers, 1998:176
- [ 5 ] Doyle B S, Mistry K R. A lifetime prediction method for hot-carrier degradation in surface-channel p-MOS devices. IEEE Trans Electron Devices, 1990, 37(5):1301
- [ 6 ] Tam S, Ko Pingkeung, Hu C M. Lucky-electron model of channel hot-electron injection in MOSFET's. IEEE Trans Electron Devices, 1984, ED-31(9):1116
- [ 7 ] Pattanayak D N, Williams R A, Poksheva J G. Generalized stream function representation for current flow in semiconducting media. Appl Phys Lett, 1982, 41(5):459
- [ 8 ] Jai Hoon SIM. An analytical deep submicron MOS device model considering velocity overshoot behavior using energy balance equation. IEEE Trans Electron Devices, 1995, ED-42(5):864
- [ 9 ] Brox M, Schwerin A, Wang Q. A model for time- and bias-dependence of p-MOSFET degradation. IEEE Trans Electron Devices, 1994, 41(7):1184
- [ 10 ] Tang Y S, Hao Y, Zhu J G. Degradation model of the electron gate current in pMOSFET. IEEE Int Conf on Solid-State and Integrated-Circuit Technology, 2001:1014
- [ 11 ] Woltjer R, Paulzen G M. Modeling of oxide-charge generation during hot-carrier degradation of PMOSFET's. IEEE Trans Electron Devices, 1994, 41(9):1639
- [ 12 ] Doyle B S, Mistry K R. The characterization of hot carrier damage in p-channel transistors. IEEE Trans Electron Devices, 1993, 40(1):152
- [ 13 ] Karam M, Fikry W, Haddara H, et al. Implementation of hot-carrier reliability simulation in Eldo. IEEE International Symposium on Circuits and Systems, 2001, 5:515
- [ 14 ] Xuan X D, Chatterjee A, Singh A D. ARET for system-level IC reliability simulation. IPRS, 2003:572
- [ 15 ] Liu W. MOSFET models for SPICE simulation-including BSIM3v3 and BSIM4. New York: Wiley-Interscience Publication, 2001
- [ 16 ] Spectre Circuit Simulator Reference, Product Version 5.0, 2003
- [ 17 ] Cadence Analog Design Environment SKILL Language Reference, Product Version 5.0, 2002

## Modeling and Simulation of Hot-Carrier Degradation in Deep-Submicron pMOSFET's\*

Li Kang<sup>1</sup>, Hao Yue<sup>1</sup>, Liu Hongxia<sup>1</sup>, Fang Jianping<sup>1</sup>, and Xue Hongmin<sup>2</sup>

(1 Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute, Xidian University, Xi'an 710071, China)

(2 Department of Computer, Shanxi Institute of Education, Xi'an 710061, China)

**Abstract:** A HCI (hot carrier injection) degradation model of DSM (deep submicron) pMOSFETs is studied. A physical description of a time-dependent gate current is given with a stream function analysis. Based on this model, the HCI degradation model of DSM pMOSFETs is updated. A kind of reliability simulation method for HCI degradation, based on the degradation model, is then proposed, which is used to predict the degree of HCI degradation of the devices under static stress. Analysis and comparisons of simulation results are also given. This kind of simulation method is used in XDRT tools for HCI reliability analysis of pMOSFET devices.

**Key words:** HCI; time-dependent gate current; BSIM3v3; reliability simulation

**EEACC:** 2560B      **PACC:** 7220J

**Article ID:** 0253-4177(2005)11-2169-06

\* Project supported by the National High Technology Research and Development Program of China (No. 2003AA1Z163) and the National Natural Science Foundation of China (No. 60206006)

Li Kang male, was born in 1973, PhD candidate, He is engaged in research on semiconductor devices reliability.

Hao Yue male, was born in 1958, professor, supervisor of PhD candidates. He is engaged in research on modeling and characterization of deep submicron devices and circuits.

Received 25 April 2005, revised manuscript received 23 June 2005

©2005 Chinese Institute of Electronics