

一种 57.6mW,10 位,50MS/s 流水线 操作 CMOS A/D 转换器*

黄飞鹏 王静光 何济柔 洪志良

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 在 1.8V,0.18 μ m CMOS 工艺下,实现了 10 位,50MS/s 流水线操作 A/D 转换器的设计和测试.通过优化采样电容和运算跨导放大器(OTA)电流,并采用动态比较器,从而降低功耗;采用复位结构的采样/保持和余量增益电路消除 OTA 失调电压的影响;优化 OTA 的次极点,保证其工作稳定.测试结果表明:ADC 在整个量化范围内无失码,功耗为 57.6mW,失调电压为 0.8mV,微分非线性为 -0.6~0.7LSB.对 5.1MHz 的输入信号量化,可获得 44.9dB 的信号与噪声及谐波失真比.电路面积为 0.52mm².

关键词: 模数转换器;流水线;低功耗;失调电压;低电压

EEACC: 1290B; 1280

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2005)11-2230-06

1 引言

高速 A/D 转换器(ADC)是 HDTV 系统中的一个重要模块^[1],HDTV 要求 ADC 具有低功耗、10 位精度及 40MHz 以上的转换速率.由于 HDTV 的数字部分已经广泛采用了 0.18 μ m CMOS 工艺,其工作电压均为 1.8V.为了和数字部分兼容,要求 ADC 也必须采用同样的工艺和电压来实现.

由于采用 1.8V 的工作电压,缩小了 ADC 的量化范围,相应减小最低位(LSB)对应的电压,导致噪声对其性能的影响增大;同时,在 0.18 μ m 工艺下,因失配而导致的失调电压也值得关注,较大的失调电压会增大外围电路的设计难度.如果失调电压与输入信号相关,还会增大 ADC 的微分非线性(DNL)^[2],降低精度.

目前,国内文献中关于流水线操作的 ADC^[3~5],部分是在 1.8V,0.18 μ m 工艺下设计的^[5],并提供了较好的仿真结果.但是仿真时较难考虑噪声和失调电压的影响,仿真与测试结果往往会

有较大的差别.本文在 1.8V,0.18 μ m 工艺下,设计一个 10 位,50MHz ADC 时,采用如下技术,降低了噪声和失调电压的影响,改善了 ADC 的测试结果:(1)流水线结构^[6,7],降低对比较器失调电压的要求;(2)兼顾噪声和功耗,优化采样电容大小和运算跨导放大器(OTA)工作电流;(3)采用动态比较器^[7],降低 ADC 整体功耗;(4)复位结构^[8]的采样/保持(T/H)和余量增益(MDAC)电路消除 OTA 失调电压的影响;(5)增益自举的折叠级联 OTA 保证 ADC 的转换速度和精度^[9];(6)优化 OTA 次极点,确保其闭环工作稳定.

2 每级 1.5 位的流水线 ADC 介绍^[6,7]

图 1 是每级 1.5 位的流水线 ADC(10 位精度)结构示意图,它由 1 级 T/H、8 级 MDAC(MDAC1~MDAC8)和 1 级 2 位 ADC 级联而成.输入信号经 T/H 电路采样后,由 MDAC1 粗量化,并对差值放大和保持,差值由下一级 MDAC 做同样的处理.粗量化结果经过数字电路纠正后得到最终的量化值.

*国家自然科学基金资助项目(批准号:69976009)

黄飞鹏 男,1972 年出生,博士研究生,从事数模混合集成电路的设计与测试.

洪志良 男,1946 年出生,教授,博士生导师,从事模拟和射频集成电路设计、图像处理和系统集成等.

2005-04-26 收到,2005-06-19 定稿

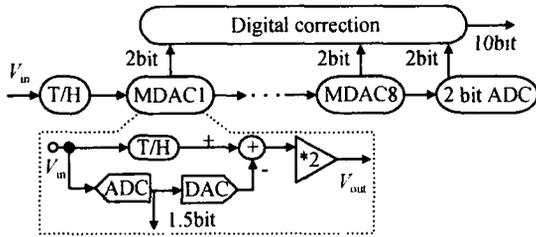


图 1 每级 1.5 位的流水线 ADC 结构示意图

Fig. 1 A 1.5bit/stage pipeline ADC architecture

3 降低功耗技术和主要模块设计

3.1 降低功耗技术

图 1 中随着信号由 MDAC1 向 MDAC8 流动,对精度的要求逐级递减^[7],根据不同的精度对每一级 MDAC 单独设计,可以使 ADC 的功耗最低.本文为减小电路和版图的工作量,只设计了两种 MDAC:MDAC1 和 MDAC5,也就是 MDAC1 ~ MDAC4 都采用 MDAC1 电路;而 MDAC5 ~ MDAC8 都采用 MDAC5 电路.MDAC 的核心是 OTA,它消耗该电路大部分的功耗,根据 MDAC1 和 MDAC5 精度的要求,设计了工作电流不同的两种 OTA,部分降低了 ADC 的功耗.

由于 ADC 允许比较器的失调电压可达 $\pm V_{ref}/4$,所以可采用无静态功耗的动态比较器,降低 ADC 的功耗.

3.1.1 优化采样电容和 OTA 电流

MDAC 的精度主要决定于其中的采样电容和 OTA.对采样电容的优化需要考虑噪声和匹配精度.ADC 噪声主要由热噪声构成,它的功率与采样电容成反比($\sigma_{thermal} \sim \sqrt{KT/C}$)^[7],可以通过增加电容值来降低热噪声对信号的影响.为了使 MDAC 达到

n 位的精度,电容的失配也必须满足 $\frac{C}{C} < \frac{1}{2^n}$.根据 SMIC 的工艺文件,MIM (metal-insulator-metal) 电容失配率的表达式为

$$\frac{C}{C} = \frac{0.641}{Area} \quad (1)$$

其中 Area 为电容面积(单位为 μm^2 ,每 μm^2 的电容值为 0.971fF).由(1)式可见,电容越大,失配率越小.

从噪声和失配两个角度,分别计算出 MDAC1 和 MDAC5 允许的最小采样电容,如表 1 所示,同时

还给出了最终选择的电容值的大小.

表 1 MDAC 允许的最小采样电容

Table 1 Least capacitance allowed

	MDAC1/pF	MDAC5/pF
Viewpoint of noise	About 0.1	About 0.007
Viewpoint of mismatch	0.63	0.04
Adopted	1	0.8

由表 1 可见,理论上 MDAC1 和 MDAC5 允许的最小采样电容分别为 0.63 和 0.04pF,但本文最终设计的电容值保留了较大的余量.这是因为:(1) (1)式是 SMIC 公司在两个相同电容的间隔为 $3\mu m$ 时测得的,而在本文版图中,为保证 MDAC 的整体对称性,两个电容分置 OTA 两侧,间隔较大(约 $100\mu m$),它们的实际失配会比(1)式大;(2) 0.04pF 的电容值较小,已经接近或低于 MOS 和导线的寄生电容,而寄生电容的匹配程度在电路和版图设计中都难以控制和保证.

采样电容是 OTA 的负载,当 MDAC5 的负载电容是 MDAC1 的 80% (0.8pF/1pF) 时,OTA 的工作电流可以做相同比例的减小^[7].本文将 MDAC5 中 OTA 的电流减小到 60%,主要是考虑到 MDAC5 对建立精度的要求也降低.

仿真结果证明,经过以上优化,MDAC 的建立精度和速度都满足要求,且 ADC 整体功耗减小约 20%.

3.1.2 动态比较器^[7]

图 2 是本文所采用的动态比较器.假设最下面 4 个 nMOS 的长度一致,则比较器的阈值为

$$(V_{in+} - V_{in-}) = \frac{w_2}{w_1} (V_{ref+} - V_{ref-}) \quad (2)$$

从(2)式可知,通过调整 w_2/w_1 可以很方便地调整比较器的阈值.

3.2 主要模块设计

流水线 ADC 主要由 T/H 和 MDAC 电路组成,其核心都是 OTA.所以有必要对 T/H,MDAC 和 OTA 进行详细分析.

3.2.1 T/H 和 MDAC 电路

由于工艺的失配,OTA 存在较大的失调电压,这些失调电压会影响 T/H 和 MDAC 电路的输出.本文采用复位结构的 T/H 和 MDAC 来消除 OTA 的失调电压^[8].

T/H 消除 OTA 失调电压的原理见图 3(为使

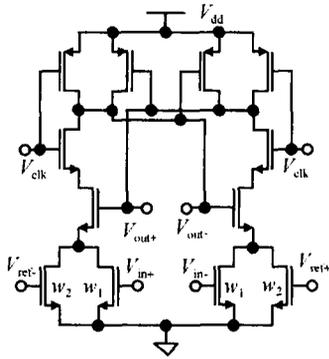


图 2 动态比较器

Fig. 2 Dynamic comparator

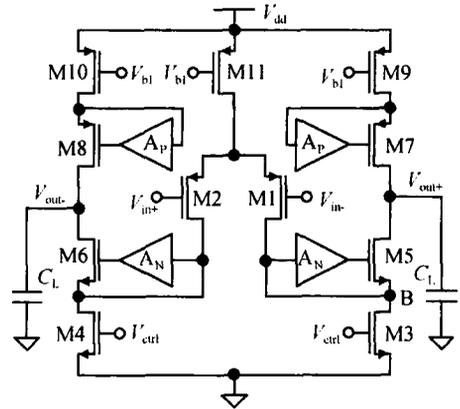


图 4 增益自举的折叠级联 OTA

Fig. 4 A gain-boost folded cascode OTA

问题简化,采用单端电路分析).图 3 中 ϕ_1, ϕ_3 为双相非交迭时钟.在 ϕ_1 时钟,OTA 的输出与输入端短路,OTA 复位,采样电容 C_s 对输入信号采样.采样结束后, C_s 上的电压为输入电压与失调电压的差值.在 ϕ_3 时钟, C_s 跨接在 OTA 的输入和输出端, V_{out} 在一定的时间内稳定到最终值,在这个过程中,失调电压自动抵消.MDAC 消除失调电压的原理与 T/H 相同.

仿真结果证明,这种结构可以很好地消除由失配引起的失调电压.

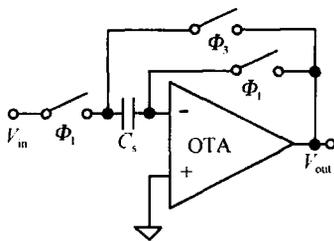


图 3 自动消除 offset 的 T/H 电路

Fig. 3 T/H circuit with offset cancellation

3.2.2 高性能的 OTA 及其优化

为满足 ADC 精度和功耗的要求,文中选择增益自举的 OTA,其增益可以达到 90dB 以上,且单位增益带宽和功耗在增加增益自举电路前后变化不大^[9].

图 4 为增益自举的折叠级联 OTA(不包括偏置和共模反馈电路)^[9],主电路是一个折叠级联结构,由 M1~M11 组成. A_p, A_n 为增益自举电路, V_{ctrl} 为共模反馈电压, V_{bl} 为偏置电压, C_L 为负载电容.

为防止 OTA 闭环工作时发生振荡,需优化其次极点.经优化后的最大化的次极点,还可以提高 T/H 和 MDAC 电路中开关导通电阻的取值范

围^[10].

折叠级联 OTA 在增加增益自举电路前后,次极点变化不大^[9],为降低计算量,可以只分析主电路的次极点.次极点位于 M5 的源极 B 点,不考虑衬偏效应,其表达式为^[11]

$$p_2 = \frac{g_{m5}}{C_B} \quad (3)$$

其中 g_{m5} 为 M5 管的跨导; C_B 为在 B 点的所有 MOS 管寄生电容之和.简化了的主电路如图 5 所示,可用于优化 M5 管的 W/L (宽度/长度).

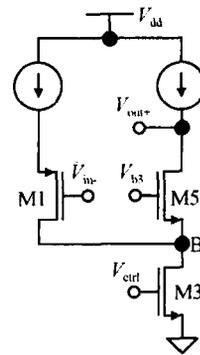


图 5 简化了的主电路

Fig. 5 Simplified folded cascode OTA

$$p_2 = \frac{g_{m5}}{C_a} = \frac{g_{m5}}{C_{dd1} + C_{dd3} + C_{gs5} + C_{sb5}} \quad (4)$$

其中 C_{dd3} 和 C_{dd1} 分别为 M3 及输入管 M1 在 B 点的寄生电容.由于 g_{m5} 正比于 $\sqrt{W_5}$, $C_{gs5} + C_{sb5}$ 正比于 W_5 , 设 $g_{m5} = K_1 \sqrt{W_5}$, $C_{gs5} + C_{sb5} = K_2 W_5$, 代入 (4) 式,得

$$p_2 = \frac{K_1 \sqrt{W_5}}{C_{dd1} + C_{dd3} + K_2 W_5} \quad (5)$$

当 p_2 对 W_5 的导数为零时, p_2 最大. 对 (5) 式求导, 令 $\frac{\partial p_2}{\partial W_5} = 0$, 得

$$C_{dd1} + C_{dd3} = C_{gs5} + C_{sb5} \quad (6)$$

当满足 (6) 式时, 次极点最大.

通过以上的优化, 经仿真验证, 次极点为 5.1GHz; 即使 OTA 不接任何负载时, 其相位裕度仍大于 60° , 可以确保闭环工作稳定.

4 测试结果及分析

该 ADC 采用 SMIC 0.18 μ m 1P6M CMOS 工艺流片, 图 6 是芯片照片 (包括 core 和 pad). 输出 pad 由 SMIC 公司提供, 其型号为 PO16W, 驱动能力为 16mA.

设计一块 4 层 PCB 用于测试. 由 Agilent 公司的 33120A 信号发生器提供输入信号, 由 50MHz 的晶振提供时钟, ADC 的量化结果 (直接或经缓冲后) 由 Agilent 1670G 逻辑分析仪采集.

测试表明, ADC 工作稳定, 测试结果基本不受

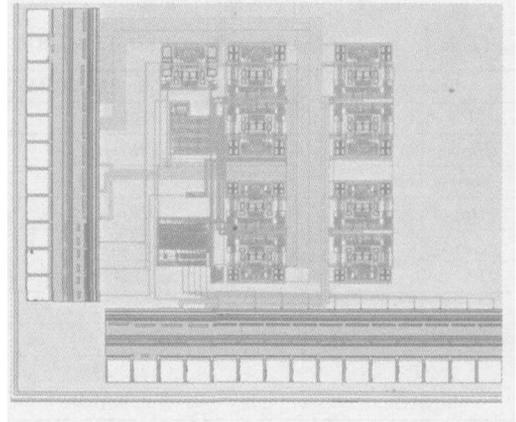


图 6 ADC 的芯片照片

Fig.6 Photo of ADC core

缓冲器影响. ADC 功耗为 57.6mW, 与仿真值一致, 输入失调电压为 0.8mV, ADC 在整个量化范围内没有失码.

ADC 的静态测试结果见图 7. 在 50MHz 转换速率下, 其微分非线性 (DNL) 为 $-0.6 \sim 0.7$ LSB, 积分非线性 (INL) 为 ± 1.8 LSB.

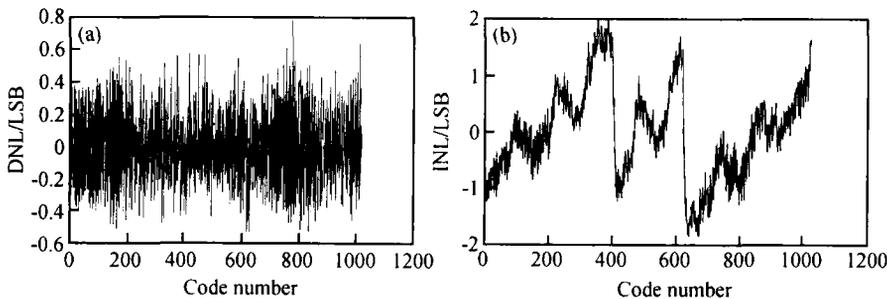


图 7 静态特性的测试结果 (a) 微分非线性; (b) 积分非线性

Fig.7 Performance of measured static linearity (a) DNL; (b) INL

ADC 的动态测试结果见图 8. 在 50MHz 转换速率下, 当输入信号的频率为 5.1MHz, 幅度比量化

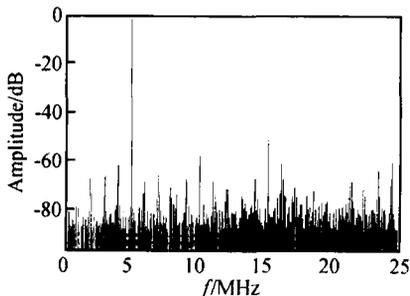


图 8 动态特性的测试结果

Fig.8 Spectrum obtained with 5.1MHz input

范围 ($V_{ref+} - V_{ref-}$) 小 1dB 时, 其信号与噪声及谐波失真比 (SINAD) 为 44.85dB (相当于 7.2 位有效位数). 表 2 是 ADC 测试结果的总结.

表 3 是与 ADI 公司同类产品 AD9040^[12], AD9050^[13] 的主要性能对照. 从该表可见, 除 SINAD 有一些差距外, DNL 和 INL 这两个指标均接近, 而输入失调电压和功耗则优于后者.

SINAD 指标上的差距与信号源的精度及时钟的抖动有关. ADC 要达到 10 位有效位数, 理论上要求信号源的精度必须大于 10 位, 而这次所用的 Agilent 33120A 信号源在 5.1MHz 上的精度约为 8

表 2 ADC 性能测试总结

Table 2 Summarized performances of the ADC

Process	SMIC 0.18 μ m 1P6M CMOS
Resolution	10bit
Conversion rate	50MHz
Supply voltage	1.8V
Input offset	0.8mV
DNL	- 0.6 ~ 0.7LSB
INL	\pm 1.8LSB
Missing code	No
SFDR	47.3dB
SNR	49.3dB
SINAD	44.9dB
THD	- 46.8dB
Power consumption	57.6mW
Core area	0.52mm ²

位. 对时钟的要求是其抖动必须小于 $6.2\text{ps}^{[14]}$, 满足

表 3 与 ADI 公司同类产品的主要性能对照

Table 3 Comparison with ADI products

Sample	Process	Conversion rate/ MHz	Power/ mW	Input offset/ mV	DNL/ LSB	INL/ LSB	SINAD/ dB
This work	0.18 μ m CMOS	50	57.6	0.8	- 0.6 ~ 0.7	\pm 1.8	44.9 ($f_{\text{sig}} = 5.1\text{MHz}$)
AD9040	Not supplied	40	940	\pm 2	Typ: \pm 1.0 Max: \pm 2.0	Typ: \pm 1.0 Max: \pm 2.3	53 ($f_{\text{sig}} = 10.3\text{MHz}$)
AD9050	Bi-CMOS	60	345	7	Typ: \pm 0.9 Max: \pm 1.9	Typ: \pm 1.3 Max: \pm 2.0	53 ($f_{\text{sig}} = 10.3\text{MHz}$)

参考文献

- [1] Liu Fei, Ji Lijiu. 150Ms/s 6bit digital CMOS folding A/D converter with current-mode interpolating. Chinese Journal of Semiconductors, 2002, 23(9): 988 (in Chinese) [刘飞, 吉利久. 150Ms/s, 6bit CMOS 数字工艺折叠、电流插值 A/D 转换器. 半导体学报, 2002, 23(9): 988]
- [2] Razavi B. Principles of data conversion system design. New York: The Institute of Electrical and Electronics Engineers Inc, 1995: 208
- [3] Zhu Zhen, Ma Dequn, Ye Jinghua, et al. A full-differential CMOS pipelined A/D converter. Chinese Journal of Semiconductors, 2004, 25(9): 1175 (in Chinese) [朱臻, 马德群, 叶菁华, 等. 低功耗、全差分流水线操作 CMOS A/D 转换器. 半导体学报, 2004, 25(9): 1175]
- [4] Li Zhigang, Shi Yin, Yu Yunhua, et al. A 10bit 50MS/s CMOS pipelined folding A/D converter. Chinese Journal of Semiconductors, 2004, 25(6): 720 (in Chinese) [李志刚, 石寅, 于云华, 等. 一个 10 位、50MS/s CMOS 折叠流水结构 A/D 转换器. 半导体学报, 2004, 25(6): 720]
- [5] Wang Zhaogang, Chen Cheng, Ren Junyan, et al. A 71mW 8b 125Msamples A/D converter. Chinese Journal of Semiconductors, 2004, 25(1): 3
- [6] Lewis S H, Fetterman H S, Gross G F, et al. A 10-b 20-Msample/s analog-to-digital converter. IEEE J Solid-State Circuits, 1992, 27(3): 351
- [7] Cho T B, Gray P R. A 10b, 20Msample/s, 35mW pipeline A/D converter. IEEE J Solid-State Circuits, 1995, 30(3): 166
- [8] Johns D, Martin K. Analog integrated circuit design. Toronto: John Wiley & Sons, 1996: 346
- [9] Bult K, Geelen G J G M. A fast-settling CMOS Op Amp for SC circuits with 90-dB DC gain. IEEE J Solid-State Circuits, 1990, 25(6): 1379
- [10] Chilakapati U, Fiez T S. Effect of switch resistance on the SC integrator settling time. IEEE Trans Circuits Syst : Analog and Digital Signal Processing, 1999, 46(6): 810
- [11] Yang H C, Abu-Dayeh M A, Allstot D J. Small-signal analysis and minimum settling time design of a one-stage folded-cascode CMOS operational amplifier. IEEE Trans Circuits Systems, 1991, 38(7): 804
- [12] Analog Devices Inc, Data sheet of AD9040: 10-Bit 40 MSPS A/D converter Rev. D
- [13] Analog Devices Inc, Data sheet of AD9050: 10-Bit 40 MSPS/60 MSPS A/D converter Rev. B

这个指标的时钟源较少. 这次采用的晶振也未能提供这一抖动参数. 这两方面将在今后的工作中改进.

5 结论

本文介绍了工作在 1.8V 的 10 位, 50MS/s 低功耗 ADC 的设计和测试. 通过采用动态比较器、优化了的采样电容和 OTA, 降低了 ADC 的整体功耗; 采用复位结构的 T/H 和 MDAC 电路消除了 OTA 失调电压的影响. 测试结果表明, 在 50MHz 转换速率下, 实现较低的功耗和输入失调电压, 达到预期的静态和动态指标. 说明该 ADC 的设计和测试方法是正确和成功的, 它与 ADI 公司的同类产品相比, 具有相当的竞争力.

- [14] Matsuura T, Nara T, Komatsu T, et al. A 240-Mbps, 1-W CMOS EPRML read-channel LSI chip using an interleaved sub-ranging pipeline A/D converter. *IEEE J Solid-State Circuits*, 1998, 33(11):1840

A 10bit, 50Msample/s, 57.6mW CMOS Pipeline A/D Converter^{*}

Huang Feipeng, Wang Jingguang, He Jirou, and Hong Zhiliang

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract: A 10bit 50MS/s CMOS pipeline A/D converter is implemented in a 1.8V, 0.18 μ m CMOS process. Circuit techniques used to achieve low power consumption include a dynamic comparator, an optimal capacitor, and OTA. Resetting T/H and MADC is adopted to cancel the offset of the OTA. the non-dominant pole of the OTA is optimized to make the OTA work stably. Measured performances include $-0.6 \sim 0.7$ LSB of DNL and 44.9dB of SINAD with 5.1MHz input at 50Msample/s. The ADC, with a 57.6mW power consumption and a 0.8mV input offset, occupies a core area of 0.52mm².

Key words: analog-to-digital converter; pipeline; low power consumption; offset; low voltage

EEACC: 1290B; 1280

Article ID: 0253-4177(2005)11-2230-06

^{*} Project supported by the National Natural Science Foundation of China (No. 69976009)

Huang Feipeng male, was born in 1972, PhD candidate. His work focuses on design and testing of mixed-signal IC.

Hong Zhiliang male, was born in 1946, professor, advisor of PhD candidates. His study area includes analog & RF IC design, image processing, and SOC.

Received 26 April 2005, revised manuscript received 19 June 2005

©2005 Chinese Institute of Electronics