

CMOS 宽带可变增益放大器 *

王自强¹ 池保勇² 王志华²

(1 清华大学电子工程系, 北京 100084)
(2 清华大学微电子研究所, 北京 100084)

摘要: 设计了一种 CMOS 宽带、低功耗可变增益放大器. 在分析使用源极退化电阻的共源放大器高频特性基础上, 通过加入频率补偿电容改变放大器的零极点分布, 在不增加功耗的情况下扩展了带宽. 分析了放大器在低增益下出现的增益尖峰现象并加以解决. 使用跨导增强电路提高了放大器的线性度. 两级可变增益放大器使用 TSMC 0.25 μm CMOS 工艺. 仿真结果表明, 放大器在 3.3V 电压下核心电路功耗为 3.15mW, 增益范围 0~40dB; 在负载为 5pF 电容时 3dB 带宽大于 340MHz, 输出三阶交调点高于 3.5dBm.

关键词: 可变增益放大器; CMOS; 宽带

EEACC: 1220

中图分类号: TN72 **文献标识码:** A **文章编号:** 0253-4177(2005)12-2401-06

1 引言

可变增益放大器在无线接收机中起着改变系统增益和调整各级信号功率的作用. 目前很多接收机都采用两次下变频结构. 接收机第一次下变频后的中频越高, 所需信号和镜像信号之间的频率差越大, 对镜像信号的抑制越有利. 然而随着频率的升高, 宽带可变增益放大器的设计变得越来越困难.

为了使放大器具有较大的带宽, 一般使用开环电路结构. 放大器的主极点决定了它的 3dB 带宽, 通常主极点的大小取决于对应节点上等效到地电阻、电容的值. 为了提高主极点频率, 一种方法是降低电阻的值, 但为了保证该节点的直流电压不变, 必须提供更大的电流, 这使电路的功耗增加. 另一种方法是降低电容的值, 如果该电容是负载电容, 那么意味着电路驱动负载的能力变差; 如果该电容是某个有源器件在节点的等效电容, 那么意味着必须减小器件的尺寸, 可能因此而影响电路的其他性能. 宽带放大器设计常常以高功耗为代价来换取大带宽. 本文在分析使用源极退化电阻的共源放大器高频特性基础上, 提出一种在不增加功耗的前提下有效提高带宽的方法.

2 原理分析

图 1 是使用源极退化电阻的差分共源结构可变增益放大器电路图. 其中 R_L, C_L 分别是放大器在输出节点的负载电阻和电容; $2R_{deg}, C_{deg}/2$ 分别是源极退化电阻及其两端的并联电容. 先不考虑 $C_{deg}/2$ 来

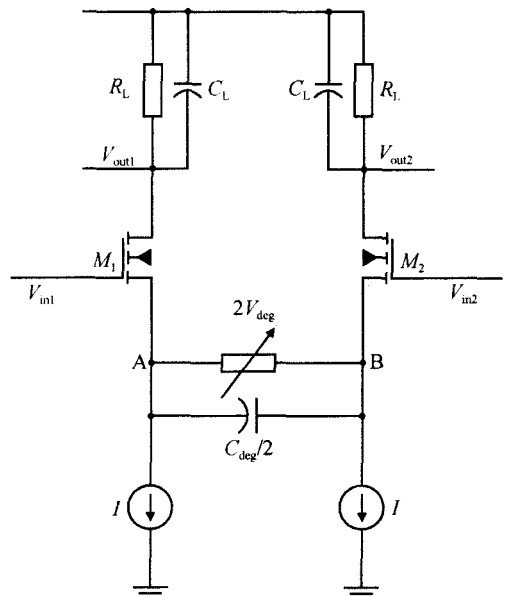


图 1 使用源极退化电阻的可变增益放大器

Fig. 1 VGA with source degeneration resistor

* 国家重点基础研究发展规划(批准号: G2000036508)和国家自然科学基金(批准号: 90407006)资助项目

王自强 男, 1975 年出生, 博士研究生, 主要研究方向为 CMOS 模拟集成电路设计.

2005-05-17 收到, 2005-06-30 定稿

分析放大器的高频特性. 放大器的主极点位于输出节点, 随着工作频率上升, 负载阻抗下降; 假设输入 MOS 管源极之间 (A, B 之间) 的阻抗一直等于 $2R_{deg}$, 那么放大器的高频增益随着负载阻抗的下降而下降. 从另一个角度讲, 变化 $2R_{deg}$ 不会对电路的高频性能产生影响, 因此人们习惯上认为该放大器的增益和带宽无关.

但实际上由于电阻 $2R_{deg}$ 的两端并联了若干寄生电容, 随着工作频率升高, A, B 两点之间的阻抗也在下降, 因而放大器的带宽要比由负载电阻、负载电容决定的 3dB 带宽大一些. 一个直观的现象就是, 随着 $2R_{deg}$ 的增大放大器的带宽增加.

然而对于一个结构确定的放大器来说, 其寄生

$$\frac{V_{out}}{V_{in}} = \frac{(sC_{GD} - g_m)(g_{deg} + sC_{deg} + sC_{GS}) + (g_o + g_m + g_{mb})(sC_{GS} + sC_{GD})}{(g_o + g_L + sC_L + sC_{GD})(g_{deg} + sC_{deg} + sC_{GD}) + (g_o + g_m + g_{mb})(g_L + sC_L + sC_{GD})} \quad (1)$$

$$g_o = \frac{1}{r_o}, \quad g_{deg} = \frac{1}{R_{deg}}, \quad g_L = \frac{1}{R_L} \quad (2)$$

为了简化分析做如下近似: 如果输入管的源极

$$\frac{V_{out}}{V_{in}} = \frac{(sC_{GD} - g_m)(g_{deg} + sC_{deg} + sC_{GS}) + g_m(sC_{GS} + sC_{GD})}{(g_L + sC_L + sC_{GD})(g_{deg} + sC_{deg} + sC_{GD}) + g_m(g_L + sC_L + sC_{GD})} \quad (3)$$

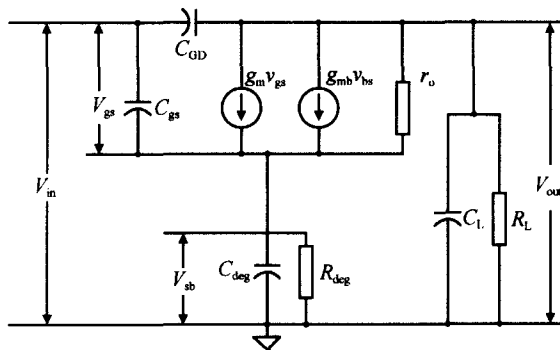


图 2 图 1 半边电路的高频等效电路

Fig. 2 High frequency equivalent circuit of half-circuit in Fig. 1

根据 (3) 式, 放大器有两个左半平面的极点, 且当 $C_{deg} > C_{GD}$ 时, 有一个左半平面的零点和一个右半平面的零点, 它们分别表示为:

$$p_1 = \frac{-1}{R_L (C_L + C_{GD})} \quad (4)$$

$$p_2 = -\frac{g_m + 1/R_{deg}}{C_{deg} + C_{GD}} - \frac{g_m}{C_{deg} + C_{GD}} \quad (5)$$

电容的大小基本不变. 由于这些寄生电容很小, 它们对增加放大器带宽的作用有限, 因此可以在 $2R_{deg}$ 两端并联上较大的电容 $C_{deg}/2$ 以增强这一作用. 先给出一种定性的解释: 随着频率增加, 输出节点阻抗下降; 如果 A, B 两点之间的阻抗按照相同比例下降, 那么在忽略输入管跨导的前提下, 放大器的增益还能保持不变, 也就是说带宽增大了. 当频率继续增加, 输入管的跨导不能忽略, 这种补偿作用就失去了效果, 放大器的增益将下降.

下面给出具体的分析. 图 2 是图 1 半边电路的高频等效电路, 图 1 中电流源 I 是理想电流源, 输出阻抗无穷大. 由图 2 求出放大器的高频增益为:

和衬底相连, 那么它不存在背栅效应, 可以去掉 g_{mb} ; 负载电阻 R_L 和源极退化电阻 R_{deg} 都远小于 MOS 管的输出电阻 r_o , 可以忽略 g_o . 这样得到表达式 (3):

$$z_1 = \frac{-g_m}{R_{deg} [g_m C_{deg} - C_{GD} (g_m + 1/R_{deg})] - 1} \quad (6)$$

$$z_2 = \frac{g_m C_{deg} - C_{GD} (g_m + 1/R_{deg})}{C_{GD} (C_{deg} + C_{GS})} - \frac{g_m (C_{deg} - C_{GD})}{C_{GD} (C_{deg} + C_{GS})} \quad (7)$$

其中极点 p_1 对应放大器的输出节点, 是主极点; 极点 p_2 对应输入管源极的节点, 是非主极点. 当 C_{GD} 很小的时候, 右半平面零点 z_2 的频率远高于左半平面零点 z_1 的频率, 即使在 $\sim 10^2$ MHz 的高频, z_1 零点和其他的零极点相比也可以忽略. 这样, 忽略 C_{GD} 作用后, 放大器的频率响应进一步简化, 有两个极点和一个零点, 表示在 (8) ~ (10) 式中:

$$p_1 = -\frac{1}{R_L C_L} \quad (8)$$

$$p_2 = -\frac{g_m}{C_{deg}} \quad (9)$$

$$z_1 = -\frac{1}{R_{deg} C_{deg}} \quad (10)$$

通过设置 C_{deg} 改变放大器的零极点分布, 可以在高频下保持增益不变, 从而增大带宽. 无论放大器

的零点和主极点是否相消,采用适当的补偿电容都能起到提高带宽的作用.图 1 的放大器通过改变 $2R_{deg}$ 来实现变增益.当 $2R_{deg}$ 步进变化时,可以在每组电阻的两端并联大小不等的电容,精确地调节放大器带宽.

当 R_{deg} 变化时,根据 (10) 式放大器的零点也在变化, R_{deg} 越大,放大器的增益越小,零点越靠近原点.为了实现宽带放大器,负载电容 C_L 较小.而在输入管的源极,即使没有 C_{deg} 也存在一些寄生电容.这样当 R_{deg} 较大时,放大器的零点频率反而可能低于极点频率,从而在零点和极点频率之间出现增益尖峰.本文在放大器的负载电阻两端并联随增益变化的电容,解决了低增益时放大器产生增益尖峰的问题.

3 电路设计

根据以上分析,本文设计了带有跨导增强电路^[1]的单级放大器,其基本电路如图 3 所示.放大器在 $2R_{deg}$ 两端并联补偿电容 $C_{deg}/2$ 提高了带宽;在 R_L 两端并联补偿电容 C_L 消除了低增益时高频的尖峰;使用跨导增强电路提高输入管跨导,降低了放大器高频的非线性失真;在跨导增强电路中使用电阻 R_G 代替电流源,改善了电路的高频特性.

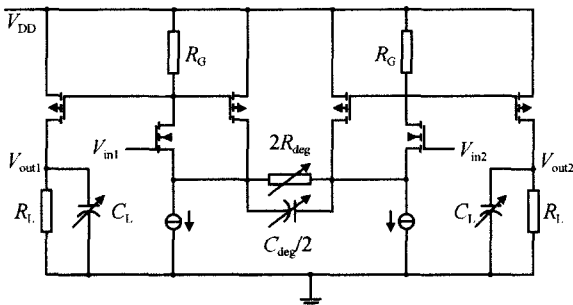


图 3 宽带可变增益放大器电路图
Fig. 3 Scheme of wideband V GA

图 4 是放大器在输入管源极的增益控制电路,对称结构减小了等效阻抗的非线性.虽然总电容值是需要电容值的 4 倍,但因为这些电容都较小,所以没有占用过多的面积.在输出节点的可变电容通过电容和 MOS 管开关串联实现.在高增益下 MOS 管开关打开,和它串联的电容不会对输出节点产生负载效应,因此放大器的带宽很大.在低增益下 MOS 管开关闭合,输出节点增大了电容,抑制了高频尖

峰.

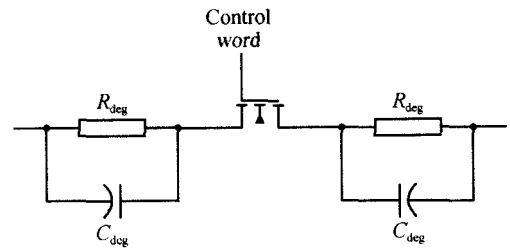


图 4 可变增益放大器的增益控制电路
Fig. 4 Control circuit of V GA

将同样结构的两个宽带放大器级联,得到更大增益控制范围的两级放大器.通过调整各级的补偿电容,该放大器同样具有较大的带宽.为了增强两级放大器的带负载能力,在其后加入了超级源极跟随器^[2]来驱动大电容.

4 仿真结果

单级放大器的增益范围是 0 ~ 20dB,增益步长是 5dB,图 5 是增益频响曲线.这里放大器的输出节点只接有补偿电容 C_L ,因此其带宽可达到 880MHz 以上.由于 C_L 在高增益(15dB)下被断开,在低增益下 (<15dB)被连上,因此放大器高频增益带宽反而较大.这一电容在切换的同时对放大器的线性度产生了影响.图 6 给出放大器在 20dB 增益时使用电容补偿和没有补偿时带宽的比较,有补偿时带宽为 903.6MHz,无补偿时带宽为 657.7MHz,带宽增大了 37.4%,而这种补偿不需要额外的功耗.

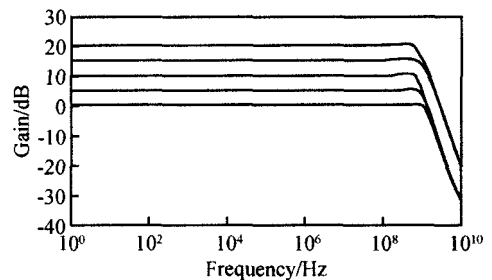


图 5 单级放大器的增益频响曲线
Fig. 5 Gain amplitude versus frequency for single stage V GA

表 1 给出在 400MHz、不同增益下单级放大器的输出三阶交调点 (OIP3).由于使用了宽带的跨导增强电路,所以放大器在高频时仍然具有良好的线性,在所有增益下输出三阶交调点都高于 15dBm.

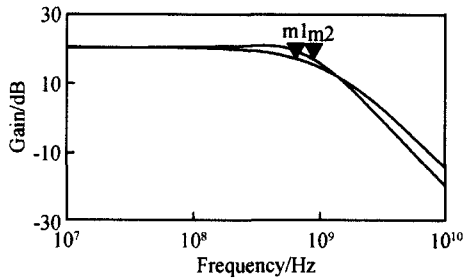


图 6 单级放大器高频增益补偿效果

Fig. 6 Gain compensation effect of single stage V GA

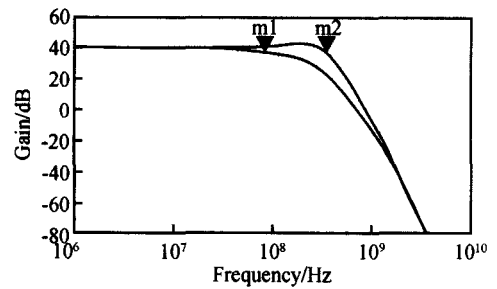


图 8 两级放大器高频增益补偿效果

Fig. 8 Gain compensation effect of two stage V GA

放大器在 400MHz 的等效输入噪声电压是 $7.34\text{nV}/\sqrt{\text{Hz}}$ 。因为电路的整体功耗较低,只有 1.75mW,这使得输入管的跨导较小,因此等效输入噪声较大。此外源极退化电阻也是主要的噪声源之一。

表 1 单级放大器的输出三阶交调点

Table 1 OIP3 of single stage V GA

增益/ dB	OIP3/ dBm
20	22.6
15	24.1
10	15.6
5	17.3
0	18.5

两级放大器的增益范围是 0 ~ 40dB,增益步长是 10dB,负载电容是 5pF,图 7 是增益频响曲线。在 40dB 增益时放大器带宽为 346.7MHz,仍然能工作在很高的频率上。图 8 给出两级放大器在 40dB 增益时使用电容补偿和没有补偿时带宽的比较,有补偿时带宽为 346.7MHz,无补偿时带宽为 83.2MHz,带宽增大 3.17 倍。

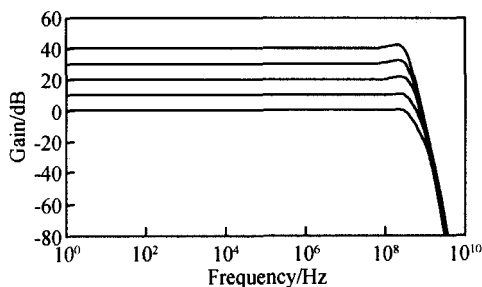


图 7 两级放大器的增益频响曲线

Fig. 7 Gain amplitude versus frequency for two stage V GA

在获得宽带宽的同时,放大器仍然具有较好的线性度。表 2 给出在 300MHz、不同增益下两级放大

器的输出三阶交调点,其值都高于 3.5dBm。放大器的负载电容对其线性度有很大影响,电容越小,线性度越高。

表 2 两级放大器的输出三阶交调点

Table 2 OIP3 of two stage V GA

增益/ dB	OIP3/ dBm
40	3.6
30	3.6
20	4.0
10	4.1
0	4.2

当 V GA 的制作工艺、电源电压和工作温度发生变化时,其带宽也随之改变。本文对两级 V GA 带宽随 PVT 的变化进行了仿真。在不同的工艺拐点 (TT,FF 和 SS),电源电压 (3.0,3.3 和 3.6V) 和温度 (25°,50° 和 75°) 下,在高增益 (> 10dB) 时本文提出的电容补偿方法均起到了提高带宽的作用。而在低增益 (0dB) 时电容补偿起到抑制增益尖峰的作用。表 3 给出 40dB 增益时 V GA 带宽随 PVT 的变化关系,补偿后带宽比补偿前增大了 2.85 倍以上。

表 3 两级放大器在 40dB 增益时带宽随 PVT 的变化

Table 3 Two stage V GA bandwidth variation with PVT at 40dB gain

设置		无补偿带宽 / MHz	有补偿带宽 / MHz	带宽增大 / 倍数
Process	Typical	83.18	346.7	3.17
	Fast	84.14	375.8	3.47
	Slow	82.22	319.9	2.89
Supply voltage	Normal (3.3V)	83.18	346.7	3.17
	High (3.6V)	82.22	350.8	3.27
	Low (3.0V)	83.18	342.8	3.12
Temperature	Low (25°)	83.18	346.7	3.17
	Middle (50°)	82.22	331.1	3.03
	High (75°)	83.18	319.9	2.85

电路制作中电阻和电容的误差也对放大器的带宽产生影响。当补偿电容 C_{deg} 按设计值变化 $\pm 20\%$ 时,在 40dB 增益带宽增大 2.89 倍以上。在其他增益下 VGA 带宽也有显著提高。

表 4 总结了宽带放大器的性能。放大器使用 TSMC 0.25 μ m CMOS 工艺设计,在驱动 5pF 电容负载的情况下放大器能提供最大 40dB 增益,其带

表 4 宽带放大器性能概括

Table 4 Performance summary of wideband VGA

内容	单级放大器	两级放大器
工艺	TSMC 0.25 μ m CMOS	TSMC 0.25 μ m CMOS
电源电压	3.3V	3.3V
功耗	1.75mW	3.15mW(核心电路) 3.96mW(驱动电路)
增益	0 ~ 20dB/ 5dB 一档	0 ~ 40dB/ 10dB 一档
3dB 带宽	> 881MHz	> 340MHz
等效输入噪声	7.34nV/ $\sqrt{\text{Hz}}$ @400MHz	6.95nV/ $\sqrt{\text{Hz}}$ @300MHz
输出三阶交调点	> 15dBm	> 3.5dBm

宽可达 340MHz 以上,输出三阶交调点高于 3.5dBm,而核心电路功耗仅为 3.2mW。

5 小结

表 5 对本文放大器(仿真结果)和其他文献中放大器(测试结果)的性能进行了比较。这些放大器的带宽都在 200MHz 以上,最大电压增益在 40dB 左右。本文考虑到放大器用于接收机高中频,一般不需要增益衰减,因此最低增益设置在 0dB。放大器在各级增益下输出三阶交调点均高于 3.5dBm。随着负载电容的降低,其线性度将进一步提高。由于放大器使用电容补偿的方法提高带宽,不需要额外增加功耗,所以核心电路的功耗较低。

本章设计的放大器使用电容补偿方法在不增加功耗的情况下扩大了带宽;使用跨导增强技术提高了输出信号的线性。总的来说,放大器实现了低功耗、宽带宽的设计目标,适合在接收机高中频使用。

表 5 放大器性能比较

Table 5 Performance comparison of VGAs

	文献[3]	文献[4]	文献[5]	文献[6]	文献[7]	本文
工艺(CMOS)/ μ m	0.35	0.35	0.18	0.18	0.25	0.25
电源电压/V	3	3.3	1.8	1.8	2.5	3.3
电流/mA	9	10.8	3	6	25.3	0.95 + 1.2 = 2.15
带宽/MHz	246	200	350	380	380(3dB)	340
增益范围/dB	- 15 ~ 45	- 45 ~ 45	- 42 ~ 42	- 33 ~ 40	- 70 ~ 11	0 ~ 40
IIP3/ dBm	- 46 @45dB - 4 @ - 15dB	- 22 @40dB 2 @0dB	- 22.5 @40dB 3 @0dB	- 45.6 @40dB - 8.6 @10dB	-	- 36.4 @40dB 4.2 @0dB

参考文献

[1] Rijns J J F. CMOS low-distortion high-frequency variable-gain amplifier. IEEE J Solid-State Circuits, 1996, 31(7) :1029

[2] Gray P R, Hurst P J, Lewis S H, et al. Analysis and design of analog integrated circuits. New York: Wiley, 2001

[3] Mostafa M A I, Embabi S H K, Elmala M A I. A 60dB, 246MHz CMOS variable gain amplifier for sub-sampling GSM receivers. International Symposium on Low Power Electronics and Design, 2001 :117

[4] Song W C, Oh C J, Cho G H, et al. High frequency/ high dynamic range CMOS VGA. Electron Lett, 2000, 36(13) :1096

[5] Kwon J K, Kim K D, Song W C, et al. Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications. Electron Lett, 2003, 39(10) :759

[6] Saito R, Hosoda K, Hyogo A, et al. A 1.8V 73dB dynamic range variable gain amplifier. The European Solid-State Circuit Conference, 2003 :301

[7] Watanabe O, Otaka S, Ashida M, et al. A 380MHz CMOS linear-in-dB signal summing variable gain amplifier with gain compensation techniques for CDMA system. Symposium on VLSI Circuits, 2002 :136

A CMOS Wideband Variable Gain Amplifier *

Wang Ziqiang¹, Chi Baoyong², and Wang Zhihua²

(1 *Department of Electronic Engineering, Tsinghua University, Beijing 100084, China*)

(2 *Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: A CMOS wideband low power variable gain amplifier (VGA) is presented. The frequency response of a common source amplifier that makes use of a source degeneration resistor is analyzed. The bandwidth of the amplifier is enlarged without extra power consumption by adding compensation capacitors to change the location of the poles and zeros. The voltage peaking that appeared at low gain is solved and the linearity is improved by using a g_m -boost circuit. The VGA is designed using TSMC 0.25 μ m CMOS technology. Simulation results show that the VGA core consumes 3.15mW at 3.3V supply voltage and has a gain range from 0 to 40dB. Its 3dB bandwidth is larger than 340MHz and OIP3 is higher than 3.5dBm with a 5pF load.

Key words: variable gain amplifier; CMOS; wideband

EEACC: 1220

Article ID: 0253-4177(2005)12-2401-06

* Project supported by the State Key Development Program for Basic Research of China (No. G2000036508) and the National Natural Science Foundation of China (No. 90407006)

Wang Ziqiang male, was born in 1975, PhD candidate. His research interest is CMOS analog integrated circuit design.

Received 17 May 2005, revised manuscript received 30 June 2005

©2005 Chinese Institute of Electronics