

90nm 工艺下 nMOS 器件最大衬底电流应力特性^{*}

陈海峰 马晓华 郝 跃 曹艳荣 黄建方 王文博 李 康

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 研究了 90nm 工艺条件下的轻掺杂漏 (lightly-doped drain, LDD) nMOSFET 器件最大衬底电流应力特性. 在比较分析了连续不同电应力后 LDD nMOSFET 的 GIDL (gate-induced drain leakage) 电流变化后, 发现当器件的栅氧厚度接近 1nm, 沟长接近 100nm 时, 最大衬底电流应力不是电子注入应力, 也不是电子和空穴的共同注入应力, 而是一种空穴注入应力, 并采用空穴注入实验、负最大衬底电流应力实验验证了这一结论.

关键词: 最大衬底电流应力; 关态; 带带隧穿; 陷阱电荷; GIDL

EEACC: 2530; 2560R

中图分类号: TN386. 1

文献标识码: A

文章编号: 0253-4177(2005)12-2411-05

1 引言

随着 MOS 器件尺寸的不断缩小, 热载流子效应日益成为影响器件可靠性的重要因素. 90nm CMOS 工艺将成为未来几年内半导体技术的主流, 因此研究 90nm 工艺下器件产生热载流子的应力特性具有重要意义. 在一个较大的漏端电压固定情形下, 对栅电压进行扫描, 将衬底电流出现最大值时器件各端的电压偏置作为应力条件, 这种应力被称为最大衬底电流应力. 在热载流子的研究中, 此应力经常作为器件的最大退化应力而被用来研究器件的退化情况. 对于 nMOSFET, 最大衬底电流应力一直被认为是一种电子向 SiO₂ 层注入从而使电子被界面陷阱俘获的电子注入应力^[1-3], 或者是一种能引起空穴和电子共同注入的应力^[4]. 以上结论在较厚栅和较长沟道的器件中是适用的, 但是当栅氧厚度接近 1nm, 沟长接近 100nm 时, 器件由此产生的强大纵向和横向电场将使这些关于最大衬底电流应力的结论不再有效.

LDD nMOSFET 的 GIDL 电流一般很小, 它强烈地依赖于 LDD 区与栅的交叠区附近界面处的电

场. 而在应力过程中这一区域的强电场也会促使热载流子在 SiO₂/Si 界面制造出界面态或被界面陷阱俘获^[5], 继而导致应力后 GIDL 电流发生显著变化. 本文正是利用 GIDL 电流随陷阱电荷变化而变化这一机制, 通过分析比较 90nm CMOS 工艺下的器件在电应力前后的 GIDL 电流变化来研究最大衬底电流应力特性. 研究发现最大衬底电流应力是一种空穴注入应力, 给出了相应的机理, 并通过实验深入地验证了该机理. 这一发现为 90nm 或者更小尺寸工艺下器件选取有效的热载流子退化应力提供了有力的依据, 从而有助于更准确地评价器件的退化.

2 GIDL 电流效应

LDD nMOSFET 的 GIDL 电流产生在 LDD 区与栅的交叠区附近的界面处. nMOSFET 处在关态 (栅电压 $V_g = 0V$) 时, 在其漏端施加一个正电压, 这一区域的纵向和横向能带图如图 1(a) 和 (b) 所示. 在垂直界面方向上, Si 的能带向上弯曲, 当价带顶能级 E_v 超过导带底能级 E_c 时, 电子从价带顶直接隧穿进导带. 当 E_v 未超过 E_c 时, 禁带中的陷阱辅助价带顶的电子隧穿进导带. 这些进入导带的电子形

^{*} 国家自然科学基金 (批准号: 60376024) 和国家高技术研究发展计划 (批准号: 2003AA1Z1630) 资助项目

陈海峰 男, 1979 年出生, 博士研究生, 主要从事小尺寸 MOS 器件和可靠性研究.

马晓华 男, 1973 年出生, 博士研究生, 主要从事小尺寸 MOS 器件和可靠性研究.

郝 跃 男, 1958 年出生, 博士生导师, 主要从事宽禁带材料及超深亚微米器件可靠性研究.

2005-05-15 收到, 2005-09-10 定稿

成隧穿电流 I_{bb1} , 成为 GIDL 电流的主要部分. 平行于界面方向上漏 pn 结附近另一部分 GIDL 电流体现为隧穿电流 I_{bb2} .

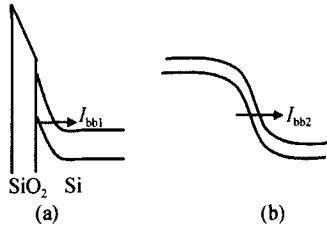


图 1 交叠区附近能带图 (a)纵向;(b)横向

Fig. 1 Energy-band diagrams around the overlapped region (a) Vertical direction; (b) Lateral direction

GIDL 电流 I_{bb} 模型表达式为^[6,7]:

$$I_{bb} = A E_t \exp(-B/E_t) \quad (1)$$

$$E_t = (V_{dg} - 1.2)/3 T_{ox} \quad (2)$$

式中 E_t 为漏栅交叠区的电场; 1.2eV 为垂直界面上隧穿能够发生的最小的能带弯曲量; 3 是 SiO_2

和 Si 的介电常数比值; T_{ox} 为栅氧化层厚度; A 为常数; $B = 21.3 \text{ MV/cm}$.

3 实验及讨论

3.1 最大衬底电流应力实验

本文使用的器件为 90nm CMOS 工艺生产的栅厚为 1.4nm 和 4nm, 宽为 $2\mu\text{m}$, 沟道长为 $0.13\mu\text{m}$ 的 LDD nMOSFET. 实验仪器为 HP4156B 半导体参数分析仪. 所有的测试均在室温下暗箱中进行. 实验过程中, 器件源端和衬底始终接地, 即 $V_s = V_b = 0\text{V}$.

栅厚为 1.4nm 的器件漏 pn 结击穿电压 $V_{bd} = 2.5\text{V}$. 在漏电压 $V_d = 0.8\text{V}$, $V_{bd} = 1.8\text{V}$ 下, 测得最大衬底电流时, 栅电压 $V_g = 1.3\text{V}$, 因此最大衬底电流应力取为: $V_d = 1.8\text{V}$, $V_g = 1.3\text{V}$. 4nm 样片的最大衬底电流应力条件为: $V_d = 2.4\text{V}$, $V_g = 1.31\text{V}$.

图 2(a) 中, 施加最大衬底电流应力 2000s 后, 关态下的 I_d 变小了. 这一现象与图 2(c) 和 (d) 以及

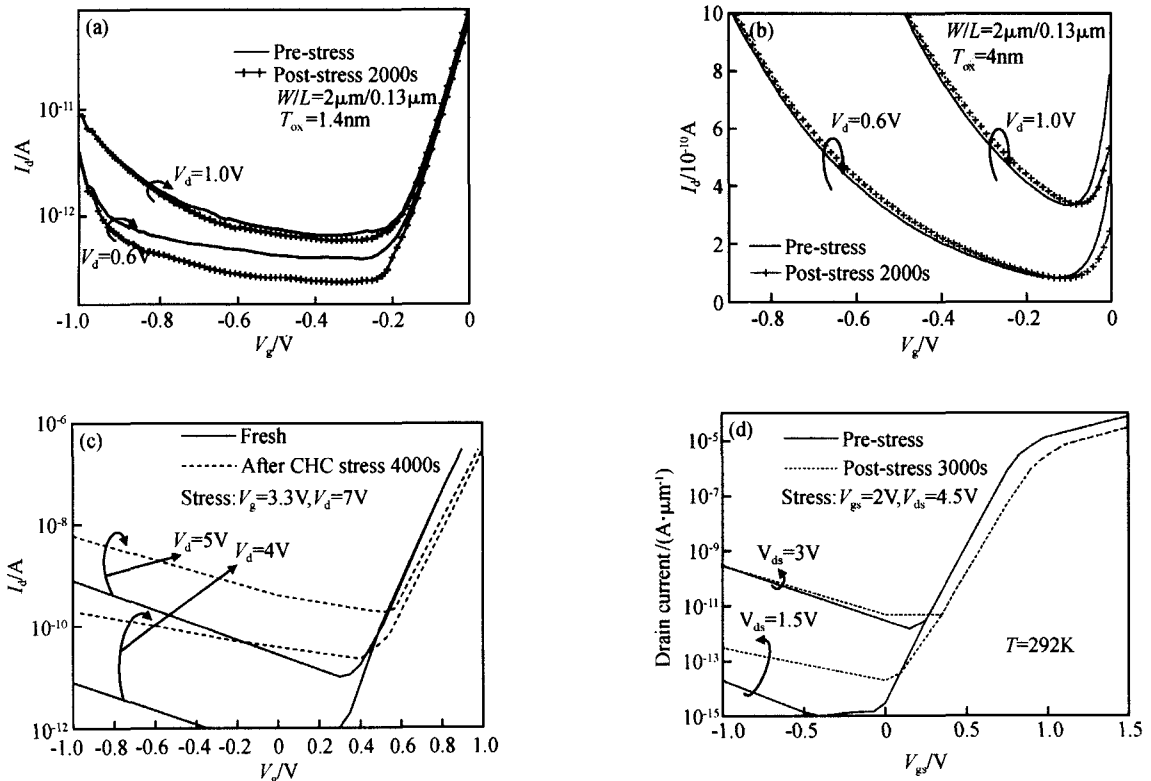


图 2 最大衬底电流应力前后 GIDL 电流比较 (a) 应力: $V_g = 1.3\text{V}$, $V_d = 1.8\text{V}$; (b) 应力: $V_g = 1.31\text{V}$, $V_d = 2.4\text{V}$; (c) 文献[2]中的 nMOSFET ($T_{ox} = 8.6\text{nm}$) 的情形; (d) 文献[6]中的 nMOSFET ($T_{ox} = 4\text{nm}$) 的情形

Fig. 2 Comparison of GIDL current before and after $I_{sub,max}$ stress (a) Stress: $V_g = 1.3\text{V}$, $V_d = 1.8\text{V}$; (b) Stress: $V_g = 1.31\text{V}$, $V_d = 2.4\text{V}$; (c) Situation of nMOSFET ($T_{ox} = 8.6\text{nm}$) in Ref. [2]; (d) Situation of nMOSFET ($T_{ox} = 4\text{nm}$) in Ref. [6]

(b) 栅介质较厚情况下最大衬底电流应力后的退化情形相反. 在文献[1, 2, 6, 8]中提出: 最大衬底电流应力后, 关态下的 I_d 是增大的. 文献[2]认为最大衬底电流应力是热电子注入应力: 在施加应力时, 电子向 SiO_2 层注入从而被界面陷阱俘获. 应力后, 在电场作用下当能带向上弯曲不够大且准费米能级仍在禁带当中时, 陷阱电子通过热激发获得更高的能量, 随后隧穿进入导带成为导电电子, 这种隧穿势垒高度相对于直接隧穿要小, 因此应力后 GIDL 电流较之应力前的 GIDL 电流变大. 文献[8]中也认为最大衬底电流应力产生了陷阱负电荷, 使得应力后关态下的 I_d 增大.

这种最大衬底电流应力产生热载流子机制显然与我们的实验结果图 2(a) 不符. 上述实验得出: 栅氧厚度接近 1nm, 沟长接近 100nm 的 LDD nMOSFET 中, 最大衬底电流应力不是热电子注入应力.

3.2 空穴注入假设与空穴注入

空穴注入假设: 由于栅氧很薄, 沟道很短, 最大衬底电流应力过程中, 漏栅之间存在一个垂直界面的强电场 E_{ve} , 水平方向也存在一个强电场 E_{la} , 它们的和为 E , 如图 3(a), (b) 所示. 交叠区附近垂直方向上的能带向上弯曲, 此时界面处空穴的浓度比电

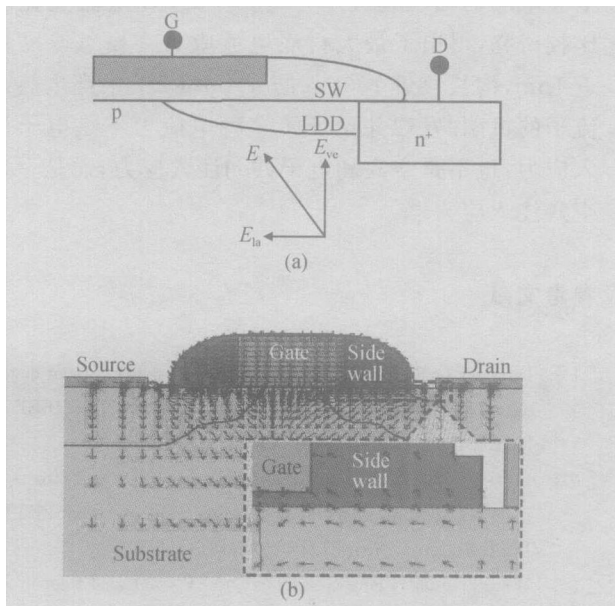


图 3 最大衬底电流应力下 LDD 与栅交叠区附近界面处的电场示意图(a)和 Silvaco 仿真得到器件电场(b)

Fig. 3 E-field at surface around gate-overlapped LDD region under $I_{sub,max}$ stress condition (a) Schematic of the field; (b) Field simulated with Silvaco

子高. 在电场 E 的作用下, 空穴加速获得更高的能量, 被推向界面, 方向远离漏端. 这些热空穴在 Si/SiO_2 界面处制造出能够成为空穴陷阱的界面态, 同时被俘获形成陷阱正电荷. 随着时间的推移, 交叠区附近界面处陷阱也越来越向背离漏端方向生长, 这一点与文献[3]是一致的. 应力后, 在界面附近的导电电子在漏电压 V_d 的作用下被加速, 其中一部分注进界面并与此处的陷阱空穴复合. 最后在漏极收集的导电电子总数比起应力前相同的 V_d 和 V_g 下的导电电子数少, 即 I_d 变小, 因此同一个 V_d 下的关态的转移曲线会向下方移动.

这种机理与实验结果图 2(a) 符合得较好, 但不能充分说明最大衬底电流应力就一定是空穴注入应力, 有可能是空穴和电子共同注入应力^[4], 只不过空穴注入比电子注入更强些.

对上述最大衬底电流应力后的栅厚为 1.4nm 的 LDD nMOSFET 的器件再进行低栅压下的空穴注入 1000s, 应力条件为 $V_g = V_{th}$ ^[9]. 本器件的阈值电压 $V_{th} = 0.52\text{V}$, 因此器件设置为: $V_g = 0.55\text{V}$, $V_d = 1.8\text{V}$.

从图 4 可以看出前后两种应力对 GIDL 电流的影响: 空穴注入应力相比之前的最大衬底电流应力而言, 并未改变 GIDL 电流.

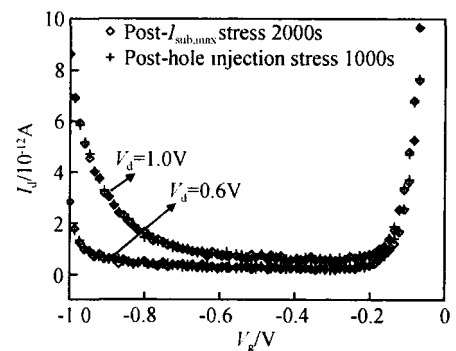


图 4 两种相继应力后的 GIDL 电流关系

Fig. 4 Relationship of GIDL current after two successive stresses

最大衬底电流应力如果是空穴和电子共同的注入应力, 则在 GIDL 测试后进行的空穴注入应力中产生的热空穴在界面处会同电子陷阱中的电子复合, 从而使得这些电子陷阱重新呈现出未被电子占据的状态. 应力后在 GIDL 电流测试中, 导电电子不仅要中和界面处的陷阱正电荷, 还要被电子陷阱俘获, 因此最后漏极收集到的导电电子数目应该比最

大衬底电流应力后的更少,也就是关态时的转移曲线向下移动。

但是图 4 中最大衬底电流应力后的 GIDL 电流和紧接着 1000s 的空穴注入应力后的 GIDL 电流曲线重合,这说明最大衬底电流应力是空穴和电子共同注入应力的结论不能成立。

最大衬底电流应力如果是空穴注入应力,热空穴产生能够成为空穴陷阱的界面态,同时受陷其中,成为陷阱正电荷。当应力时间很长时,这种能引入空穴陷阱的界面态以及空穴陷阱受陷达到饱和。应力后,在 GIDL 测试中的导电电子会复合掉这些陷阱空穴,重新使这些空穴陷阱呈现出未被空穴占据的状态。接下来的空穴注入应力中的热空穴因无法制造出新的空穴陷阱,只能重新填入那些在最大衬底电流应力中产生的空穴陷阱中。于是两种应力后在交叠区附近界面处的陷阱正电荷数目与最大衬底电流应力后的基本相同,导电电子由于复合掉陷阱正电荷而减小的数目就相同,因此这两次应力后 GIDL 电流大小没有变化。这一假说与图 4 一致,最大衬底电流应力在实验中是空穴注入应力是正确的。

3.3 推论

上述最大衬底电流应力产生热空穴注入的机理是基于空穴在 LDD 区与栅交叠区附近的强电场 E 作用下沿着电场方向运动电学规律上的。可以设想,只要改变这一区域的强电场 E 的方向便可实现电子的注入,则应力后应该能得到与最大衬底电流应力后相反的结果,即 GIDL 电流变大。

对前面施加过空穴注入的器件继续施加一个负最大衬底电流应力: $V_g = -1.3V, V_d = -1.8V$ 。图 5 证实了上面的设想。施加 2000s 负最大衬底电流应力后, GIDL 电流变大了。

这一过程用上面的理论解释为:负最大衬底电流应力下,交叠区附近电场分布与图 3 所示的相反。 E_e 使垂直方向的 Si 的能带向下弯曲,界面处电子浓度变大。这些电子在强电场 E 作用下一部分能量增大成为热电子。那些热电子在界面制造出能够成为电子陷阱的界面态并受陷其中,形成大量的陷阱负电荷。应力后,当 V_g 从 $-1V$ 到 $0V$ 扫描时,这部分陷阱中的电子的作用与文献[2]中相同,导致 I_d 变大。

以上实验和分析得出这样一个结论:负最大衬

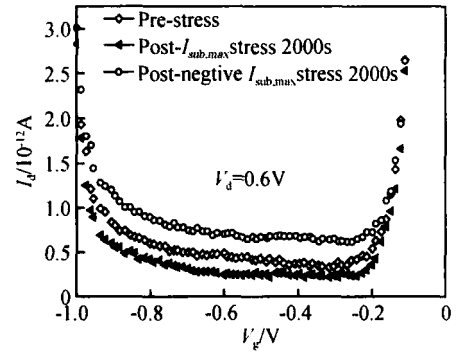


图 5 $V_d = 0.6V$ 时的相继应力后 GIDL 电流比较

Fig. 5 Comparison of GIDL current at $V_d = 0.6V$ after successive stresses

底电流应力是电子注入应力。这一实验结果也证实了前面得出的最大衬底电流应力产生热空穴注入的机理的论证基础——空穴在 LDD 区与栅交叠区附近的强电场 E 作用下沿着电场方向被推向界面是正确的。

4 结论

本文通过对 90nm 工艺条件下的 LDD nMOSFET ($T_{ox} = 1.4nm, W/L = 2\mu m/0.13\mu m$) 在连续的不同电应力后关态下 ($V_g = 0V$) GIDL 电流变化的比较研究,得出了最大衬底电流应力在栅氧厚度接近 1nm,沟长接近 100nm 的 nMOSFET 中产生热载流子的机制。发现并论证了这种电应力不是电子注入应力,也不是空穴和电子共同注入应力,而是一种空穴注入应力。

参考文献

- [1] Duvvury C, Redwine DJ, Stiegler H J. Leakage current degradation in N-MOSFET's due to hot electron stress. IEEE Electron Device Lett, 1988, 9(11): 579
- [2] Lo G Q, Joshi A B, Kwong D L. Hot-carrier-stress effects on gate-induced drain leakage current in n-channel MOSFET's. IEEE Electron Device Lett, 1991, 12(1): 5
- [3] Wang Tahui, Huang Chimoon, Chou P C, et al. Effect of hot carrier induced interface state generation in submicron LDD MOSFET's. IEEE Trans Electron Devices, 1994, 41(9): 1618
- [4] Chen J H, Wong S C, Wang Y H. DC pulse hot-carrier-stress effects on gate-induced drain leakage current in n-channel MOSFETs. IEEE Trans Electron Devices, 2001, 48(12): 2746
- [5] Raychaudhuri A, Deen M J, Kwan W S, et al. Features and

- mechanisms of the saturating hot-carrier degradation in LDD NMOSFET's. IEEE Trans Electron Devices, 1996, 3(7): 114
- [6] Wang T H, Hsu C F, Chiang L P, et al. Voltage scaling and temperature effects on drain leakage current degradation in a hot carrier stressed n-MOSFET. IEEE 98 CH36173 36th Annual International Reliability Physics Symposium, 1998: 209
- [7] Chen J, Chen T Y, Chen I C, et al. Subbreakdown drain leakage current in MOSFET. IEEE Electron Device Lett, 1987, 8(11): 515
- [8] Liu Weidong, Li Zhijian, Liu Litian, et al. Study of gate induced drain leakage (GIDL) effects in thin gate oxynitride NMOSFETs. Chinese Journal of Semiconductors, 1997, 18(7): 546 (in Chinese) [刘卫东, 李志坚, 刘理天, 等. 超薄氮氧化硅 (SiO_2/N_2) 栅 NMOSFET 中 GIDL 效应的研究. 半导体学报, 1997, 18(7): 546]
- [9] Heremans P, Bellens R, Groeseneken G, et al. Consistent model for the hot-carrier degradation in n-channel and p-channel MOSFET's. IEEE Trans Electron Devices, 1988, 35(12): 2194

Characteristics of $I_{\text{sub,max}}$ Stress in 90nm Technology nMOSFETs *

Chen Haifeng, Ma Xiaohua, Hao Yue, Cao Yanrong, Huang Jianfang, Wang Wenbo, and Li Kang

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The characteristics of hot carriers in 90nm-technology LDD (lightly doped drain) nMOSFETs are investigated under $I_{\text{sub,max}}$ stress. By analyzing the variation of the GIDL (gate-induced drain leakage) current before and after applying successive stresses to the LDD nMOSFET, it is found that when the nMOSFET's gate thickness and channel length approach 1nm and 100nm respectively, the $I_{\text{sub,max}}$ stress is neither a electron-injection stress nor a both electron- and hole-injection stress, but a hole-injection stress. Furthermore, the conclusion is supported by the experiment of hole-injection stress and negative $I_{\text{sub,max}}$ stress.

Key words: $I_{\text{sub,max}}$ stress; off-state; band-band tunneling; trapping charge; GIDL

EEACC: 2530; 2560R

Article ID: 0253-4177(2005)12-2411-05

* Project supported by the National Natural Science Foundation of China (No. 60376024) and the National High Technology Research and Development Program of China (No. 2003AA1Z1630)

Chen Haifeng male, was born in 1979, PhD candidate. He is engaged in research on small-scale MOS device reliability.

Ma Xiaohua male, was born in 1973, PhD candidate. He is engaged in research on small-scale MOS device reliability.

Hao Yue male, was born in 1958, professor, supervisor of PhD candidates. He is engaged in research on wide-band semiconductor materials and ultra deep submicron device reliability.

Received 15 May 2005, revised manuscript received 10 September 2005

©2005 Chinese Institute of Electronics