

COF 结构中键合力损伤芯片 AI 层的研究

彭瑶玮¹ 陈文庆² 王志平² 肖 斐¹

(1 复旦大学材料科学系, 上海 200433)

(2 飞利浦移动显示系统中国科技中心, 上海 200131)

摘要: 运用实验和有限元模拟相结合的方法,研究了非导电膜和金-金共金工艺中键合力对芯片 AI 压焊块内应力分布的影响,并分析了样品的失效部位和失效原因. 挠性基板上印制线宽度不同时键合力对芯片损伤情况的研究表明,小印制线宽度在相同单位面积键合力情况下对 AI 压焊块损伤较轻. 讨论了印制线宽度对键合偏移容差的要求.

关键词: 挠性板上芯片; 非导电膜; 金-金共金; 有限元模拟

EEACC: 2550X; 0170J

中图分类号: TN306 文献标识码: A 文章编号: 0253-4177(2005)01-0209-06

1 引言

在液晶显示 (LCD) 系统中,各向异性导电膜 (ACF) 技术在玻璃板上芯片 (COG) 或挠性板上芯片 (COF) 封装中运用十分广泛^[1,2]. ACF 技术是通过热压工艺中,在芯片的凸点和基板材料之间捕捉到一定数量的导电粒子来形成电连接的. 然而,随着 LCD 功能的增加,驱动芯片 (IC driver) 的凸点数随之增加,且芯片凸点节距减小,这对 ACF 技术提出了严峻挑战^[3]. 据文献报道,对于凸点间距 (bump gap) 小于 $15\mu\text{m}$ 的芯片,ACF 工艺会产生较为严重的短路现象^[4].

为了从根本上解决窄节距芯片带来的 ACF 搭桥问题,非导电膜 (non-conductive film, NCF) 技术^[5] 和金-金共金 (合金) (Au-Au eutectic) 技术^[6] 被开发来替代 ACF 技术. 这些技术在设备上与 ACF 技术有很好的兼容性,并且具备实现更小节距芯片互连的能力.

在非导电膜工艺中,电连接是通过压力使芯片凸点和基板材料上的印制线直接接触而实现,同时热固型的非导电膜受热固化后,可以固定芯片凸点

和印制线间的直接接触,从而保证稳定的电连接. 由于非导电膜层担任确保 IC 和基板材料之间机械连接和电连接的双重角色,所以对非导电膜材料的热工艺温度曲线的选择尤为重要. 金-金共金工艺是利用在一定温度下,芯片的金凸点和基板材料上印制线上电镀的 Au/Ni 层发生一定程度的共金反应来实现两者的机械连接和电连接,然后再用填充料 (underfill) 来保护和加强已经实现的互连. 非导电膜和金-金共金工艺的最终键合温度分别在 $220 \sim 240$ 和 330 左右,具体工艺过程如图 1 和图 2 所示.

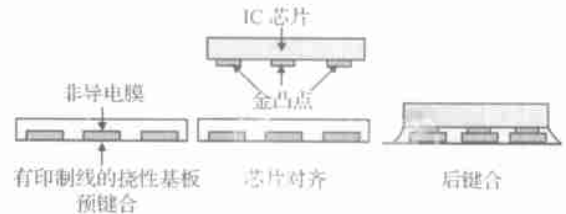


图 1 非导电膜工艺示意图

Fig. 1 Process of NCF technique

然而非导电膜和金-金共金技术还存在一定问题. 对非导电膜技术来说,需要在 IC 芯片上施加较大的键合力,从而确保当这个力不存在时,固化后的

彭瑶玮 女,1978 年出生,硕士研究生,主要研究领域为电子封装和互连技术.

2003-12-17 收到,2004-05-09 定稿

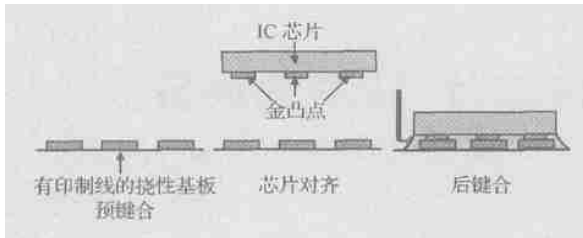


图2 金-金共金工艺示意图

Fig. 2 Process of Au-Au eutectic technique

非导电膜层能够固定住已经实现机械连接和电连接的芯片凸点. 这个较大的键合力在键合工艺的瞬间可能对芯片凸点上面的 Al 压焊块造成损伤, 并且可能会在 Al 压焊块中形成大的应力集中, 从而对芯片的可靠性产生影响. Al 压焊块的损伤对非导电膜技术正常电功能的实现无疑有致命的影响. 而对金-金共金工艺来说, 由于采用比非导电膜工艺更高的键合力和工艺温度, 更加剧了上述问题所带来的损伤.

本文用实验测试和 ANSYS 有限元模拟分析相结合的方法, 研究了非导电膜和金-金共金工艺中不产生失效的最大键合压力, 并探究了产生失效的原因. 在此基础上通过改变印制线宽度来避免键合时在 Al 压焊块中造成的大应力集中. 考虑到在实际键合过程中存在偏移容差, 讨论了偏移容差对改变印制线宽度的限制范围.

2 实验及模拟

2.1 实验

实验采用的 IC 芯片是几何尺寸为 $10.8\text{mm} \times 1.95\text{mm}$, 厚度为 $381\mu\text{m}$ (不包括凸点高度) 的 BOA (bump on active) 芯片, 凸点的几何尺寸为 $30\mu\text{m} \times 99\mu\text{m} \times 15\mu\text{m}$, Al 压焊块厚度为 $0.1\mu\text{m}$. 采用的挠性基板厚度为 $35\mu\text{m}$, 挠性基板上印制线横截面为梯形, 两种印制线上/下底宽度分别为 $25/31\mu\text{m}$ 和 $17/23\mu\text{m}$, 厚度均为 $13.3\mu\text{m}$ (包括 Ni/Au 层厚度).

将上述部件按照非导电膜工艺和金-金共金工艺在键合力分别为 7, 9, 11 和 14kgf 的条件下制样, 制样单位为 100 片. 随后对所制样品进行电功能测试.

2.2 模拟

有限元模拟可以分析封装工艺过程中及封装后

模块中的应力分布^[7]. 利用 ANSYS 有限元分析软件对非导电膜和金-金共金工艺在键合瞬间结构内部的应力分布情况进行了模拟. 在本文的模拟中, 只考虑机械应力, 未考虑热固化工艺后所产生的热应力. 由于在键合的瞬间非导电膜没有固化, 因此考虑到非导电膜工艺和金-金共金工艺的力学状态一致, 没有将非导电膜建模. 模拟进行 2D 有限元分析, 几何模型示意图如图 3 所示. 所采用芯片的几何参数和实验情况一致. 挠性基板印制线宽度取上底数值, 分别为 $17\mu\text{m}$ 和 $25\mu\text{m}$.

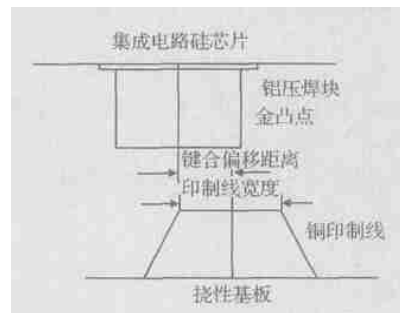


图3 有限元模型键合单元示意图

Fig. 3 Scheme of a bonding unit of FEA

模拟中使用的材料参数取自文献[8, 9], 列于表 1.

表1 有限元模拟中采用的材料参数

Table 1 Material parameters used in FE simulation

材料	杨氏模量/($\text{N} \cdot \text{mm}^{-2}$)	泊松比
硅	131000	0.30
铝	65526	0.35
金	78000	0.30
铜	121000	0.35
挠性基板	4200	0.30

有限元单元类型采用 PLANE 182 平面应变类型, 具体的网络划分情况如图 4 所示, 采用映射网络划分方法. 负载条件与实验相同, 分别为 7, 9, 11 和 14kgf.

3 结果与讨论

3.1 键合压力对 Al 压焊块损伤的影响

表 2 所示为非导电膜和金-金共金工艺中不同键合力情况下的电信号失效测试结果.

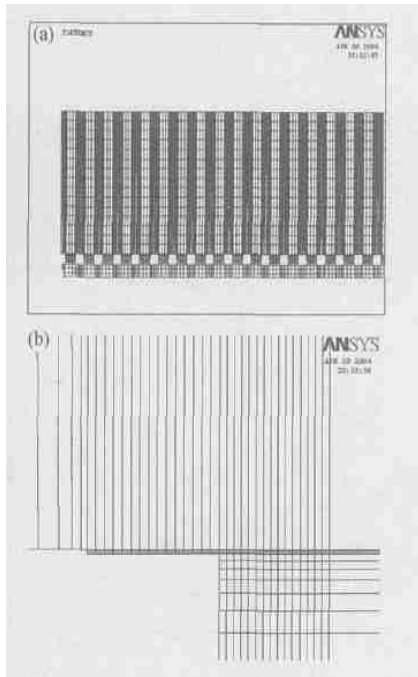


图 4 COF 互连结构的有限元分析网格

Fig. 4 Mesh for FEA of COF interconnect structure

表 2 样品电性能测试结果

Table 2 Result of electric function test

	7kcf	9kcf	11kcf	14kcf
非导电膜工艺	无失效样片	无失效样片	无失效样片	无失效样片
金-金共金工艺	无失效样片	无失效样片	无失效样片	36 %样片失效

用光学显微镜分析失效样品发现,样品失效是由于凸点下芯片上 AI 压焊块的角落位置因应力过大而产生裂缝,如图 5 所示.比较非导电膜和金-金共金工艺的实验结果可以发现,非导电膜工艺能够比金-金共金工艺承受更大的键合压力.造成这一结果的原因是由于非导电膜工艺中使用了没有导电粒子的薄膜,在键合过程中,这种半固态的胶状物质起到了缓冲的作用.而金-金共金工艺是在键合之后才填充填充料,因此金-金工艺使 AI 层中的应力情况更为严重.此外,金-金工艺最后键合阶段的温度高于非导电膜工艺 100 ,高温易使 AI 层损伤,这也是金-金工艺所能承受的压力小于非导电膜工艺的原因.

ANSYS 模拟加压负载下 AI 压焊块中的应力分布如图 6 所示,模拟中只考虑机械应力,未考虑热应力.应力集中位置与实验观察到卸载后的失效部位非常一致,表明键合力过大造成了此区域的细微裂缝.

3.2 不同接触面积对 AI 压焊块损伤的影响

为了尝试通过改变印制线宽度来避免键合时在

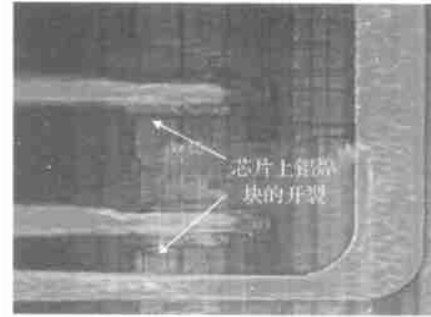


图 5 IC 表面 AI 压焊块中的开裂情况

Fig. 5 Crack on IC surface

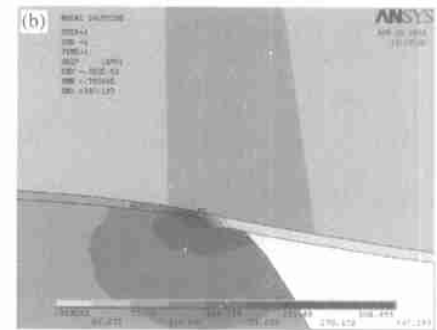
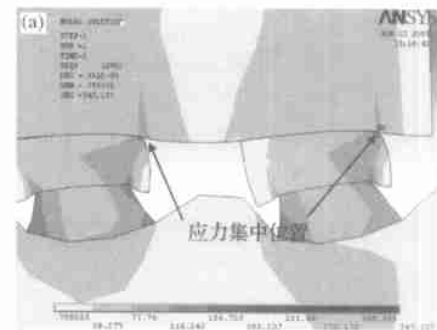


图 6 AI 压焊块中的等效应力分布

Fig. 6 Von mises stress distribution in the AI layer

AI 压焊块中造成的过大应力集中,进行了不同印制线宽度的挠性基板上所能承受的最大键合力的实验.在键合对准情况相近条件下获得的实验结果如表 3 所示.

表 3 不同印制线宽度的挠性基板上承受键合力的情况

Table 3 Maximum bonding forces on foils of different conductive track width

印制线上底宽度	金凸点长度	总接触面积	键合力状态
/ μm	/ μm	/ mm^2	
25.3	99	0.802	14.5kcf 出现电功能异常
16.6	99	0.525	9.5kcf 没有出现异常

上述实验结果表明,减小印制线宽度,总接触面积减小,但是在相同单位面积键合压力下(18kg/mm²),小印制线宽度的承受力好于大印制线宽度.这说明小印制线的挠性基板在非导电膜或金-金共金工艺中能够减缓所施加的键合力,从而减轻 Al 压焊块中的最大应力集中.

ANSYS 对上述情况的模拟结果如图 7 所示.在小印制线宽度的情况下,由相同键合力引起的 Al 压焊块中的最大应力都小于较大印制线宽度的情况.考虑到小印制线宽度时的接触面积要小很多,因此在相同单位面积情况下,较大印制线宽度时 Al 压焊块中应力要比小印制线宽度大很多.

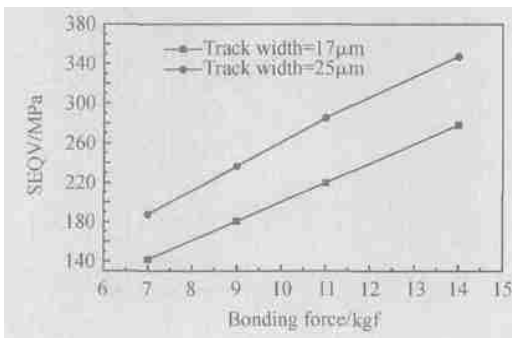


图 7 Al 压焊块中的最大等效应力和键合力的关系

Fig. 7 Maximum von mises stress in the aluminum pad versus bonding force

3.3 不同的键合偏移容差对 Al 层损伤的影响

在实际生产过程中,键合工序中总有偏差,不同的键合机有不同的偏移容差,一般在 5~10μm.了解偏移容差对非导电膜和金-金共金工艺中 Al 压焊块内最大应力的影响,对实际生产中每台机器键合压力参数的调节有指导意义.为了更好地考察偏移容差对不同印制线宽度挠性基板的影响,模拟时印制线宽度的取值为 10μm 和 20μm,芯片凸点宽度为 30μm,与实际情况相同.由于印制线长度远大于芯片凸点长度,键合时的前后偏移对结果影响不大,而旋转偏移很少发生,故模拟时仅考虑左右偏移.模拟结果如图 8 所示,在四种不同的键合压力下,两种印制线宽度的应力随绝对偏移距离的变化趋势各自相同.在同一键合压力情况下,10μm 和 20μm 印制线宽度的应力随绝对偏移距离的变化情况不同.当偏移距离在 25%印制线宽度以内时,Al 压焊块内等效应力随绝对偏移距离增大而减少;当偏移距离在 25%~50%印制线宽度范围时,应力程度又随绝对偏移距离增大而上升.对 20μm 印制线宽度的挠性基板

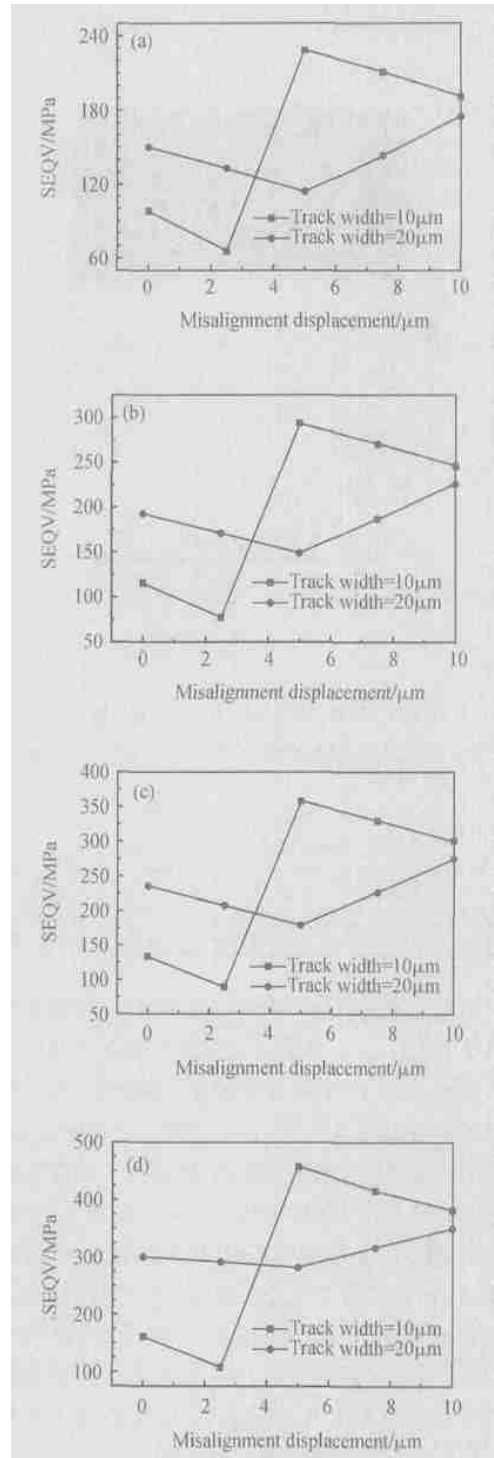


图 8 不同键合压力下 Al 压焊块最大应力和偏移位移的关系 (a) 7kgf; (b) 9kgf; (c) 11kgf; (d) 14kgf

Fig. 8 Relationship between maximum von mises stress in Al pad and misalignment displacement under various bonding forces (a) 7kgf; (b) 9kgf; (c) 11kgf; (d) 14kgf

来说,偏移距离为 5μm 时,Al 层中的最大应力最低,因此选择偏移容差为 ±5μm 的键合机对 20μm 印制线宽度的挠性基板来说是完全适用的.对 10μm 印

制线宽度的挠性基板来说, $5\mu\text{m}$ 的偏差将会引起 Al 层中应力程度剧烈的变化, 此时键合机的偏移容差应控制在 $2.5\mu\text{m}$ 以内. 上述结果表明, 偏移距离对 Al 压焊块中最大应力的影响与印制线宽度有关, 适当的偏移距离(约 25% 印制线宽度)可以在一定程度上缓解 Al 压焊块中的最大应力; 但当偏移距离进一步增加时, 应力又迅速上升.

4 结论

通过对非导电膜工艺和金-金共金工艺的实验及模拟研究, 可以得到以下结论:

(1) 模拟获得的应力集中位置和实验观察到的失效位置一致, 表明由于键合过程在 Al 压焊块中造成的应力集中导致了此位置的开裂. 由于非导电膜工艺和金-金共金工艺的步骤和最终键合温度不同, 金-金共金工艺在 14kgf 键合力时就会产生 Al 层开裂现象, 而此时非导电膜工艺没有问题.

(2) 在非导电膜或金-金共金工艺中, 较小印制线宽度的挠性基板在键合对准情况相近条件下能够适应更大的单位面积键合力.

(3) 键合机偏移容差对 Al 压焊块中最大应力的影响与挠性基板上印制线宽度有关, 适当的偏移距离(约 25% 印制线宽度)可以在一定程度上缓解在 Al 压焊块中的最大应力; 但偏移距离进一步增加时, 应力又迅速上升. 因此, 较宽的印制线宽度对偏移容差要求低, 而较小的印制线宽度对键合机偏移

容差的要求很高.

参考文献

- [1] Tan C W, Chan Y C, Yeung N H. Behavior of anisotropic conductive joints under mechanical loading. *Microelectronics Reliability*, 2003, 43:481
- [2] Yim M, Paik K. Design and understanding of anisotropic conductive films (ACFs) for LCD Packaging. *IEEE Trans Component Packaging Technol-Part A*, 1998, 21:226
- [3] Liu J. ACA bonding technology for low cost electronics packaging applications current status and remaining challenges. *Soldering & Surface Mount Technology*, 2001, 13(3):39
- [4] Chiu Y W, Chan Y C, Lui S M. Study of short-circuiting between adjacent joints under electric field effects in fine pitch anisotropic conductive adhesive interconnects. *Microelectronics Reliability*, 2002, 42:1945
- [5] Shen G S. LCD driver IC assembly technologies and status. *Int'l Symposium on Electronic Materials and Packaging*, 2002:316
- [6] Kim Y G, Pavulur J K, et al. Thermocompression bonding effects on bump-pad adhesion. *IEEE Transaction on Components, Packaging and Manufacturing Technology-Part B*, 1995, 18(1):192
- [7] Huang Weidong, Sun Zhiguo, Cai Xia, et al. Distribution of residual stress in packaging assemblies of chip on board. *Chinese Journal of Semiconductors*, 2003, 24(6):649 (in Chinese) [黄卫东, 孙志国, 彩霞, 等. 板上芯片固化后残余应力分布的有限元模拟. *半导体学报*, 2003, 24(6):649]
- [8] Lau J H, Pao Y H. Solder joint reliability of BGA, CSP, flip chip, and fine pitch SMT assemblies. New York:McGraw-Hill, 1997:112
- [9] Lau J H, Rice D W, Harkins C G. Thermal stress analysis of tape automated bonding packages and interconnections. *IEEE Transaction on Components, Hybrids and Manufacturing Technology*, 1990, 13(1):182

Damage of Bonding Force on IC Aluminum Pad in COF Structure

Peng Yaowei¹, Chan Justy², Wang Zhiping², and Xiao Fei¹

(1 *Department of Material Science, Fudan University, Shanghai 200433, China*)

(2 *China Technology Center, Philips Mobile Display Systems, Shanghai 200131, China*)

Abstract : The impact of bonding force on Al pad in IC chip ,and the maximum bonding force are achieved by both experimental and simulative methods. Track width and misalignment are two main factors studied. The former affects the foil and interconnect design ;while the later is related to manufacturing tolerance and bonding machine accuracy. It is shown that the bonding force ,track width and misalignment have great influence on the maximum stress in the aluminum pad of the IC.

Key words : chip on foil ; non-conductive film ; Au-Au eutectic ; finite element simulation

EEACC : 2550X ; 0170J

Article ID : 0253-4177(2005)01-0209-06

Peng Yaowei female ,was born in 1978 ,master candidate. Her research interests mainly focus on electronic packaging and interconnect technology.

Received 17 December 2003 ,revised manuscript received 9 May 2004

©2005 Chinese Institute of Electronics