

一种采用半速结构的 CMOS 串行数据收发器的设计

黄 林 郭 淦 叶菁华 陈一辉 洪志良

(复旦大学微电子学系, 上海 200433)

摘要: 设计了一种单片集成的 CMOS 串行数据收发器. 该收发器用于线上速率为 1.25 Gb/s 的千兆以太网中, 全集成了发送和接收的功能, 主要由时钟发生器、时钟数据恢复电路、并串/串并转换电路、线驱动器和均衡器组成. 为了降低系统设计难度和电路功耗, 收发器采用了半速率时钟结构. 电路采用 1.8V 0.18 μ m 1P6M CMOS 数字工艺, 芯片面积为 2.0mm \times 1.9mm. 经 Cadence Spectre 仿真验证以及流片测试, 电路工作正常, 功能良好.

关键词: 收发器; 时钟发生器; 时钟数据恢复; 线驱动器; 均衡器; 并串/串并转换

EEACC: 1280; 2570D; 6240Z

中图分类号: TN432 **文献标识码:** A **文章编号:** 0253-4177(2005)01-0180-07

1 引言

随着集成电路性能的不断提高和网络技术的日益发展, 人们对通信带宽的要求也越来越高. 高速串行数据通信已成为处理器与外设互连、多芯片间互连、高速硬盘接口 (如 SATA)、串行网络接口 (如 FireWire, Ethernet 和 SONET) 等的重要组成部分^[1~4]. 过去千兆以上的高速串行连接一般采用 GaAs 或双极工艺实现, 由于 CMOS 工艺在成本、功耗以及集成度上的优势, 用 CMOS 工艺实现类似的连接器有着显而易见的优点. CMOS 技术的劣势在于其相对较低的截止频率. 传统全速结构的时钟频率等于数据传输率, 数据率的不断提高将不利于 CMOS 技术在高速通信系统中的进一步应用. 因此有些设计开始采用半速时钟或多相时钟结构^[5,6], 以降低收发器整体设计和时钟分布的难度以及系统功耗.

本文研究了半速时钟结构, 设计了一种单片集成的 1.25 Gb/s 收发器电路. 它同时集成了发送和接

收的功能, 实现了 IEEE802.3z 标准千兆以太网物理层中物理介质附加子层的全部功能.

2 系统结构

收发器的体系结构如图 1 所示, 包含发送路径和接收路径. 发送器路径包括输入锁存器、并串转换电路、线驱动器和时钟发生器. 从基带过来的以 8B/10B 方式编码的 10 位并行数据 (TX_DATA) 首先通过 125MHz 的系统时钟 (TBC) 锁存到输入锁存器中, 并串转换电路利用片上时钟发生器产生的高速时钟将并行数据转换为 1.25 Gb/s 的串行数据. 线驱动器将高速串行数据转换为适合电缆传输的信号, 并提供足够的电流以驱动特征阻抗为 75 Ω 的电缆.

接收器路径包括均衡器、时钟数据恢复电路和串并转换及字对准电路. 为了补偿传输电缆对信号的高频衰减, 抑制码间干扰和降低误码率, 在接收器前端设计了一个固定均衡器. 从电缆过来的信号经均衡器处理后送入时钟数据恢复电路中, 时钟数据恢复电路从数据流中提出时钟信号并用它来同步输

黄 林 男, 1975 年出生, 博士研究生, 主要研究方向为模拟和混合信号集成电路设计. Email: hlcn @263.net

郭 淦 男, 1978 年出生, 博士研究生, 主要研究方向为模拟和混合信号集成电路设计.

洪志良 男, 博士, 教授, 博士生导师, 从事集成电路设计与研制工作.

2003-12-26 收到, 2004-03-28 定稿

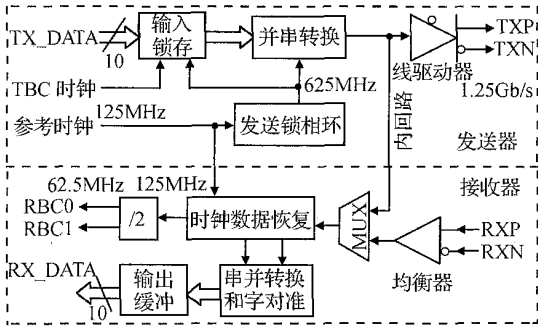


图 1 收发器体系结构框图
Fig. 1 Transceiver architecture diagram

入数据. 串并转换及字对准电路则将恢复出的数据还原为字节同步的 10 位并行数据 (RX_DATA) 及双沿参考时钟 (RBC).

对于半速时钟结构, 压控振荡器仅需工作在全速结构的一半. 时钟发生器输出差分的两相时钟, 时钟频率为数据率的一半. 时钟数据恢复电路也只需恢复出半速率时钟, 数据流则在此分为两路输出, 分别对应时钟的前后沿. 对于半速率结构需要注意的是, 应调节本地时钟, 使它具有尽可能理想的占空比 (50%), 因为时钟占空比的畸变将直接对数据引入确定性的抖动.

3 发送器的设计

3.1 时钟发生器

在集成电路中, 高速时钟发生器一般采用锁相环 (PLL) 实现. 设计采用电荷泵型锁相环, 由三状态鉴频鉴相器 (PFD)、电荷泵 (charge pump)、环路滤波器、压控振荡器 (VCO) 和分频器 ($N = 5$) 组成. 电荷泵采用四开关加单位增益缓冲器的差分结构, 单位增益的缓冲器可以有效减小电荷分配效应. 同时为了降低 MOS 开关的时钟馈通和电荷注入效应, 在四个开关的源极各串联一个常通的开关管. 由于电源电压的限制以及为了扩大控制电压的范围, 设计没有采用共源共栅电流源, 而是将电流源管适当取为长沟道的管子以增加充放电电流的匹配性. 环路滤波器采用二阶 RC 无源滤波器, 环路滤波器可以在 PLL 开环传递函数中引入附加的零点和极点, 这些零点和极点可用来对 PLL 的噪声和瞬态特性进行权衡.

VCO 是时钟发生电路中的关键单元, 设计采用环形振荡器的结构, 由六级延迟单元组成. 振荡器的振荡频率由延迟单元的延迟时间决定, 延迟时间则通过外部控制电压 (V_{CNTR}) 控制. 但是延迟时间同样也会受到电源和衬底电压的影响, 电源线和衬底中的噪声会使振荡器产生的时钟相位发生随机抖动. 为此, 电路采用了一种镜像偏置的差分延迟单元结构, 它具有很好的抑制电源和衬底噪声的能力, 并能工作在当前的深亚微米 CMOS 工艺的低电源电压下^[7,8].

图 2 所示为环形振荡器中的延迟单元及其偏置电路, 关键部分是对称负载和镜像偏置电路. 对称负载由一栅漏短接的 PMOS 管和同样大小的用 V_{BP} 偏置的 PMOS 管组成, 它的电流电压特性关于电压摆幅的中点对称. 由于用实际 MOS 管实现的可调电阻负载一般都是非线性的, 非线性负载会将共模噪声转变为差模噪声, 从而影响到延迟时间. 对称负载虽然也是非线性的, 但由于其具有对称性, 可将一阶耦

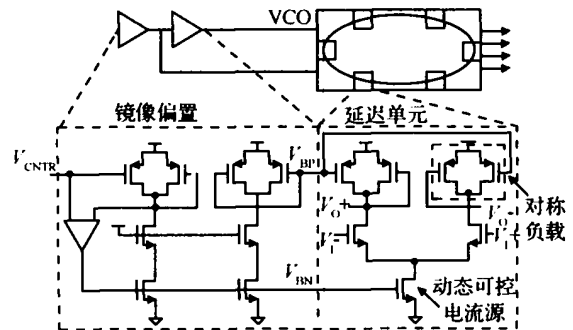


图 2 延迟单元和镜像偏置电路
Fig. 2 Delay cell and replica biasing circuit

合项消除掉, 只留下高阶项, 从而大大减小电源上共模噪声所引起的抖动^[7]. 镜像偏置电路用于维持恒定的电流^[8]. 该电路由一个运放和两个延迟单元的半镜像电路组成, 由运放产生的 V_{BN} 动态调整流过镜像电路和延迟单元的电流, 直到使 V_{BP} 与 V_{CNTR} 相等, 从而为对称负载提供合适的电压摆幅限制. 同时, 反馈环路也可有效地提高电流源的输出阻抗, 使其电流与电源和衬底电压无关. 由于采用了这些技术, VCO 的电源敏感度很低. 图 3 为不同模型参数、电源电压和工作温度下仿真得到的 VCO 电压-频率特性. 可以看出, 当控制电压在 $0.4V$ 到 $V_{DD} - 0.4V$ 之间时, 曲线基本上是线性的, 并由此可确定 VCO 的增益. 在其他条件不变的情况下, 电源电压变化

10%时,VCO的振荡频率仅变化0.6%。

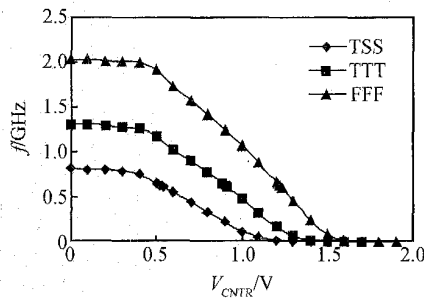


图3 VCO电压-频率特性

Fig. 3 VCO voltage-frequency characteristic

发送锁相环线性模型的开环增益可以写为:

$$G_H(j\omega) = -\frac{I_{CP} K_{VCO}}{N^2 C_p} \times \frac{1+j\omega z}{1+j\omega p} \times \frac{1}{z} \quad (1)$$

其中 $z = R_z C_z$; $p = R_z C_z C_p / (C_z + C_p)$; I_{CP} 是电荷泵的电流; K_{VCO} 是压控振荡器的增益. 这是一个三阶型锁相环, 其单位增益带宽近似为 $\omega_c = I_{CP} K_{VCO} R_z / N$. 环路滤波器参数的选择决定其频率响应、环路带宽和相位裕量. 设计中可以根据环路带宽和环路零点及高阶极点的关系确定出滤波器的参数值:

$$\begin{aligned} R_z &= \frac{N}{I_{CP} K_{VCO}} \omega_c \\ C_z &= \frac{I_{CP} K_{VCO}}{N} \times \frac{1}{\omega_c^2} \\ C_p &= \frac{I_{CP} K_{VCO}}{N} \times \frac{1}{\omega_c^2} \end{aligned} \quad (2)$$

其中 ω_c 和 ω_p 为给定参数值, 设计时可取为 $4\omega_c$, 则相位裕度约为 60° . ω_c 的确定是一个折中和优化, 宽带锁相环有利于减小 VCO 对系统抖动的贡献, 但带宽也不能任意增大, 还应考虑抑制寄生边带和稳定性. 本设计中环路带宽取为 $2 \times 2\text{MHz}$, 相位裕度为 62° , 可以兼顾 PLL 的瞬态和噪声性能以及稳定性. 电荷泵电流为 $20\mu\text{A}$, 压控振荡器增益约为 1.9GHz/V , 计算给出 $R_z = 1.8\text{k}\Omega$, $C_z = 192\text{pF}$, $C_p = 12\text{pF}$.

3.2 并串转换电路

并串转换电路实际上是一个高速的时分多路选择器, 主要由传输门结构的两个 5×1 多路选择器 (5×1 MUX) 和一个 2×1 多路选择器 (2×1 MUX), 以及相应的时钟控制逻辑组成. 由于采用的是半速时钟, 每个 625MHz 的时钟周期必须串行化两位数据. 锁存

的 10 位数据按照奇偶分为两路, 两个并行的 5×1 MUX 在时钟逻辑产生的选通信号控制下分别输出并行数据的奇数位和偶数位, 然后再通过两相时钟采样, 由 2×1 MUX 选择输出奇数位和偶数位数据, 得到 1.25Gb/s 的串行数据. 高速并串及串并转换电路的设计需要注意时钟与数据的同步, 满足关键路径的时延约束, 以及降低功耗和高速数字电路对电源的噪声注入.

3.3 线驱动器

并串转换后的高速串行数据需要以适合媒介传输的方式发送到传输介质上, 因此需要一个线驱动电路实现信号匹配和阻抗匹配. 根据系统要求, 线驱动器的输出需要达到一定的幅度和带宽, 并满足一定的压摆率. 由于线驱动器工作在最高速率处, 其结构相对简单, 实际上是一个输出阻抗与电缆特征阻抗相匹配的大驱动电流的差分对. 设计选用电流型线驱动器, 其对电源和衬底噪声不敏感, 并具有很好的幅度控制^[4]. 对于差分电流型线驱动器, 其输出的单端幅度为:

$$V_{\text{swing}} = I_{\text{source}} R_{\text{cable}} / 2 \quad (3)$$

其中 I_{source} 为电流源驱动电流; R_{cable} 为电缆特征阻抗. 选用 75Ω 同轴电缆, 要求输出的差分幅度为 1500mV (即 $750\text{mV} \times 2$), 则计算得到的驱动电流为 20mA . 其次, 由于电缆的特性阻抗都比较小, 因此其输出节点是一个低阻抗的节点. 它在输出节点上的带宽为:

$$\text{GBW} = 1 / (2 R_{\text{out}} C_{\text{out}}) \quad (4)$$

其中 R_{out} 和 C_{out} 分别为输出节点的等效阻抗和总分布电容. 通过估算, 其输出带宽可以达到约 6GHz , 满足设计要求.

4 接收器的设计

4.1 均衡器

传输介质 (如电缆) 可以看成是一个低通系统, 其对信号的不同频率分量的衰减和时延不同, 其中高频分量衰减比较严重, 信号发散又将产生码间干扰, 使数据眼图发生衰减和畸变. 因此, 为了抑制码间干扰和降低误码率, 在接收器前端设计了一个固定均衡器以补偿信号高频分量的衰减. 该固定均衡器由预放大器、无源高通滤波器和输出级组成. 预放大器

相当于一个低增益高带宽的输入缓冲器；高通滤波器采用无源电阻电容阵列实现，为了很好地适应电缆特性、温度和工艺等方面的因素，设计中采用了选择开关数字调节高通滤波器的截止频率；均衡器的输出级将高通滤波后的模拟信号整形为满幅度的数字信号。

4.2 时钟与数据恢复

在基带传输的数字通信系统如千兆以太网中，往往只有数据信号被传送，而数据的同步时钟信号是不被传送的。在接收端为了能对数据进行同步，需要将同步时钟信号从随机码流中提取出来。本文的时钟数据恢复电路主要基于传统的电荷泵锁相环结构，它是接收部分的核心电路。由于时钟恢复部分的主要功能是调整相位而不是频率，其锁相环的调节速度很慢，在本地时钟频率偏差较大的情况下，环路的锁定过程将会很长，而且很可能发生失锁。为了克服这个问题，设计采用了如图 4 所示的双环路结构，采用一个附加的锁频环路将本地时钟频率预先调整到 625MHz 左右一个很小范围内。电路工作时，锁频检测器一直监测着本地时钟的频率，如果频率偏差大于 Δf_1 ，则电路工作在频率锁定模式；如果偏差小于 Δf_1 ，则进入时钟恢复工作模式。设计中采用了两种误差阈值 ($\Delta f_2 > \Delta f_1$) 的控制状态，既保证了本地时钟的精度，又使得电路工作模式切换时产生的频率偏移小到可以被忽略，使电路有很好的稳定性。当接收器前端没有检测到有效数据信号时，电路也将停留在频率锁定模式。

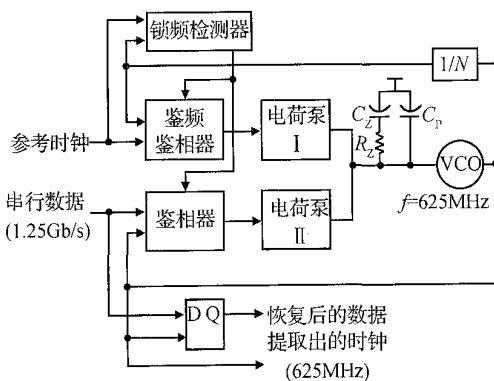


图 4 时钟与数据恢复电路结构

Fig. 4 CDR block diagram

在双环路结构中，真正起到时钟恢复作用的是锁相环路，其中重要的设计是鉴相器。对于半速线性

鉴相器，时钟的上升沿和下降沿都要采样数据，在数据的每一个跳变沿都要产生一个误差信号，其脉冲宽度成比例于时钟与数据的相位差。文献[6]提出了一种线性半速时钟恢复电路，但模块之间结合性较强，不易移植到其他系统中。本文在鉴相器及电荷泵结构上做了一些改进，使之适用于传统的电荷泵型锁相环。图 5 为鉴相器的结构示意图，图中包含四个锁存器和两个异或门^[6]。由于锁存周期为 800ps，为了减小延迟，锁存器和异或门采用了高速逻辑结构。数据同时输入到上下两路锁存器中，上下两路时钟相位相反。如果输入数据有跳变沿发生，在时钟的每半周期内，由于上下两路的输出 X_1 和 X_2 分别对应不同时钟边沿的锁存结果，其异或的差值 (Error) 反映了时钟和数据之间的相差。由于输入数据的随机性，误差信号的特性也是随机的，因此必须再引入一个参考信号，利用两者的相对关系表征净误差。参考信号 (Ref) 是第二级两路锁存器异或的结果，对应数据有跳变沿时为高电平，电平宽度为半个时钟周期。当本地时钟锁定到输入数据上时，时钟的跳变沿对准数据位的正中，Error 脉冲的宽度将是 Ref 脉冲的一半。因此在接入电荷泵时，需要将 Error 信号对应的放电电流设计为 Ref 信号充电电流的两倍。

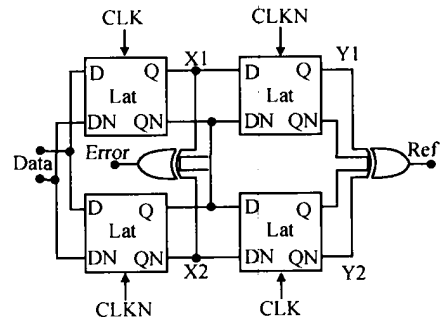


图 5 鉴相器结构

Fig. 5 Phase detector structure

仿真得到的电荷泵输出净电流与输入相差的关系如图 6 所示。从图中可以看出两者近似的线性关系，相比于 Bang-bang 型的早迟两值判决，将有利于电荷泵的工作，并能减小锁定后的纹波电压和输出抖动。环路滤波采用无源 RC 滤波器，整个环路闭环传递函数的抖动峰值和单位带宽可以近似写为^[9]：

$$JP = 1 + \frac{1}{-3dB R_z C_z}, \quad -3dB R_z K_{VCO} K_{PD} \quad (5)$$

其中 $K_{PD} = 2 I_{CP} D_F$ ， D_F 为数据跳变沿密度因子，对于伪随机码流为 1/2。结合前面时钟发生器锁相环

的设计考虑,计算得到串联的 $R_z = 0.72k$, $C_z = 660pF$,同时并联一个 $C_p = 40pF$ 的电容以进一步抑制高频抖动.对于 $1.25Gb/s$ 的输入信号,时钟与数据恢复电路将产生奇偶两路数据输出,如图 5 中的 Y_1 和 Y_2 ,其分别对应于 $625MHz$ 恢复时钟上升沿和下降沿.

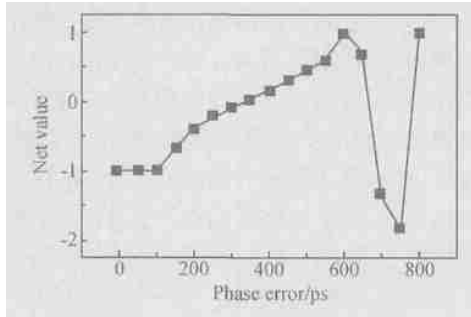


图 6 电荷泵净输出与相差的关系

Fig. 6 PD output versus phase error relationship

4.3 串并转换和字对准

串并转换电路是将时钟数据恢复电路恢复出来的数据和同步时钟通过同步头调整并行发送到基带.由于并行数据在串行化过程中将遗失字节边界,因此在对串行数据进行串并转换中必须通过字对准电路确认出正确的字节边界.根据 IEEE802.3z 标准,可以通过对 Comma 信号('0011111'或'1100000')的检测找到同步头的位置,来调整分频时钟的输出相位,实现字节同步.由于时钟恢复电路采用半速结构,其恢复出的数据已为两路,因此其后串并转换实际上是一个按照正确字节边界 $2/10$ 的解串过程.串并转换采用两路移位寄存器结构,Comma 信号检测可用简单的逻辑电路实现,字节同步可以通过对分频时钟置位实现.

5 仿真与流片测试

采用 Cadence Spectre 仿真工具和 $0.18\mu m$ UMC 模型,在不同的 PVT(P 表示模型参数,V 表示电源电压,T 表示工作温度)条件下进行了仿真验证.时钟发生器在上电工作大约 $8\mu s$ 后达到锁定状态,锁定状态下控制电压上的纹波仅有 $130\mu V$.时钟与数据恢复电路开始工作时,首先处在时钟调整状态,然后进入时钟数据恢复状态,调整本地时钟的相位对准数据的中间.图 7 为发送器发送 2^7-1 伪随机码流的数据眼图.在 $20mA$ 驱动电流下,输出数据的有效

差分幅度为 $1400mV$,总抖动为 $65ps$ (peak-to-peak).图 8 为接收器恢复出的时钟,频率为 $625MHz$,抖动的峰峰值约为 $80ps$.在典型条件下,发送器的总体功耗为 $65mW$,接收器的总体功耗为 $63mW$.

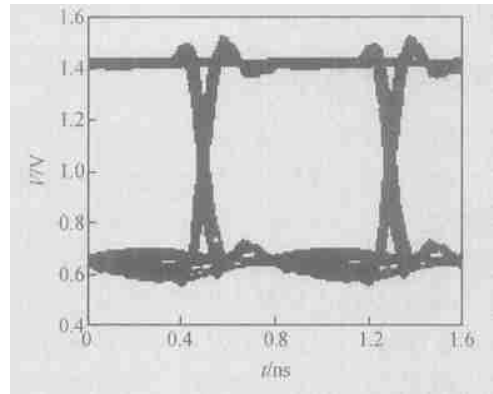


图 7 发送数据的眼图

Fig. 7 Transmitted data eye

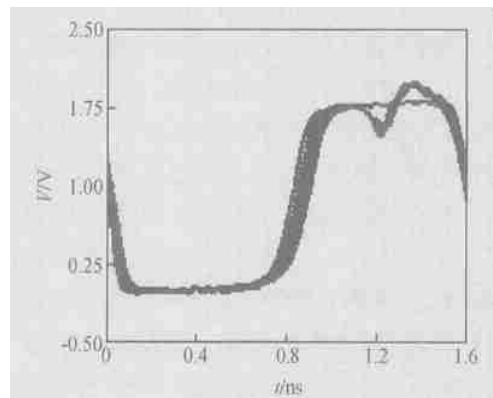


图 8 CDR 恢复出的时钟

Fig. 8 CDR recovered clock

收发器采用 $1.8V$ $0.18\mu m$ $1P6M$ CMOS 数字工艺实现,芯片有源面积为 $2.0mm \times 1.9mm$.如图 9 所示,各个模块已在图中标出.从图中可以看出,整个收发器系统同时还集成了带隙基准源(Ref)、上电复位(RN)和用于数字调节的串行控制接口(SCI).芯片通过了流片测试,测试数据分别为固定码流和伪随机码流.测试结果表明,时钟发生器正确锁定在工作频率上,数据可以被正常发送和接收.时钟信号已被正确地数据流中提取出来,串并转换能够按照正确的 Comma 位实现.

6 结论

本文介绍了一种采用深亚微米 CMOS 工艺实现

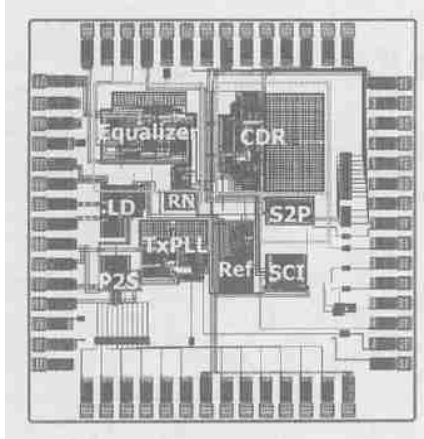


图 9 芯片版图

Fig. 9 Chip layout photograph

的单片集成的高速串行数据收发器。当数据率越来越高时,为了降低本地时钟的频率,同时保证以较低的功耗和简单的结构适应高速数据流,设计采用了半速时钟结构,降低电路的工作速度,有效降低了收发器系统设计的难度和电路的总体功耗。电路通过了软件仿真,总体功耗为 128mW,工作正常,功能良好。芯片的测试结果也显示工作正常,主要功能良好。该收发器实现了千兆以太网物理介质附加子层的全部功能,电路可以满足千兆信号的传输要求,半速时钟结构也可以广泛应用在各种高速串行通信接口电路中。

参考文献

[1] Lee K, Kim S, Ahn G, et al. A CMOS serial link for fully du-

plexed data communication. *IEEE J Solid-State Circuits*, 1995, 30 (4) :353

[2] Zhu Jiang, Chen Yu, Hong Zhiliang. 784Mb/s transmitter design with 0.18μm CMOS technology. *Chinese Journal of System Engineer and Electronics*, 2001, 23 (3) :102 (in Chinese) [朱江,陈钰,洪志良. 0.18μm CMOS 工艺 784Mb/s 的数据发送器设计. *系统工程与电子技术*, 2001, 23(3) :102]

[3] Zhu Zheng, Qiu Zujiang, Ren Junyan. A fully integrated CMOS Ggabit Ethernet serialize & deserialize transceiver chip. *Chinese Journal of Communications*, 2002, 23 (1) :70 (in Chinese) [朱正,邱祖江,任俊彦. 一种全 CMOS 工艺吉比特以太网串并-并串转换电路. *通信学报*, 2002, 23(1) :70]

[4] Ye Jinghua, Chen Yihui, Guo Gan, et al. A transmitter for high-speed data communication. *Chinese Journal of Semiconductors*, 2003, 24(7) :763 (in Chinese) [叶菁华,陈一辉,郭淦,等. 一种适用于高速串行数据通信的发送器. *半导体学报*, 2003, 24(7) :763]

[5] Rau M, Oberst T, Lares A, et al. Clock/ data recovery PLL using half-frequency clock. *IEEE J Solid-State Circuits*, 1997, 32(7) :1156

[6] Savoj J, Razavi B. A 10Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector. *IEEE J Solid-State Circuits*, 2001, 36(5) :761

[7] Maneatis J G, Horowitz M A. Precise delay generation using coupled oscillators. *IEEE J Solid-State Circuits*, 1993, 28(12) :1273

[8] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques. *IEEE J Solid-State Circuits*, 1996, 31 (11) :1723

[9] De Vito L M. A versatile clock recovery architecture and monolithic implementation. In: *Monolithic phase-locked loops and clock recovery circuits*. New York: IEEE Press, 1996 :405

CMOS Serial Transceiver with Half-Rate Architecture

Huang Lin , Guo Gan , Ye Jinghua , Chen Yihui , and Hong Zhiliang

(Department of Microelectronics , Fudan University , Shanghai 200433 , China)

Abstract : The design of a monolithic integrated CMOS serial transceiver used in 1.25 Gb/s Ggabit Ethernet is described. The transceiver comprises full transmit and receive functions ,mainly including clock generator ,clock and data recovery circuit ,serializer/ deserializer ,line driver and equalizer. The half-rate architecture is adopted to reduce the complexity of design and save power. The chip is designed in 1.8V 0.18 μ m 1P6M CMOS digital process and its active area is 2.0mm \times 1.9mm. Simulated by Cadence Spectre and tested with chipset ,the circuit works properly.

Key words : transceiver ; clock generator ; clock and data recovery ; line driver ; equalizer ; serializer/ deserializer

EEACC : 1280 ; 2570D ; 6240Z

Article ID : 0253-4177(2005)01-0180-07

Huang Lin male ,was born in 1975 ,PhD candidate. His research interests include analog and mixed signal IC design. Email :hlcn @263 . net

Guo Gan male ,was born in 1978 ,PhD candidate. His research interests include analog and mixed signal IC design.

Hong Zhiliang male ,PhD ,professor. His research interests include IC design and test .

Received 26 December 2003 ,revised manuscript received 28 March 2004

©2005 Chinese Institute of Electronics