

一种新型高速低抖动低功耗双模预分频器 及其在 PLL 频率综合器中的应用

徐 勇^{1,2} 王志功¹ 李智群¹ 熊明珍¹

(1 东南大学射频与光电集成电路研究所, 南京 210096)

(2 解放军理工大学理学院, 南京 211101)

摘要: 提出了一种零中频两次变频 802.11a 接收机频率合成方案,降低电路功耗的同时,提高了电路可靠性.改进了双模预分频器的结构,提出了一种新型集成“或”逻辑的 SCL 结构 D 锁存器.采用 0.18 μ m 数模混合 CMOS 工艺贴片测试表明,双模预分频器在 1.8V 电源下功耗仅 5.76mW(1.8V \times 3.2mA),RMS 抖动小于 1%.

关键词: 双模预分频器; 可编程分频器; 低功耗; 低抖动

EEACC: 1265B; 2570D

中图分类号: TN79+1

文献标识码: A

文章编号: 0253-4177(2005)01-0176-04

1 引言

在无线局域网(WLAN)射频前端电路设计中,作为本振源,锁相环型频率综合器是系统设计中的一个重要模块.由于应用于 802.11a 频段频率合成,压控振荡器(VCO)频率较高,一般采用前置双模预分频与程序分频级联共同完成频率合成.

本设计采用 0.18 μ m 数模混合 CMOS 工艺实现了频率综合器的双频段高速、低抖动与低功耗输出.分频器最高速度为 4.5GHz,双模预分频输出均方差相位抖动仅 0.2%,在 1.8V 电源电压作用下消耗电流仅 3.2mA.芯片面积为 0.62mm \times 0.05mm.本设计不以最高速度为惟一追求目标,在综合比较芯片的速度、功耗及工艺条件的基础上,本设计性能更为优良^[1~4].

2 频率综合器的总体方案

由于接收机采用了零中频二次下变频方案,频

率综合器需要分别产生 4GHz 与 1GHz 两频段本振信号输出.采用 VCO 输出作为 4GHz 频段本振,如图 1 所示,锁相环分频器部分首先经高速 4 分频作为 1GHz 频段本振输出.多点频率综合部分采用双模预分频与程序预置分频相结合方案.考虑到为了尽可能减小环路锁定时间,程序分频器响应时间不宜太长,所以图中双模预分频器(dual-modulus prescaler, DMP)输出频率 f_{DMP} 不宜太低;但同时考虑到可编程分频器作为数字综合电路,不同工艺工作速度有限,频率 f_{DMP} 又不宜太高,另外结合系统频点要求及双模预分频器与程序分频器模值组合的特点,最后双模预分频器模值定为除 8/9.频率合成整体方案参见图 1 阴影部分.

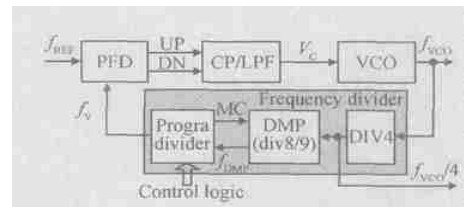


图 1 锁相环频率综合器框图

Fig. 1 Block diagram of PLL frequency synthesizer

徐 勇 男,讲师,硕士,研究方向为射频与模数混合集成电路设计.

王志功 男,教授,博士生导师,研究方向包括超高速、微波和毫米波集成电路,光电集成电路设计.

李智群 男,副教授,博士,研究方向为射频集成电路设计.

2003-12-05 收到,2004-03-17 定稿

3 前置 4 分频器设计

前置固定 4 分频器采用了经典两级 D 触发器 (DFF) 2 分频级联构成. 每一级 D 触发器分别由基于 CMOS SCL 结构的主、从锁存器构成, 如图 2 所示. 锁存器电路采用差分结构, 提高了射频电路对共模信号的抑制能力. 不同于典型差分结构的锁存器设计, 本文中的输出级采用了 PMOS、NMOS 互补耦合对结构替代了单纯 NMOS 耦合对结构, 在保证电路速度的条件下, 最大可能地提高输出信号 (QP, QN) 的摆幅. 在输出信号摆幅足够强时, 该结构锁存器可以直接驱动后级负载电路而不必另行放大. 因此本结构在降低设计复杂性的同时, 提高了电路的工作速度^[1].

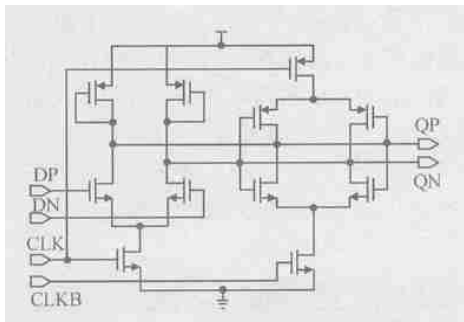


图 2 锁存器单元结构

Fig. 2 Circuit schematic of latch

4 高速 8/9 双模预分频器设计

8/9 双模预分频器框图如图 3 所示, 基本结构由同步 4/5 变模分频器, 异步除 2 分频器和逻辑控制三部分构成^[3,5]. 控制信号 MC 为 0 时除 8 输出, MC 为 1 时除 9 输出. 该双模预分频设计采用的是经典的 $2^N / (2^N + 1)$ 模式结构, 系统可拓展性、设计可重用性较强. 经仿真验证, 本方案可以通过简单地增加 1, 2 级异步除 2 分频器实现 16/17 和 32/33 双模预分频, 更多模数 $2^N / (2^N + 1)$ 双模预分频器设计依此类推. 结合后级程序分频器本方案可以实现任意整数分频, 特别适用于频点多而散的频率合成系统.

除 4/5 变模分频器由 3 级 SCL 结构的 D 触发器与两级“或”门构成, 工作在除 8/9 双模预分频器的最高频部分. 除 8/9 双模预分频器的工作速度主要由其决定, 该部分速度与性能对整个电路的影

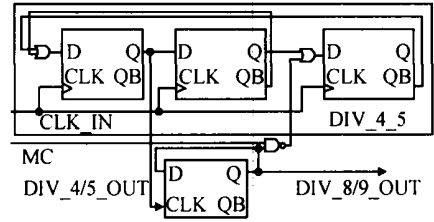


图 3 8/9 双模预分频器框图

Fig. 3 Dual-modulus divide-by-8/9 prescaler architecture

响至关重要, 因此对其进行了重点设计与优化. 为进一步提高变模分频速度, 借鉴 TSPC D 触发器集成逻辑门的经验^[3], 本设计中将“或”门与 SCL D 触发器作了集成, 即如图 4 所示集成“或”逻辑的 D 锁存器电路. 图中 D1 与 D2 为“或”门的两个输入端, VB 为直流参考电平, 电平值保持 1.0V, 由内部电路产生或由外部直接提供. 这种集成“或”门的 D 锁存器不但简化了电路设计, 而且避免了单独设计逻辑门而带来的寄生参数的影响, 减少了速度的损失.

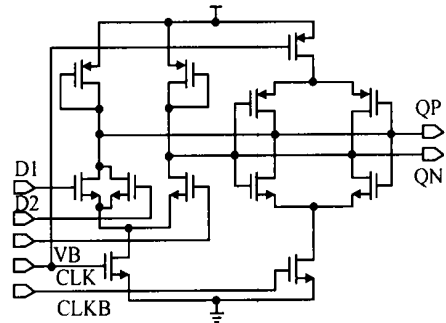


图 4 集成或逻辑的 D 锁存器电路结构

Fig. 4 D-latch architecture with OR input

同样由于输出级采用了 PMOS、NMOS 互补耦合对结构替代了单纯 NMOS 耦合对结构, 在保证电路速度的条件下, 最大可能地提高了输出信号 (QP, QN) 的摆幅, 因此同步除 4/5 变模分频器内部模块之间以及与异步除 2 分频器之间均不需外加差分源跟随器. 通过仿真, 集成或逻辑的除 8/9 双模预分频器其工作速度提高 10% ~ 20%, 另外由于电路的简化, 加之电路基本采用差分结构 (个别逻辑单元门例外), 信号摆幅低, 功耗也相应降低. 改进后的 8/9 分频器如图 5 所示.

图 6 所示为双模预分频器的仿真波形, 输入为前级输出正弦波, MC = 1 时除 9 分频的实现源自于

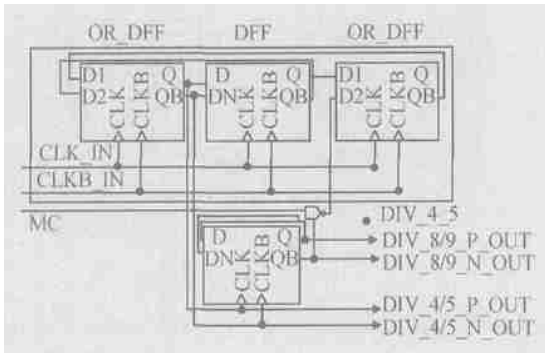


图 5 改进型差分结构 8/9 双模预分频器框图

Fig. 5 Improved architecture of divide-by-8/9 DMP

8/9 双模预分频器中除 4/5 变模分频的除 4 与除 5 的周期交叠而成。由于仿真时考虑了测试环境,图中除 4/5 输出及除 8/9 输出端加了测试 buffer,并带上了模拟负载,包括焊盘电容及测试探针 50 Ω 电阻。图中所示输出即为模拟探针上所得。

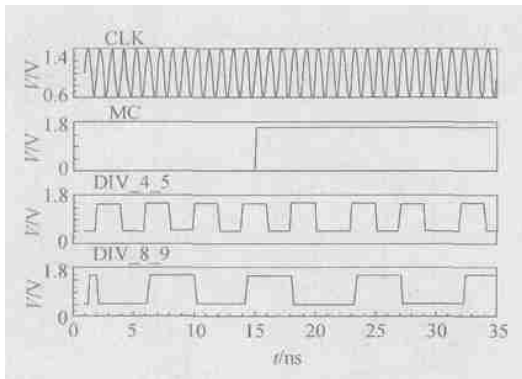


图 6 双模预分频器仿真波形

Fig. 6 Simulation waves of DMP

5 版图与测试结果

为了验证方案的性能,我们使用了 0.18 μm 数模混合 CMOS 工艺实现了该方案,为了先期与 PLL 主通道部分实现整合测试,在低速程序分频部分暂时用除 8 和除 32 分频器代替。图 7 给出了芯片的显微照片,芯片面积为 1.2mm \times 0.47mm,核心电路面积仅仅为 0.62mm \times 0.05mm。为了测试方便,电路内部引出了许多节点,为了准确测试核心电路功耗,版图设计中将核心电路与测试 buffer 电源分开供电。

测试主要分为功耗测试、抖动测试与分频精度测试。功耗测试表明核功耗(含全部三部分串联模块)与 buffer 功耗分别为 7.9mA 与 17mA,与仿真值

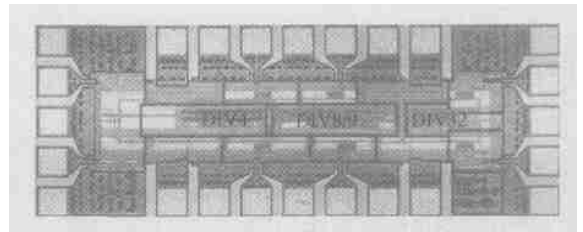


图 7 频率合成模块版图

Fig. 7 Layout of frequency synthesizer

7.81mA 与 20mA 匹配良好。其中双模预分频部分单独投片测试核心功耗仅 5.76mW,基本接近仿真值。4 分频最高频率 4.7GHz,图 8 为 4.256GHz 时 4 分频输出示波器波形,由图读出频率 1.055GHz,占空比 50.5%,均方根(RMS)抖动值为 2ps 仅占输出信号周期的 0.2%。对于除 8/9 双模预分频器测试,用频谱分析仪准确获得了频率在电平 MC 的控制下正确切换的信息并且分频精度良好。图 9 为 4.256GHz 输入经高速 4 分频后又由双模预分频器除 9 后的示波器波形。波形显示占空比为 55.3%,频率为 118.3MHz。测试结果表明该电路非常准确地完成了双模分频设计要求。

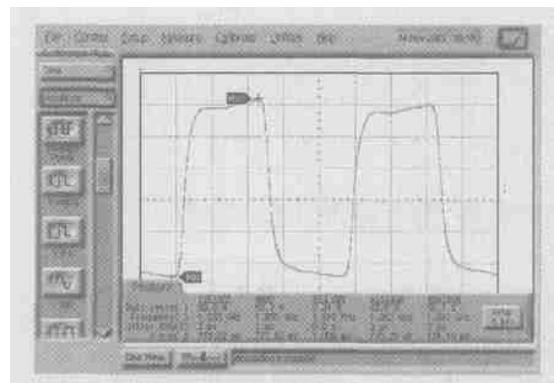


图 8 高速 4 分频器测试输出波形

Fig. 8 Waveform of high speed quarter divider

6 结论

本文阐述了适用于零中频两次变频 802.11a 接收机方案中频率综合器的分频设计方法。该设计需要同时给系统提供 4GHz 频段与 1GHz 频段本振信号,因此设计时没有将双模预分频直接接到 VCO 之后而是先除 4 分频后再双模除 8/9 分频,既提高了电路的稳定性与可靠性,又实现了设计需求的高速、低抖动与低功耗。投片测试结果表明测试与仿真结

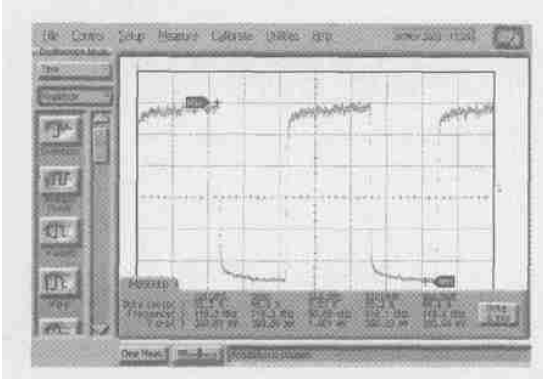


图 9 8/9 双模预分频器除 9 时输出波形

Fig. 9 Divide-by-9 waveform of divide-by-8/9 DMP

果匹配很好。

参考文献

[1] Chi Baoyong ,Shi Bingxue. A novel CMOS dual modulus prescaler based on new optimized structure and dynamic circuit technique. Chinese Journal of Semiconductors ,2002 ,23 :357

[2] Huang C M, Floyd B A, Park N, et al. Fully intergrated 5.35GHz CMOS VCOs and prescalers. IEEE Trans Microw Theory Tech ,2001 ,49(1) :17

[3] Yang C Y,Dehng G K,Hsu J M,et al. New dynamic flip-flops for high-speed dual-modulus prescaler. IEEE J Solid-State Circuits , 1998 ,33(10) :1568

[4] Lam C,Razavi B. A 2.6 GHz/ 5.2 GHz frequency synthesizer in 0.4- μ m CMOS technology. IEEE J Solid-State Circuits ,2000 ,35(5) :788

[5] Ajjikuttira A B ,Chan W L ,Lian Y. A 5.5 GHz prescaler in 0.18/ μ m CMOS technology. 2002 IEEE Asia-Pacific Conference on AP-SIC ,2002 :69

A Novel High-Speed Lower-Jitter Lower-Power-Dissipation Dual-Modulus-Prescaler and Applications in PLL Frequency Synthesizer

Xu Yong^{1,2}, Wang Zhigong¹, Li Zhiqun¹, and Xiong Mingzhen¹

(1 Institute of RF & OE ICs, Southeast University, Nanjing 210096, China)

(2 College of Sciences, PLA University of Science and Technology, Nanjing 211101, China)

Abstract : A scheme of frequency synthesizer applied for 802.11a WLAN in zero IF two-step receiver is presented ,and lower power dissipation and more stable performance are gained. The structure of the dual modulus prescaler is optimized and a novel D latch integrated with "OR" logic gate is used. It is fabricated in 0.18 μ m mixed-signal CMOS process. The measured results show that chip can work well with 1.8V supply , and power dissipation of the core part in dual modulus prescaler is only 5.76mW. The rms-jitter is less than 1 %.

Key words : dual-modulus-prescaler ; programmable divider ; low power dissipation ; low jitter

EEACC : 1265B ; 2570D

Article ID : 0253-4177(2005)01-0176-04

Xu Yong male ,master. His work focuses on RF front-end circuit and mixed-signal circuit design.

Wang Zhigong male ,professor ,PhD. His research interests include ultra-speed ,microwave and millimeter wave circuit ,opto-electronic circuit design.

Li Zhiqun male ,associate professor ,PhD. His research focuses on RF front-end circuit design.

Received 5 December 2003 ,revised manuscript received 17 March 2004