

# 一种减小存储单元间串扰的新型阵列布局结构<sup>\*</sup>

冯国臣 郑新建 沈绪榜

(西安微电子技术研究所研究生部, 西安 710054)

**摘要:** 针对 SRAM 阵列中的串扰,给出了一种新型布局结构,即字线的“错序译码”组织结构和位线的“间隔译码”组织结构。“错序译码”组织结构是根据程序“顺序局部性”的特点提出的,“间隔译码”组织结构是根据“串扰局部性”的特点提出的.在存储器单元比值一定的条件下,采用这种结构可以显著减小由寄生 RC 所带来的单元间的串扰,提高存储器读写的速度和工作可靠性.仿真结果进一步证实了这种结论.

**关键词:** 存储器; SRAM; 存储阵列; 单元比值; 串扰; 顺序局部性

**PACC:** 8730G

**中图分类号:** TP333

**文献标识码:** A

**文章编号:** 0253-4177(2005)01-0170-06

## 1 引言

存储阵列中的串扰是影响存储器工作速度及可靠性的重要原因之一.为了减小串扰对存储器性能造成的影响,人们采取了种种措施<sup>[1~4]</sup>,例如:设计健壮的存储单元,将字线、位线采用交叉指型(interdigitized)布线以及交叉式(twisted/transposed)布线结构等,抵消寄生 RC 带来的不利影响.但是,为了节省面积、功耗等,存储单元的结构与性能往往是优化过的,改进的余地有限,嵌入式存储器的设计更是如此;而上述的布线方法会增加布线的复杂度.

我们根据程序的“顺序局部性”以及串扰的“局部性”特点,设计了字线的“错序译码”结构和位线的“间隔译码”结构.这种结构既减小了被操作单元间

的串扰,提高了存储器的读写速度和可靠性,又不需要增大单元的单元比值(CR),因而,不会使得单元的面积和功耗增加.

## 2 存储单元结构及阵列中的串扰分析

单纯从逻辑上考虑,存储器的结构并不复杂,但常常投片后测不出功能或者实测参数与设计值相去甚远.这一方面与工艺有关,另一方面与存储器的存储单元结构、数据端口结构、阵列布局等有非常大的关系.限于篇幅,本文主要讨论存储阵列中的串扰对存储器造成的影响以及解决方法.图 1 给出了 SRAM 六管存储单元的电路图和版图,其中 ROW 为字线,BIT 和 BIT# 为位线.

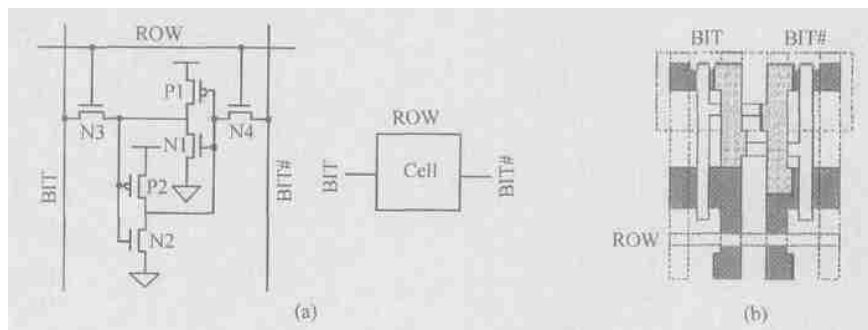


图 1 六管存储单元 (a) 六管单元电路图及其框图;(b) 六管单元版图

Fig. 1 6T SRAM cell (a) Schematic and block of 6T cell;(b) Layout of 6T cell

<sup>\*</sup> 国家部委预研基金资助项目(批准号:41308010305)

冯国臣 男,1975 年出生,博士研究生,主要研究方向为嵌入式计算机系统结构、芯片设计.

沈绪榜 男,1933 年出生,中国科学院院士,博士生导师,主要研究方向为并行计算机体系结构以及嵌入计算机系统及芯片设计.

2003-11-15 收到,2004-04-26 定稿

在讨论存储器阵列中的串扰之前,先来看与存储单元相关的两个关键结论<sup>[5]</sup>:

结论 1:为了防止读翻转,增强存储单元的可靠性,提高存储单元的噪声容限,存储单元比  $CR = \frac{W_{N2}/L_{N2}}{W_{N4}/L_{N4}}$  应该大于 1.28. 这是一个典型值,大多数微处理器工艺技术所需的最小 CR 值在 1.25 ~ 2.0 之间.

结论 2:为了正常地完成写入操作,上拉比  $PR = \frac{W_{P1}/L_{P1}}{W_{N3}/L_{N3}}$  的最大值不能超过 1.55.

在存储器的设计中,单元比 CR 及上拉比 PR 基本上决定了存储单元的面积、功耗、读写速度、噪声容限等参数<sup>[2,5]</sup>. 我们在存储单元以及存储阵列设计过程中通过 Spice 仿真、比较,选取  $CR = 1.5, PR = 1$ ,可在单元面积、速度、功耗、噪声容限等方面得到较优的配置. 关于 CR 值的选择对存储器抗干扰性的影响,此处不作过多论述,详细讲解请参考文献 [4,5] 中的相关内容.

存储阵列中,串扰的出现主要是由寄生 RC 效应以及内部噪声(如电源噪声、热噪声)引起的<sup>[2]</sup>. 图 2 给出了存储阵列中的分布电阻电容网络. 结合这个网络,从以下两个方面来分析串扰对存储阵列的影响.

第一,对字线/位线状态的影响.

假设要对阵列中第一行 (ROW1) 的单元进行操作,字线 ROW1 和位线 BIT0, BIT0 #, BIT1, BIT1 # 上的电平必然会发生变化,由于寄生 RC 的存在,ROW2 上的电平会出现一定的扰动,扰动的程度与阵列结构、制造工艺有很大的关系<sup>[2]</sup>. 最坏的情况会导致 ROW2 上的电平成为有效状态,从而导致操作失效. 同理,可以分析位线之间、位线和字线之间的串扰所带来的影响.

第二,对存储单元内容的影响.

如果说串扰对字线和位线的影响还不足以导致对存储器操作失败的话,那么串扰对存储单元内容的影响将是致命的. 如果对第一行的存储单元 cell0, cell1 操作完成后,紧接下来对 ROW2 上的存储单元进行操作,由于时间间隔非常短,对 cell0, cell1 操作时给 cell2, cell3 内部状态带来的干扰尚未完全消除,这样势必会对接下来的操作产生影响,最严重的情况是导致存储单元内部状态发生翻转. 也就是说,存储阵列中的寄生电阻电容所带来的串扰,是影

响存储器读写速度及可靠性的一个不可忽略的因素<sup>[1,2]</sup>. 以上只是定性地分析了串扰对存储阵列的影响,详尽的分析可借助 Spice 进行.

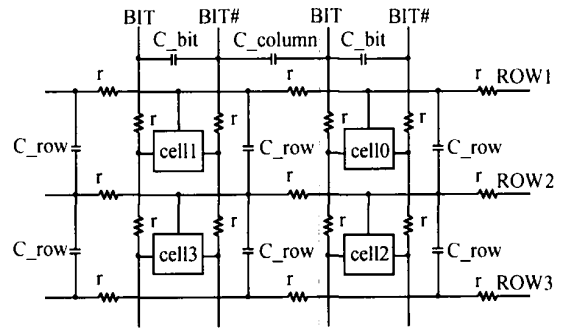


图 2 存储器单元之间寄生的 RC

Fig. 2 Parasitic RC among cells of SRAM

### 3 防止串扰的措施

实际上,在上面对串扰的分析中,有一点是非常值得关注的:串扰所带来的影响是“局部性”的,也就是说,受串扰影响最严重的单元出现在被操作的行、列周围,而与其远离的单元所受影响较小,我们称之为“串扰局部性”.

另外,从程序执行的角度来讲,它有“顺序局部性”的特点. 所谓“顺序局部性”是指在典型程序中,除非转移指令产生不按次序的转移,指令都是顺序(或程序顺序)执行的. 按序执行和不按序执行的比例在普通程序中大致是 5 : 1. 此外,对大型数组的访问也是顺序执行的<sup>[6]</sup>.

正是基于这两种“局部性”,我们主要从存储阵列的布局上采取措施,设计了字线的“错序译码”组织结构和位线的“间隔译码”组织结构,以降低存储器读写时寄生 RC 所带来的串扰. 本文以 8 × 8 的存储阵列为例,分别对这两种结构进行讨论(假设存储阵列的版图组织结构与电路组织结构相同,不另行画出版图结构).

第一,字线(行译码器)的“错序译码”组织结构.

“错序译码”组织结构的理论基础是程序的“顺序局部性”. 图 3(a)和 (b)是两种不同的字线组织结构. 其中,图 3(a)为“顺序”结构,图 3(b)为“错序”结构(逻辑上相邻的字线在结构上相互远离),这里暂且称这种“错序”结构为“错序译码”. 由于程序执行时,往往是连续地对存储单元进行“顺序”读写操作,结合上一节对字线间串扰的分析,不难看出:与图 3

(a)相比,图 3 (b) 的字线排列 (行译码结构) 可以大大减小“顺序”读写时行与行之间的相互串扰。

随着阵列的增大,在安排字线的排序 (即行译码器的设计) 上所应遵循的原则仍然是:逻辑上相邻的字线在结构上相互远离。

第二,位线(列译码器)的“间隔译码”组织结构。位线“间隔译码”组织结构的基础是“串扰局部

性”。在这种结构中,从数据端口来看,仍然是一次读出或写入 8 位数据,但列译码时对位线的选择是间隔进行的(由地址线 A0 控制)。结合上一节的分析,从图 4 的存储阵列示意图可以看出,这种位线“间隔译码”结构减小了数据读写时相邻位线之间以及单元之间的串扰,与被操作单元最相邻近的单元起到了“隔离”或“屏蔽”的作用。

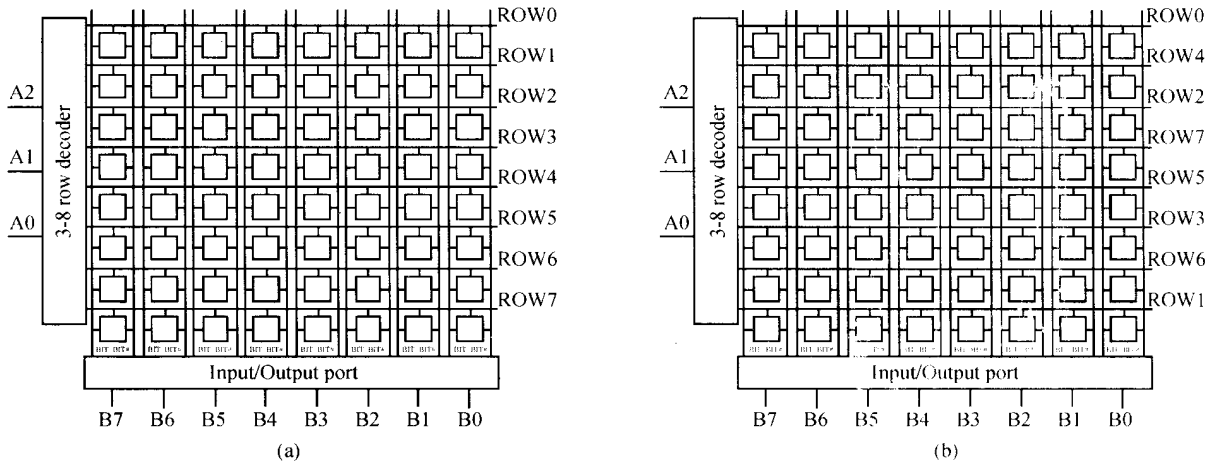


图 3 (a) 一般结构的存储阵列;(b)“错序译码”的存储阵列

Fig. 3 (a) Conventional memory array;(b) Desequencing decoder memory array

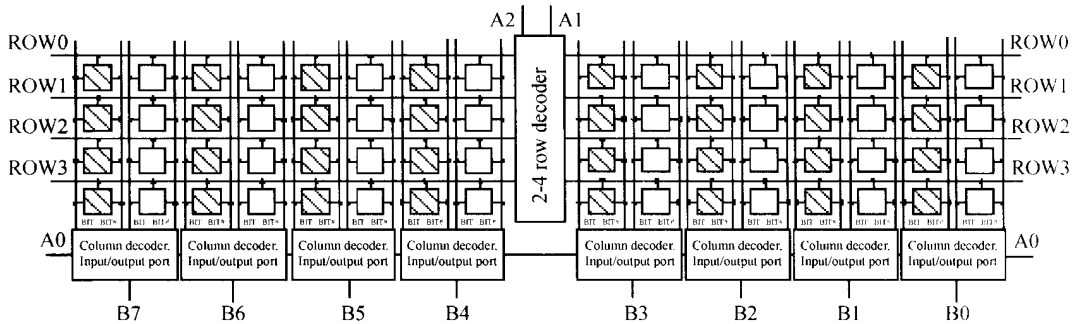


图 4 “间隔译码”的存储阵列

Fig. 4 Interval-decoder memory array

此处的单元间隔为“1”,设计中可根据存储容量、数据位宽、版图形状等进行配置。

### 4 仿真和测试结果

我们根据这种思想设计完成了 512 ×8 的存储器,并进行了流片验证,存储器显微照片如图 5 所示。目前完成了相关的测试工作。图 6 给出了两种不同布局存储器的后仿真结果。其中,图 6 (a), (b) 是我们最早设计的采用一般布局结构的存储器后仿真

结果,图 6 (c), (d) 是采用了上述“错序译码”和“间隔译码”结构的存储器后仿真结果。图 6 (a), (c) 的读写周期为 25ns,图 6 (b), (d) 的读写周期为 16ns。当读写周期为 25ns 时,从图 6 (a) 和 (c) 可以看出,两者的结果基本相同;但是,当读写周期为 16ns 时,从图 6 (b) 和 (d) 可以看出,一般布局结构的存储器存在严重的串扰,而防串扰结构的存储器工作正常。

另外,读操作时,防串扰结构布局的存储器的平均输出延迟时间约为 7.2ns,一般结构布局的存储器的平均输出延迟时间约为 9.5ns,可见防串扰结构

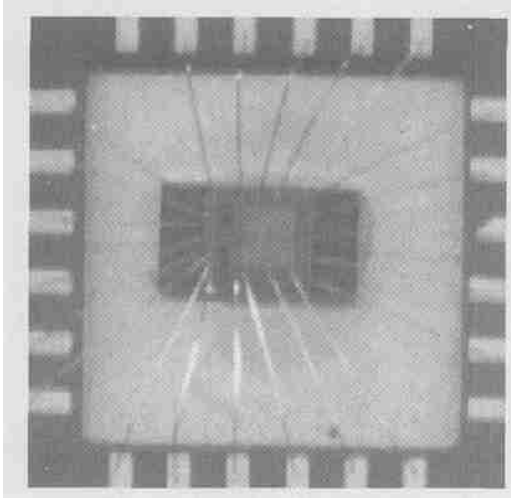


图 5 存储器显微照片  
Fig. 5 Micrograph of memory

布局的存储器在速度上也有优势.

图中, IO\_DATA 8 ~ IO\_DATA 1 是数据输入输出, READ 是读控制, WRITE 是写控制, ENABLE 是片选控制, address 为地址. 两个版图除了在存储阵列的布局上存在明显的差别之外, 其余部分的结构均是相同的. 另外, 需要提及的一点是, 由于编址的关系, 上述仿真时的存储器地址 186H, 005H, 180H, 182H 分别对应于实际存储器的第 1, 2, 3, 4 行.

我们按照 March B 算法对存储器进行了功能测试, 图 7 是在读写周期为 20ns 下的部分测试波形, 其中, RD\_, WR\_, EN\_ 分别为读、写、使能控制信号, ADDR, DATA 分别为地址线和数据线, 图 7(a) 为写入 AAH 波形, 图 7(b) 为存储器测试波形, 上半部分为存储器输出, 下半部分为读出、使能、地址信号, 可以看出读出与写入结果是一致的.

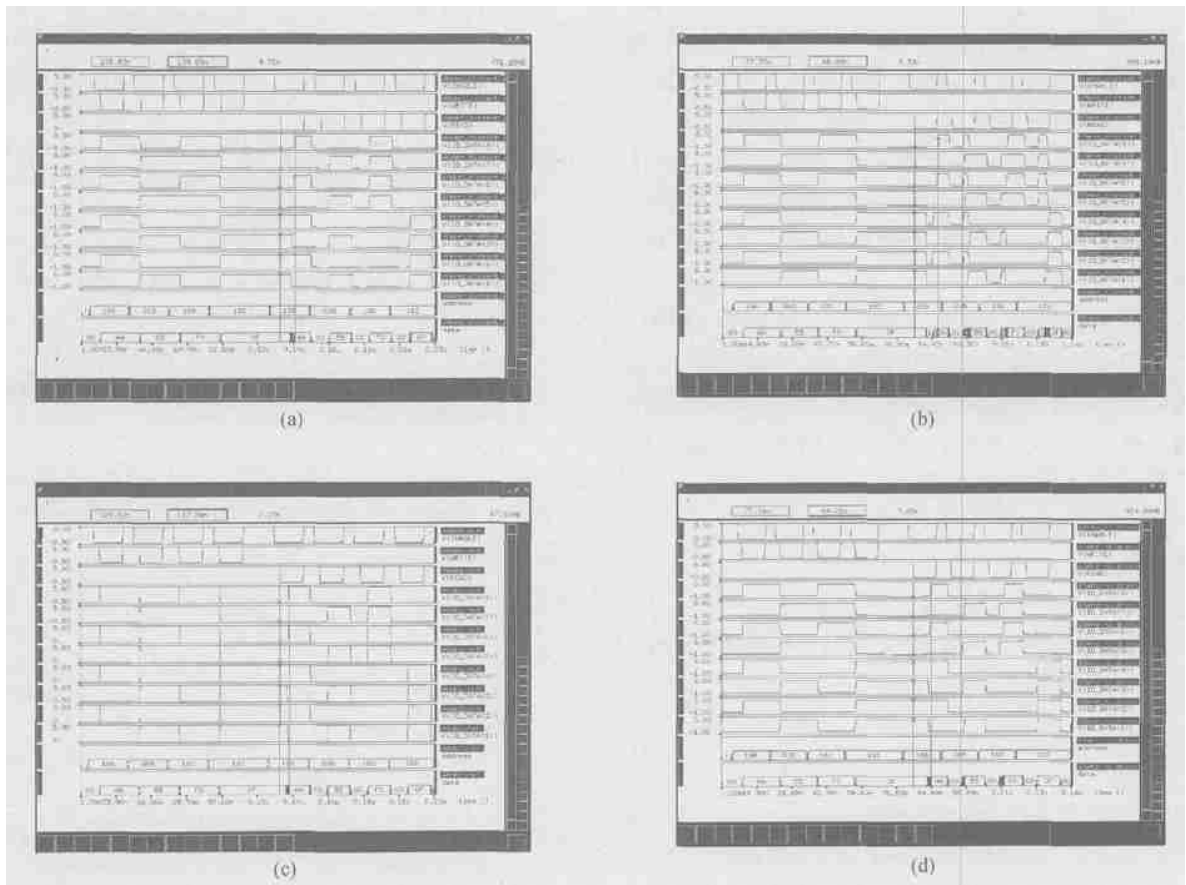


图 6 (a), (b) 采用一般结构布局的存储器后仿真波形; (c), (d) 采用前述防串扰结构布局的存储器后仿真波形  
Fig. 6 (a), (b) Post-simulation waveform of conventional structure; (c), (d) Post-simulation waveform by adopting the anti-disturb structure

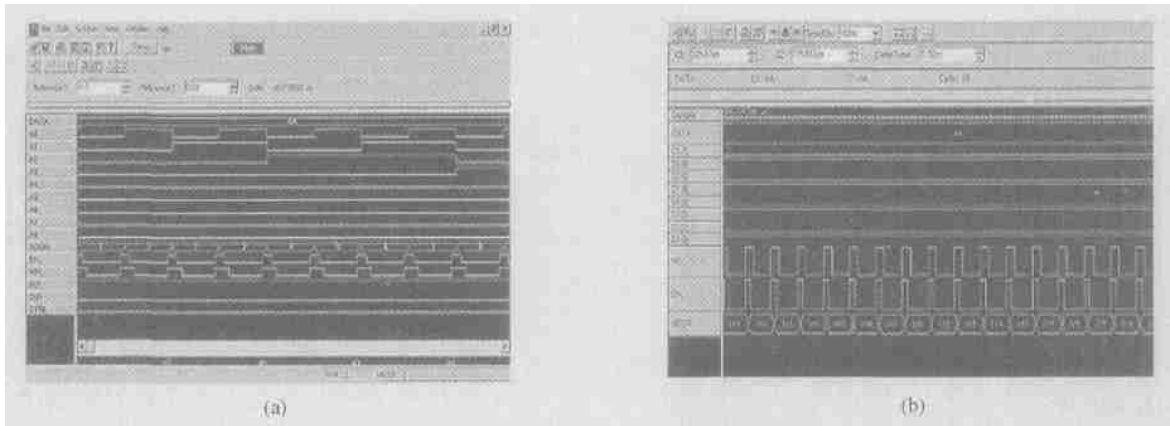


图 7 测试波形 (a) 存储器测试激励;(b) 存储器输出波形及辅助信号波形

Fig. 7 Test waveform (a) Stimulus of memory test;(b) Output waveform of memory and auxiliary signal waveform

## 5 结论

以上分别讨论了存储阵列中的串扰以及字线的“错序译码”组织结构和位线的“间隔译码”组织结构.通过分析和仿真的结果,不难看出:在存储单元CR,PR一定的条件下,采用这两种结构设计出的存储器能够有效地减小被操作单元之间的串扰,提高存储器的读写速度和工作可靠性.而且与其他防串扰的措施相比,这种结构在阵列的布局布线上简单、紧凑.

随着深亚微米工艺的发展,加工线条越来越细,单位面积上的晶体管数目不断增加,连线密度不断加大,连线延迟更加突出,寄生RC效应对存储器阵列稳定性的影响必然更加突出,如何有效地减小串扰仍然是值得探讨的课题.

## 参考文献

- [ 1 ] Rabaey J M. Digital integrated circuits ,a design perspective. Beijing : Tsinghua University Press ,1998
- [ 2 ] Haraszti T P. CMOS memory circuits. Boston : Kluwer Academic Publishers ,2000
- [ 3 ] Inokawa H, Tokunaga K. Megabit-class size-configurable 250-MHz SRAM macrocells with a squashed-memory-cell architecture. IEICE Trans Electron ,1999 ,E82-C(1) :94
- [ 4 ] Itoh K. VLSI memory chip design. New York : Springer Publisher , 2001
- [ 5 ] Chandrakasan A , Bowhill WJ , Fox F. Design of high-performance microprocessor circuits. New York :IEEE Press ,2001
- [ 6 ] Hwang K. Advanced computer architecture parallelism scalability programmability. Wang Dingxing , Shen Meiming , Zheng Weimin , et al. translation. Beijing : Tsinghua University Press ,1995 [ Hwang K. 高等计算机体系结构的并行性、可扩展性及可编程性. 王鼎兴,沈美明,郑纬民,等,译.北京:清华大学出版社,1995]

## A New Memory Array Structure Decreasing Disturb Between Memory Cells \*

Feng Guochen , Zheng Xinjian , and Shen Xubang

( Xi 'an Microelectronics Technology Institute , Xi 'an 710054 , China)

**Abstract :** To reduce the disturb of the memory array ,a new kind of organization structure is given :the wordline 's de-sequencing decoder structure based on the program 's sequential locality and the bit-line 's interval decoder structure based on the disturb locality. When the cell ratio is given ,the disturb induced by the parasitical RC can be effectively reduced ,the read/write speed of the memory and operation reliability are improved by this method. The simulation results confirm the conclusions.

**Key words :** memory ; SRAM ; memory array ; cell ratio ; disturb ; sequential locality

**PACC :** 8730 G

**Article ID :** 0253-4177(2005)01-0170-06

---

\* Project supported by National Department Advanced Research Foundation of China (No. 41308010305)

Feng Guochen male ,was born in 1975 ,PhD candidate. He is engaged in the research on embedded computer architecture and chip design.

Shen Xubang male ,was born in 1933 ,academician of Chinese Academy of Sciences. He is engaged in the research on parallel computer architecture ,embedded computer architecture ,and chip design.

Received 15 November 2003 ,revised manuscript received 26 April 2004

©2005 Chinese Institute of Electronics