

一种新型二元判定图器件和电路

陆 江^{1,2} 吴南健¹ 刘 肃² 邝小飞¹

(1 中国科学院半导体研究所, 北京 100083)

(2 兰州大学物理科学与技术学院, 兰州 730000)

摘要: 提出了一种基于二元判定图(BDD)原理的新型逻辑器件和电路. BDD 器件以电流模式的开关电流存储器为基本单元, 具有符合二元判定图的两向通路的特点. 用这种器件按照 BDD 树形图可以构成任意形式的组合逻辑电路. 给出了或门、异或门及四位加法器电路的例子, 并使用 HSPICE 仿真器进行了仿真, 验证了这种器件及其电路的正确性.

关键词: 二元判定图; 器件; 电路; 开关电流存储器; 或门; 加法器

EEACC: 1205; 2570D; 1130B

中图分类号: TN432 文献标识码: A 文章编号: 0253-4177(2005)01-0163-07

1 引言

二元判定图(binary decision diagram, BDD)是一种完整且精确描述数字逻辑函数的非循环有向图. 1978 年 Akers^[1]首先在数字逻辑函数系统中引进了 BDD 的表达描述方法, 发现用 BDD 表达描述方法可以有效地解决在表达传统逻辑函数时遇到的困难. 随着大规模和超大规模集成电路的迅速发展, 数字逻辑函数的运算变得日益复杂. 如果使用布尔函数来表示数字逻辑函数, 表达式会变得庞大和复杂, 使函数处理时间过长; 使用真值表方式, 则需要占用大量存储空间, 只能用在一些特殊领域. 近二十年以来, 研究人员在 BDD 运算的简化和结构的压缩方面做了大量的研究工作, 结果表明使用 BDD 表达方法可以避免在布尔函数和真值表中遇到的问题, 目前 BDD 已被广泛应用于大规模集成电路的综合、仿真和验证上^[2,3]. 如果使用 BDD 的方法直接建立逻辑电路尤其是大规模集成电路, 可以充分发挥 BDD 在这方面的优势. 1997 年 Asahi 提出用单电子技术建立 BDD 器件和电路的方法^[4~6], 2002 年 Kasai 在

GaAs/ AlGaAs 材料上试制并验证了量子 BDD 电路器件和电路^[7]. 但是上述的量子效应 BDD 器件和电路存在工作温度低和大规模集成困难的问题.

本文提出一种基于电流模式的开关电流存储器的新型 BDD 器件及其电路构成方法. BDD 器件是由恒流源、电流存储器和控制开关组成, 可以直接采用标准的 CMOS 工艺技术来实现 BDD 器件和电路. 电流模式电路是以电流作为电路的信号变量, 并对电流信号进行处理的电路. 与使用电压信号处理电路相比, 电流模式的电路具有速度高、频带宽、功耗小、动态范围大、非线性失真小、易于实现电流的存储与转移和电路结构简单的特点. 这种新型 BDD 器件及其电路具有电路结构简单、速度快和功耗低的优点.

2 二元判定图

图 1 给出了三种数字逻辑函数的表达方法: (a) 布尔函数, (b) 真值表和 (c) BDD 有向图. BDD 有向图是由信使、根、多个节点和两种终点构成. 每个节点分别用变量 (X_1, X_2, \dots, X_n) 标记, 并且有两个分支出口代表布尔函数的“0”和“1”.

陆 江 男, 1979 年出生, 硕士研究生, 主要从事 CMOS 模拟电路设计方面的工作.

吴南健 男, 1961 年出生, 研究员, 主要从事量子效应器件和 CMOS 数模混合集成电路设计方面的工作.

刘 肃 男, 1953 年出生, 教授, 研究方向为电力电子器件、静电感应器件、宽禁带半导体材料与器件.

2003-12-25 收到, 2004-03-02 定稿

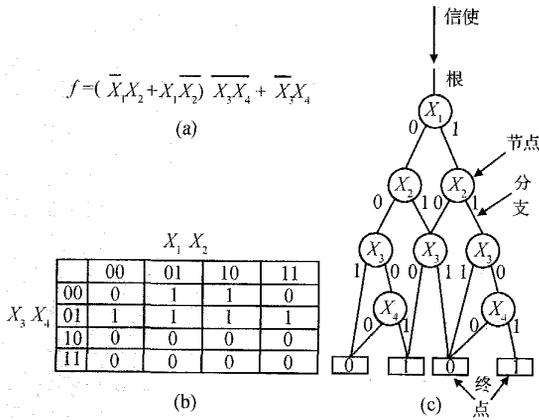


图 1 数字逻辑函数的表达方法 (a) 布尔函数; (b) 真值表; (c) 二元判定图

Fig. 1 Representation methods of digital logic function (a) Boolean equation; (b) Truth table; (c) Binary decision diagram representation

BDD 有向图的数字逻辑函数计算方法与布尔函数方法和真值表方法不同. 首先信使从根部被输入到 BDD 有向图中, 然后往终点方向搜索前进, 当遇到节点时信使按照节点变量 X_i 的值来决定前进的分支方向. 如果节点变量 $X_i = 1$, 则走“1”分支的方向; 如果节点变量 $X_i = 0$, 则走“0”分支的方向. 最后信使会走到两个终点“1”和“0”的其中之一中去, 信使到达终点的种类(“1”和“0”)就是对应的函数计算结果. 用 BDD 我们可以组合出各种逻辑函数. 图 2 给出了一些基本逻辑函数的 BDD 有向图表示.

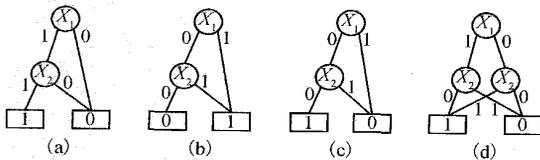


图 2 基本逻辑函数的 BDD 有向图 (a)“与”门; (b)“或”门; (c)“或非”门; (d)“异或”门

Fig. 2 Logic function of BDD representation graphs (a) AND gate; (b) OR gate; (c) NOR gate; (d) XOR gate

3 电流模式的 BDD 器件和电路

根据前面所述 BDD 非循环有向图的基本性质和特点, 我们可以抽取如图 3 所示的 BDD 基本单元器件的模型, 采用把单元器件按 BDD 的逻辑图级连起来的方式, 就可以实现各种 BDD 逻辑电路.

BDD 有向图的基本单元器件是由变量输入端 X 、信使流入端和两个信使流出分支端“0”和“1”构成. 信使由流入端流入到 BDD 单元, 然后根据 BDD 单元的输入变量 X 的值(0 或 1)来决定选取流出分支端. 如果输入变量为 1, 则走“1”分支的方向; 如果输入变量为 0, 则走“0”分支的方向. 其中 Φ 是控制信使流入或流出时间的时钟.

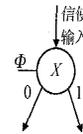


图 3 BDD 基本单元结构示意图

Fig. 3 BDD basic unit

本文提出一种基于电流模式开关电流存储器的新型 BDD 器件及其电路构成方法. BDD 器件是由恒流源、电流存储器和控制开关组成. 开关电流技术是电流模式的信号处理技术, 它以电流大小表示信号^[8]. 如图 4 所示, 开关电流存储器由一个恒流源、存储 MOS 管、输入开关、输出开关和控制开关组成. 它的工作原理可以分为信号输入、保持、输出三个过程. 初始时三个开关均打开, 在信号输入状态时输入开关和控制开关闭合, 栅源间电容 C 充电使栅源电压 V_{gs} 升高以达到漏极电流 I_{ds} 等于输入电流信号 I_{in} 与偏置电流 J 之和的稳定状态; 在保持状态时所有开关均打开, 输入电流信号以电荷的方式存储在栅源电容 C 上保持稳定态; 在输出状态时输出开关闭合, 由于栅源电压是不发生变化的, 所以存储 MOS 管的漏极电流 I_{ds} 等于输出电流信号 I_{out} 与偏置电流 J 之和, 并且输出电流 I_{out} 与输入电流 I_{in} 的大小相等, 即 $I_{in} = -I_{out}$. 这样就实现了电流信号存储的功能.

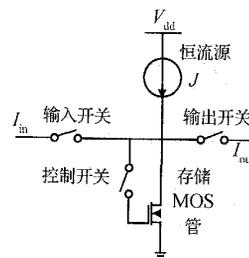


图 4 开关电流存储单元

Fig. 4 Switch current memory cell

图 5 给出了我们提出的电流模式开关电流存储器的新型 BDD 单元器件的结构,两个电流存储单元的动作分别由两个时钟信号 Φ_1 和 Φ_2 控制,电流信号作为 BDD 器件的信使.为了保持输入电流和输出电流信号方向一致,采用两个电流存储单元构成一个 BDD 器件,第二个电流存储单元有两个输出分支,外加的逻辑变量 X 和它的非 \bar{X} 控制并选择电流的流出分支.电流模式开关电流存储器的新型 BDD 单元器件可以实现上述 BDD 器件的功能.它的基本工作原理是:首先作为信使的电流信号被加到 BDD 单元器件的信使输入端,同时第一个电流存储单元的控制开关闭合;在第一个电流存储单元的存储 MOS 管工作状态稳定后,第一个电流存储单元的控制开关打开,并且信使的电流信号也被中断,第一个电流存储单元进入保持状态;然后控制时钟控制闭合第二个电流存储单元的输入开关和控制开关,让信使电流信号转移到第二个电流存储单元中;最后在第二个电流存储单元的输入开关和控制开关打开之后,外加的逻辑变量 X 和 \bar{X} 控制并选通电流的流出分支,信使电流将沿着已被选通的支路流出 BDD 单元器件.

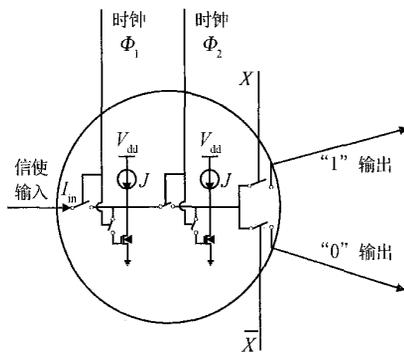


图 5 新型 BDD 器件

Fig. 5 Proposed BDD device

使用 HSPICE 电路仿真器对图 5 的 BDD 单元器件的基本功能进行了仿真.图 6 给出了 BDD 单元器件的基本工作特性.仿真所采用的是 CMOS 0.25 μ m 工艺的器件库文件.在电路中所有开关由时钟或逻辑信号控制.控制信号为“1”时开关闭合;控制信号为“0”时开关打开.结果表明,逻辑变量 X 为“1”时,信使电流经过 BDD 单元器件后沿着“1”支路流出 BDD 单元器件;逻辑变量 X 为“0”时,信使电流经过 BDD 单元器件后沿着“0”支路流出 BDD 单元器件.该结果验证了电流模式开关电流存储器的新型

BDD 单元器件的基本工作原理.把图 5 的 BDD 单元器件按照 BDD 的树形图级连组合,就可以实现各种 BDD 逻辑电路结构.下面我们将用它来构造各种 BDD 电路.

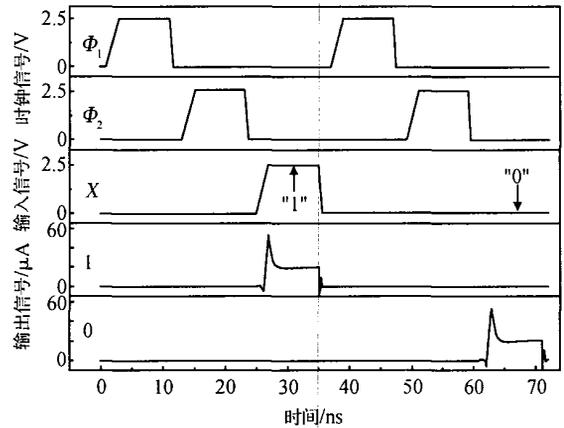


图 6 BDD 单元器件的仿真结果

Fig. 6 Simulation results of BDD unit device

4 BDD 逻辑电路

用 BDD 单元器件可以构造任意的组合逻辑电路.本文以基本逻辑电路或门和异或门作为例子,构成了电流模式开关电流存储器的新型 BDD 基本逻辑电路图.在此基础上组成了四位加法器逻辑电路.使用 HSPICE 仿真器进行了电路的仿真和验证.

4.1 或门电路

基于图 2(b) 所示或门的树形图和电流模式开关电流存储器的新型 BDD 单元器件,可以建立图 7 所示的或门电路.它由两个 BDD 单元器件和一个缓冲器构成.输入变量 X_1, X_2 分别加到两个 BDD 单元器件上控制选择它们的信使的流出支路.注意到在或门的 BDD 树形图中,变量 X_1 的“1”分支是直接输出到终点,而变量 X_1 的“0”分支是通过 X_2 相关的 BDD 单元器件后输出到终点.但在实际电路的构造中,为了保证无论通过哪一路分支信使都在同样时钟周期数内到达终点,我们在 X_1 的“1”走向上增加一个传输缓冲单元.缓冲单元的基本结构与图 5 的 BDD 单元器件相同,但是只有一个信使流出分支.这样信使在每一级上可以同步输出到达下一级.用 HSPICE 仿真器对电流模式开关电流存储器的新型 BDD 或门电路进行了仿真.图 8 给出了或门电路的仿真结果.输入变量 ($X_1 X_2$) 的值按顺序分别为 (00,

01,10,11),在“1”终端检测的输出信号是(0,1,1,1);在“0”终端检测的输出信号是(1,0,0,0),实现了或门的逻辑功能。

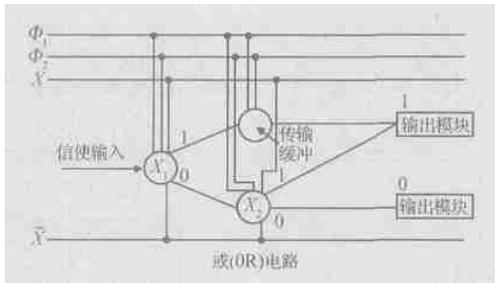


图 7 BDD 单元构造的或门电路

Fig. 7 OR gate circuit constructed by BDD unit

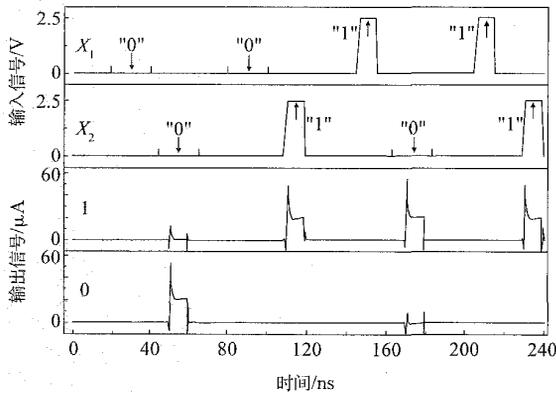


图 8 BDD 或门电路仿真结果 “1”输出的结果是(0,1,1,1),“0”输出的结果是(1,0,0,0)。

Fig. 8 Simulation results of BDD OR gate The result on “1” way is (0,1,1,1);the result on “0” way is (1,0,0,0)。

4.2 异或门电路

基于图 2(d)的异或门电路的树形图和 BDD 基本单元器件,构成了 BDD 异或门电路。图 9 表示 BDD 异或门电路,由三个 BDD 单元器件构成。输入变量 X_1, X_2 分别加到三个 BDD 单元器件上控制选择它们的信使流出的支路。图 10 给出了仿真结果。控制 ($X_1 X_2$) 的值分别是(00,01,10,11),根据异或门的真值表,结果应为(0,1,1,0)。仿真结果如图 10 所示,“1”输出上是(0,1,1,0),“0”输出上是(1,0,0,1),逻辑结果是(0,1,1,0),可以看出结果是正确的。

4.3 四位全加器电路

图 11 给出四位加法器的 BDD 树形图。被加数

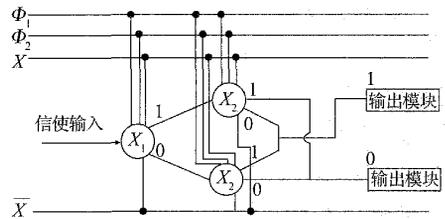


图 9 BDD 单元构造的异或门电路

Fig. 9 XOR gate circuit constructed by BDD unit

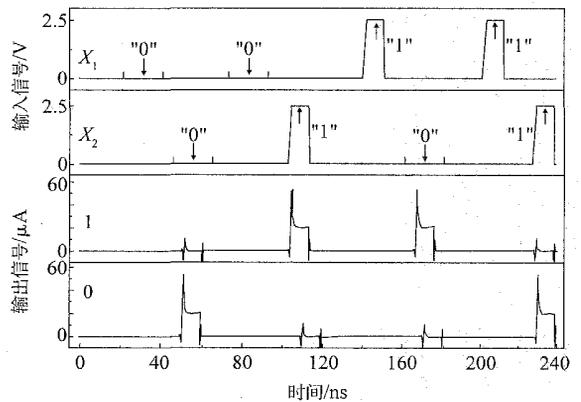


图 10 BDD 异或门电路仿真结果 “1”输出的结果是(0,1,1,0);“0”输出的结果是(1,0,0,1)。

Fig. 10 Simulation results of BDD XOR gate The result on “1” way is (0,1,1,0),the result on “0” way is (1,0,0,1)。

和加数分别是二进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$,和是 $S_4S_3S_2S_1S_0$ 。即有

$$\begin{array}{cccc} A_3 & A_2 & A_1 & A_0 \\ + & B_3 & B_2 & B_1 & B_0 \\ \hline C_3 & S_3 & S_2 & S_1 & S_0 \end{array} \quad (1)$$

使用基本 BDD 单元器件,按照上述电路构成原则建立了 BDD 加法器电路。用 HSPICE 仿真器对电流模式开关电流存储器的新型 BDD 加法器电路进行了仿真。图 12 给出了仿真被加数和加数为 1000 和 0010 时的仿真结果。如图 12 所示, $S_3S_2S_1S_0$ 上分别得(1,0,1,0), C_3 上得“0”,故逻辑结果为(1010),进位为 0,结果正确。

5 讨论

BDD 有向图的数字逻辑函数计算方法与布尔函数方法和真值表方法不同,Akers 的研究^[1]表明当用 BDD 和真值表来描述同一个 n 位逻辑信号处理电路时,一般而言,用 BDD 描述需要 $5n$ 个节点,而

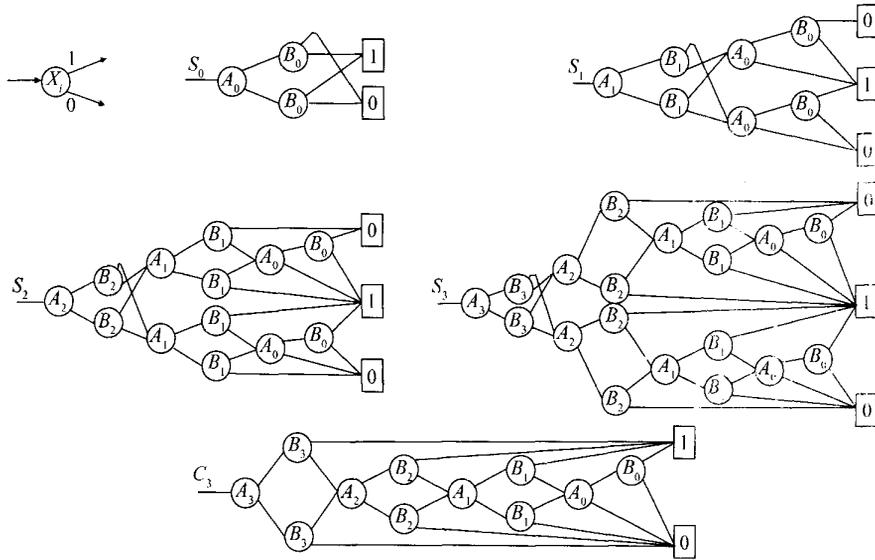


图 11 四位全加器的 BDD 树形图 BDD 单元,加法器均按此单元构造,“1”,“0”的走向与此单元所示相同。

Fig. 11 BDD graphs of 4 bit full adder logic BDD cell and adder are constructed by this unit. It represents the direction of way “1” and “0”.

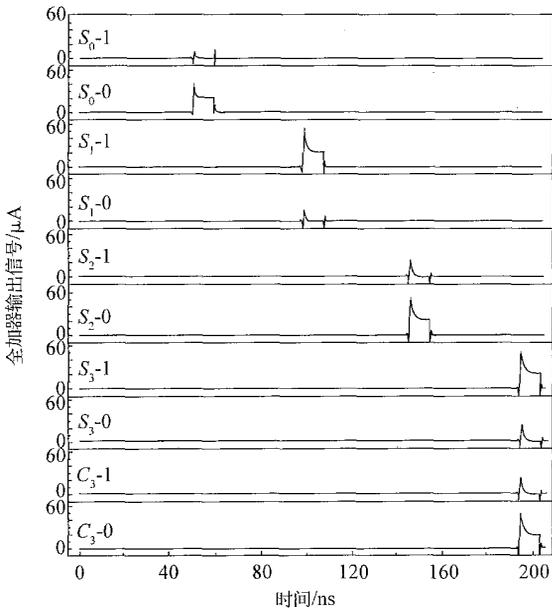


图 12 全加器仿真结果

Fig. 12 Simulation results of 4 bit full adder

用真值表的话则需要 $(n + 3) \times 2^{2n+1}$ 位来描述. 可见使用传统的真值表方法来描述器件时, 随着规模的增大, 结构复杂度是呈指数增长的, 而使用 BDD 描述是呈倍数增长的. 即规模越大越能体现出用 BDD 结构来描述、构造函数的优势. BDD 表达方法可以有效地解决在使用传统的逻辑函数表达方式时遇到的困难. 此方法已被广泛用于大规模集成电路的综

合、仿真和验证上. 如果能够建立标准的 BDD 器件单元, 使用 BDD 有向图的数字逻辑函数表达方法可以直接综合大规模 BDD 集成电路, 能充分发挥 BDD 在这方面的优势. 在前几节的内容中我们提出了一种基于电流模式开关电流存储器的新型 BDD 器件单元及其电路构成方法, 并且给出了 BDD 逻辑电路, 说明了 BDD 集成电路的可行性.

本文提出一种基于电流模式的开关电流存储器的新型 BDD 器件及其电路构成方法. BDD 器件是由恒流源、电流存储器和控制开关组成. 可以直接采用标准的 CMOS 工艺技术来实现 BDD 器件和电路. 电流模式电路是以电流作为电路的信号变量, 并对电流信号进行处理的电路. 与使用电压信号处理电路相比, 电流模式的电路具有速度高、频带宽、功耗小、动态范围大、非线性失真小、易于实现电流的存储和转移和电路结构简单的特点. 但是电流模式的电路依然有着一些不足之处: 电流模式电路的研究相对滞后, 设计手法不是很成熟.

BDD 器件构造电路时, 需要考虑运算速度、噪声容限及功耗这几方面的因素. 在 BDD 结构中, 信号处理是由信使在时钟的控制下从根出发沿节点向终点流动来完成的. 随着电路规模的增大, 节点的个数会增加, 电路的信号处理延迟时间 (latency) 会增大. 但是, 如果在 BDD 结构电路中采用流水线 (pipeline) 方式来进行工作的话, 电路的信号处理速

度 (throughput) 并不会受到大的影响. 如图 13 所示的流水线工作方式, 信使在 BDD 结构电路中流动, 信使 A 在 T 时刻流动到 X_1 节点, t 时刻后当信使 A 流动到 X_3 节点, 后一个处理信号信使 B 已流动到 X_1 节点. 电路采用这种方式工作, BDD 结构的复杂对电路速度影响不大.

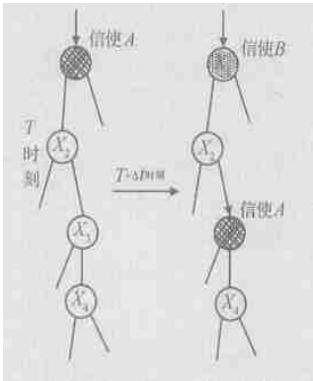


图 13 BDD 结构电路的流水线工作方式

Fig. 13 Pipeline working method of BDD circuit

采用这种新型器件构造电路, 逻辑动作的正常工作需要考虑其噪声容限的大小. 实际工作时, 由于干扰会使实际工作点偏离设计的逻辑工作点. 给定实际输出信号对逻辑信号设定值许可的偏离范围后, 允许实际输入信号对逻辑信号设定值偏离的区间称为噪声容限. 本文的器件与电路采用电流模式的信号处理方式来工作, 得到的信号结果分为有电流信号的“1”状态与无电流信号的“0”状态两种情况, 若输入的电流信号大小为 I_0 , 则认为大于 $I_0/2$ 为“1”; 小于 $I_0/2$ 为“0”. 故其噪声容限相对于“1”和“0”的情况各为 $I_0/2$.

考虑到低功耗的要求, 我们在电路结构中也使用了降低功耗的方法. 开关电流存储单元中有一恒定电流从电流源一直流向地, 这个恒流决定着电路中的主要功耗. 为了减小由这个恒流产生的功耗, 使用了一相时钟 ϕ_3 来控制电流源^[9]. 当电路传输信号时, 让电流源正常工作; 当电路不传输信号时, 则关闭电流源, 以达到降低功耗的目的. 采用这种方法大大降低了功耗, 在每个逻辑动作中静态功耗 (保持状态时) 为典型的 CMOS 器件静态功耗, 主要由漏电流产生. 动态功耗即开关打开、闭合和信使流动时产生的功耗, 这个时间周期较短. 使用 HSPICE 仿真软件对其瞬态功耗进行计算, 以异或门为例, 与典型的数字电路异或门进行对比, 结果显示两者的功耗在同

一量级, BDD 电路因为构造异或门时使用门数较多而数字略大. 但当电路规模变大时, 由于电路结构的相对简单, 其功耗会小于传统的数字电路功耗.

6 结论

基于电流模式的开关电流存储单元, 本文提出了一种新型的 BDD 器件单元. 使用这种 BDD 器件单元, 依照 BDD 树形图的级连的方式, 可以构造出任意的组合逻辑电路. 我们建立了或门、异或门电路和四位加法器电路. 并采用 HSPICE 集成电路仿真器计算机模拟了电路的工作特性. 结果表明上述的 BDD 电路可以实现相应的逻辑工作.

参考文献

- [1] Akers S B. Binary decision diagram. IEEE Trans Comput, 1978, C-27:509
- [2] Van Eijk C A J. A BDD-based verification method for large synthesized circuits. Integration, the VLSI Journal, 1997, 23:131
- [3] Malik S, Wang A R, Brayton R K, et al. Logic verification using binary decision diagrams in a logic synthesis environment. Proc International Conference on Computer Aided Design, 1988:6
- [4] Asahi N, Akazawa M, Amemiya Y. Binary-decision diagram device. IEEE Trans Electron Devices, 1995, 42(11):1999
- [5] Asahi N, Akazawa M, Amemiya Y. Single-electron logic device based on the binary decision diagram. IEEE Trans Electron Devices, 1997, 44(7):1109
- [6] Asahi N, Akazawa M, Amemiya Y. Single-electron logic systems based on the binary decision diagram. IEICE Trans Electron, 1998, E81-C(1):49
- [7] Kasai S, Yumoto M, Hasegawa H. Fabrication of GaAs-based integrated half and full adders by novel hexagonal BDD quantum circuit approach. Solid-State Electron, 2003, 47:199
- [8] Toumazou C, et al. Analog integration circuit design-current mode. Yao Yujie, et al. translation. Beijing: Higher Education Publishing Company, 1996 (in Chinese) [Toumazou C, 等. 模拟集成电路设计-电流模法. 姚玉洁, 等译. 北京: 高等教育出版社, 1996]
- [9] Tōgura K, Nakase H, Kubota K, et al. Low power current-cut switched-current matched filter for CDMA. IEICE Trans Electron, 2001, E84-C(2):212
- [10] Li Yongping, Shi Yin. An cascode S^2I memory cell and its performance. Chinese Journal of Semiconductors, 2002, 23(10):1106 (in Chinese) [李拥平, 石寅. 共源-共栅组态 S^2I 电流存储单元及其性能. 半导体学报, 2002, 23(10):1106]

A New Binary Decision Diagram Device and Circuit

Lu Jiang^{1,2}, Wu Nanjian¹, Liu Su², and Kuang Xiaofei¹

(1 *Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*)

(2 *School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China*)

Abstract : A new logic device and circuit based on the concept of the binary decision diagram(BDD) is proposed. This BDD device is constructed by current-mode switch current memorizer unit ,and can be operated in a two-way characteristic according to BDD. Any combinational logic circuit can be implemented by unit device connected into a cascade to build the tree of a BDD graph. Several sample designs for logic circuits of OR ,exclusive-OR and adder combinational logic are presented. The simulation results of HSPICE indicate that the designed devices and circuits perform the logic operation correctly.

Key words : binary decision diagram ; device ; circuit ; switch current memorizer ; OR ; adder

EEACC : 1205 ; 2570D ; 1130B

Article ID : 0253-4177(2005)01-0163-07

Lu Jiang male ,was born in 1979 ,master candidate. He is engaged in the research on CMOS analog circuit design.

Wu Nanjian male ,was born in 1961 ,professor. His research interest is in quantum effect device and CMOS mixed-signal integrate circuits design.

Liu Su male ,was born in 1953 ,professor. His research interest is in power electronic apparatus ,static induction device ,wide-gap semiconductor material and device.

Received 25 December 2003 ,revised manuscript received 2 March 2004

©2005 Chinese Institute of Electronics