

衬底驱动 MOSFET 特性分析及超低压 运算放大器设计*

尹 韬 朱樟明 杨银堂 郭 磊

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 讨论分析了衬底驱动 MOSFET 的工作原理、频率特性和噪声特性,并对其低压特性进行了分析和仿真. 基于 PMOS 衬底驱动技术,设计实现了超低压运算放大器. 在 0.8V 电源电压下,运算放大器的直流开环增益为 74dB,相位裕度为 66°,失调电压为 940 μ V,输出电压范围为 110~798mV.

关键词: 超低压; 衬底驱动; 运算放大器; CMOS

EEACC: 1205; 1220; 2570D

中图分类号: TN402 **文献标识码:** A **文章编号:** 0253-4177(2005)01-0158-05

1 引言

随着 CMOS 工艺的发展,晶体管的特征尺寸不断减小,一方面促使特征频率、集成度不断提高,另一方面使得击穿电压和可靠性不断降低,功耗不断增加. 随着集成度的提高,功耗问题已经不只存在于可移动电子设备的设计中,集成电路的设计同样面临着功耗和散热问题. 常规解决方法是降低工作电压,但是由于亚阈值导通的影响,标准 CMOS 工艺中的阈值电压不会比深亚微米工艺的阈值电压有较大的下降^[1],因此电路工作电压的降低将受到阈值电压的限制.

解决这一限制的低压设计方法主要有浮栅技术和衬底驱动技术^[2]. 目前,浮栅 MOS 管被广泛应用于存储器中,由于其阈值电压可调,也正逐渐被应用于低压模拟集成电路设计中. 浮栅 MOS 管有两层栅:浮栅和控制栅,其中浮栅悬浮于两层介质之间,其上存储着电荷,由于 SiO₂ 介质有良好的绝缘性能,这些电荷放电极其缓慢. 浮栅的电压由控制栅通过电容耦合进行控制,通过改变控制栅的电压可以

实现对阈值电压大小的调整,因此,浮栅技术成为低压设计的一种可选方法. 但是,这种技术需要制作浮栅,传统工艺无法实现,工艺的复杂性造成了电路成本的提高. 另外,浮栅 MOS 管输出阻抗较低,只能实现低增益的电路结构^[3]. 这些都限制了浮栅技术在低压下的应用.

衬底驱动技术可以与现有工艺兼容,它将成为低压设计的一种很重要的方法. 国外衬底驱动技术多用于低压电流镜、运算放大器等方面,在 0.18~3 μ m CMOS 工艺下,电源电压可以达到 1~1.5V^[1,2,5]. 本文对衬底驱动 MOSFET 的特性进行了分析与仿真,讨论了衬底驱动技术的优缺点,并采用衬底驱动 PMOS 差分对代替传统 PMOS 差分对实现 0.8V 超低压运算放大器设计,基于 TSMC 0.25 μ m CMOS 工艺的 BSIM3V3 模型,采用 Hspice 对其进行了仿真.

2 衬底驱动 MOSFET 的特性分析

2.1 衬底驱动 MOSFET 工作原理及低压特性分析

解决阈值电压受限的重要途径是利用衬底驱动

*国家自然科学基金资助项目(批准号:90207022)

尹 韬 男,1980 年出生,硕士研究生,主要研究方向为低压低功耗模拟集成电路设计.

朱樟明 男,1978 年出生,博士研究生,主要研究方向为高速 ADC/DAC 设计、低压低功耗模拟电路设计.

杨银堂 男,1962 年出生,教授,博士生导师,主要研究方向为深亚微米模拟集成电路及 IP 设计、VLSI 技术、新型半导体器件设计.

2003-11-17 收到,2004-01-13 定稿

MOSFET. 衬底驱动技术只能用于有单独阱的 MOSFET,其工作原理类似于结型场效应晶体管^[4],图 1 显示了 n 阱衬底驱动 PMOS 管的截面图. 图中 PMOS 管的栅源之间加有足够大的固定电压 (V_{GS}),已在栅下形成导电沟道,漏端按通常的方式连接,信号加在衬底端(即 bulk 端)和源端之间. 当信号发生变化时,衬底端与沟道间的耗尽层厚度将发生改变,进而改变沟道反型层的厚度,这样由源端流向漏端的电流将受衬底端和源端间所加信号的控制. 因此,衬底驱动 MOSFET 可以等效为一个用衬底端作输入端的结型场效应晶体管.

图 1 中同时标出了寄生的横向、纵向双极晶体管(QP,QV). 由于基极发射极间电压很小,因此流过这两个晶体管的电流可以忽略不计^[5]. 衬底驱动 MOSFET 一般工作于强反型区. 由于在衬底端与源端弱正偏情况下,衬底漏电流非常小,因此衬底驱动技术可以用于衬底端和源端间弱正偏、零偏和反偏的情况^[3].

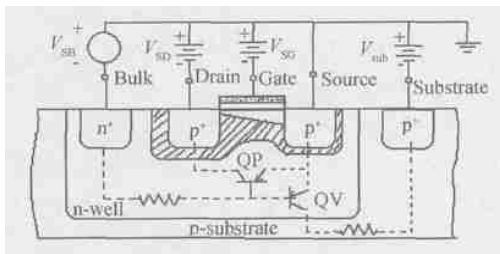


图 1 衬底驱动 PMOS 横截面

Fig. 1 Cross section of a PMOS bulk-driven transistor

由 MOSFET 的一阶理论,在衬底驱动技术中,当 V_{GS} 为常数时,漏极电流表示为^[4]:

$$I_D = \frac{KW}{L} (V_{GS} - V_{T0} - \sqrt{|2\phi_F - V_{BS}|} + \sqrt{|2\phi_F|} - \frac{n}{2} V_{DS}) V_{DS} \quad V_{DS} < V_{DS(sat)} \quad (1)$$

$$I_D = \frac{KW}{2nL} (V_{GS} - V_{T0} - \sqrt{|2\phi_F - V_{BS}|} + \sqrt{|2\phi_F|})^2 (1 + V_{DS}) \quad V_{DS} > V_{DS(sat)} \quad (2)$$

其中,

$$n = 1 + \frac{C_{BC}}{C_{ox}} + \frac{qNES}{C_{ox}} = 1 + \frac{qNES}{2\sqrt{\phi_j - V_{BS}}} \quad (3)$$

式中 n 为体效应系数,约为 $0.5V^{1/2}$.

饱和时小信号跨导:

$$g_{mbs} = \left. \frac{dI_D}{dV_{BS}} \right|_{V_{BSQ}} = \frac{g_m}{2\sqrt{2\phi_F - V_{BS}}} \quad (4)$$

其中 g_m 为栅跨导.

由 (2) 式可以看出,当衬底驱动 MOSFET 工作于饱和区时,由于 V_{GS} 为常数,因此漏极电流 I_D 主要受 V_{BS} 的控制. 由于在衬底端加信号能有效地避开阈值电压的限制,非常小的衬底端与源端间电压就可以用来调制沟道电流,因此这种技术对低压应用非常有利.

为了验证衬底驱动 MOSFET 的低压特性,本文基于 TSMC $0.25\mu\text{m}$ CMOS 工艺的 BSIM3V3 模型,采用 Hspice 对衬底驱动 PMOS 管跨导进行了仿真. 图 2 显示了当电源电压为 0.8V , $V_{GS} = -0.8\text{V}$ 时的跨导特性,(a) 是仿真电路图,(b) 是特性曲线. 图 3 所示为 $V_{BS} = 0\text{V}$ 时普通栅极驱动的跨导特性. 由图 2 和图 3 可知,衬底驱动 MOS 技术能有效降低模拟电路对电源的要求.

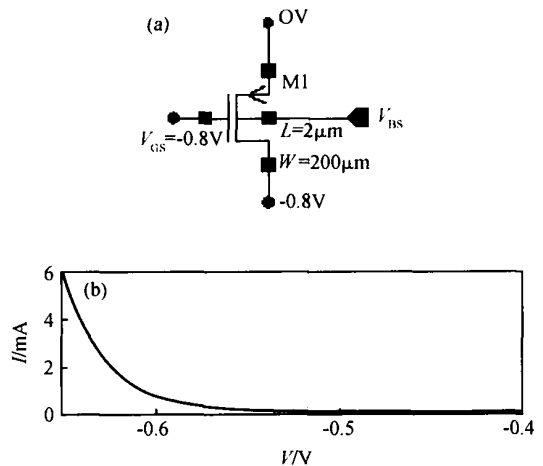


图 2 衬底驱动 PMOSFET 的跨导特性 (a) 电路图;(b) 跨导特性

Fig. 2 Transconductance characteristics of a PMOS bulk-driven MOSFET (a) Circuit diagram;(b) Transconductance characteristics

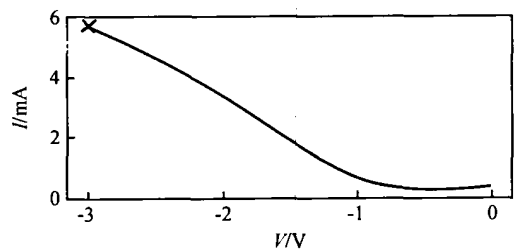


图 3 普通 PMOSFET 的跨导特性

Fig. 3 Transconductance characteristics of common PMOSFET

2.2 衬底驱动 MOSFET 的频率特性分析

衬底驱动 MOSFET 的特征频率表示为

$$f_{T, \text{bulk-driven}} = \frac{g_{mb}}{2(c_{bs} + c_{bsub})} = \frac{g_m}{2(c_{bs} + c_{bsub})} \quad (5)$$

其中 $\frac{g_{mb}}{g_m}$ 典型取值范围为 0.2 ~ 0.4; c_{bs} 是 n 阱与源端间的电容; 而 c_{bsub} 是 n 阱与 p 衬底间的电容. 在 3 μm CMOS 工艺下, 当衬底驱动 MOSFET 工作于饱和区时, (5) 式可近似为^[11]:

$$f_{T, \text{bulk-driven}} = \frac{1}{3.8} f_{T, \text{gate-driven}} \quad (6)$$

随着 CMOS 工艺的发展, 如果 C_{ox} 增加 s 倍, 而 c_{bsub} 只增加了 $s^{1/2}$ 倍, 阱和衬底的掺杂浓度提高了 s 倍, 则 (6) 式变为:

$$f_{T, \text{bulk-driven}} = \frac{\sqrt{s}}{3.8} f_{T, \text{gate-driven}} \quad (7)$$

因此在未来标准 CMOS 工艺中, 虽然 $f_{T, \text{bulk-driven}}$ 仍然不会等于 $f_{T, \text{gate-driven}}$, 但是应用衬底驱动技术也不会牺牲太多的频率响应.

2.3 衬底驱动 MOSFET 的噪声特性

栅驱动与衬底驱动下的沟道噪声电流相似, 然而, 如果把沟道噪声电流归因于输入, 则衬底驱动和栅驱动下的增益因子有所不同. 同时, 衬底驱动 MOSFET 的阱电阻也会造成额外的热噪声. 衬底驱动 MOSFET 的均方根噪声电压为^[11]:

$$v_{n, \text{bulk}}^2 = \left(\frac{8kT(1+\gamma)}{3^2 g_m} \right) + \frac{KF}{2fC_{ox}WLK^2} + 4kT \left(\frac{1}{N} \right)^2 \left(\sum_{i=1}^N R_{bi} + \frac{1}{2} \sum_{i=1}^N R_{gi} \right) f \quad (8)$$

其中 N 为交叉 CMOS 结构中栅的个数; R_{bi} 为第 i 个栅沟道的有效串联阱电阻; R_{gi} 为第 i 个栅的栅与金属间电阻.

(8) 式中前两项为 MOSFET 由衬底端引起的白噪声和闪烁噪声, 后两项描述了由阱与金属间、栅与金属间电阻所引起的白噪声. 由于后两项有 N^{-2} 系数, 因此可以利用交叉 CMOS 结构 (即一个 MOSFET 采用多个栅) 来降低栅电阻所产生的噪声影响. 为了将衬底端所引起的噪声最小化, 器件的物理版图应该多用阱接触, 而且接触应该尽量接近每个栅.

3 基于衬底驱动 MOSFET 的超低压运算放大器设计

运算放大器是模拟集成电路和混合集成电路的基本电路单元, 是模拟集成电路设计的关键之一. 本文设计的超低压两级运算放大器如图 4(a) 所示, 电源电压 (V_{dd}) 为 0.8V, 输入级采用衬底驱动 PMOS 差分对代替传统 PMOS 差分对, 以解决阈值电压对输入信号和电源电压的受限问题, 取得较大的输入共模范围, 所用的 NMOS, PMOS 管阈值电压分别为 0.5V 和 -0.6V. 图 4(a) 中的差分对管 M3 和 M4 的栅极接在最负电源, 以保证栅下强反型沟道的形成, 输入信号由 M3 和 M4 的衬底端引入, 实现对沟道电流的调制作用. 放大器第二级采用简单的共源极典型结构, 以提供最大的输出摆幅. 由于低频下的主要噪声为 $1/f$ 噪声, 因此本文通过增大输入差分对管 M3, M4 和电流镜负载管 M5, M7 的沟道长和宽来减小噪声. 当然, 输入级沟道长度的增加会导致运算放

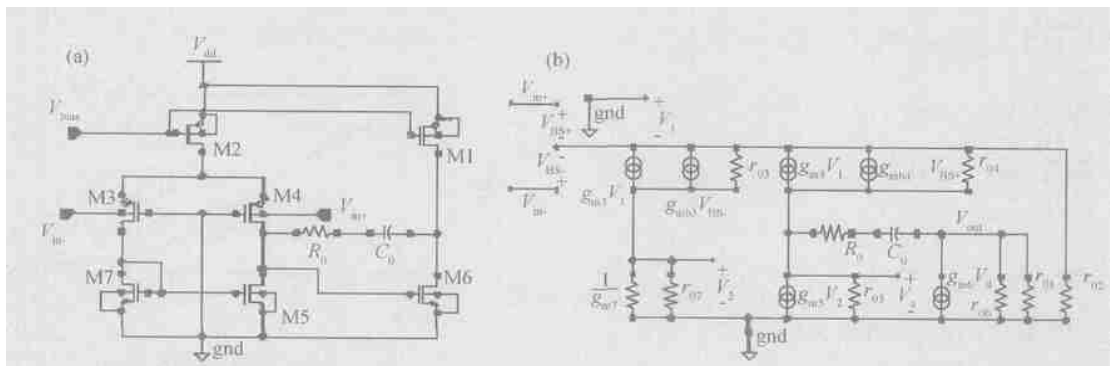


图 4 衬底驱动超低压运算放大器 (a) 电路图; (b) 小信号等效电路

Fig. 4 Bulk-driven ultra-low voltage opamp (a) Circuit diagram; (b) Small-signal equivalent circuit

大器带宽的减小. 本文设计的运算放大器的小信号等效电路如图 4 (b) 所示. 运放各个管子的参数见表 1.

表 1 运算放大器电路的主要器件参数

Table 1 Device parameters of proposed opamp

器件	M1 ,M2	M3 ,M4	M5 ,M7	M6	R_0	C_0
参数	100/ 5 μ m	200/ 10 μ m	200/ 20 μ m	140/ 5 μ m	40k	4pF

本文基于 TSMC 0. 25 μ m CMOS 工艺的 BSIM3V3 模型,采用 Hspice 对图 4 (a) 电路进行仿真,所得的开环幅频和相频特性如图 5 所示. 在电源电压 $V_{dd} = 0. 8V$,共模电压为 0. 4V 时,测得的开环增益为 74dB,相位裕度为 66°. 图 6 为运算放大器的输入/ 输出电压的特性曲线,失调电压约为 940 μ V,输出电压范围为 110 ~ 798mV,接近轨至轨 (rail-to-rail) 范围.

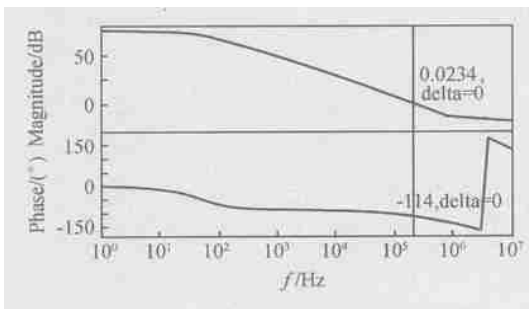


图 5 运放的幅频相频特性

Fig. 5 Magnitude and phase response of proposed opamp

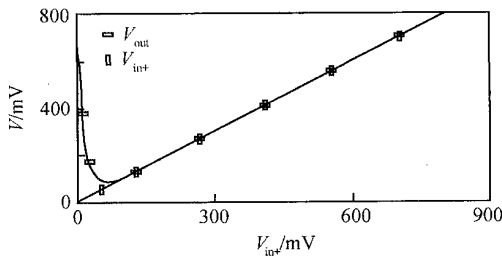


图 6 运放输入/ 输出电压的特性曲线

Fig. 6 Characteristics diagram of input/output voltage

仿真结果表明,基于衬底驱动技术设计的超低压运放有着良好的性能,利用衬底驱动技术进行低压设计有许多优点. 衬底驱动 MOSFET 的耗尽型特征即在零偏、反偏甚至小正偏下仍然可以获得所希望的直流电流,消除了信号通道上对阈值电压的要

求,拓宽了低电源电压下的信号摆幅. 衬底驱动技术与现有 CMOS 工艺兼容,因此可以在不改变现有工艺的基础上,进行低压设计. 另外,衬底驱动 MOSFET 可以用多晶硅栅调制,由于用栅可以完全关闭沟道,所以用栅调制的衬底驱动 MOSFET 的开关比非常大. 通过深入实验发现,衬底驱动 MOSFET 没有表现明显的门锁效应^[1]. 衬底驱动 MOSFET 之间的匹配与普通 MOS 管相似. 衬底驱动管的潜在优势在于,小信号跨导 g_{mb} 理论上可以比 g_m 大,由公式 (4),可知当 $V_{BS} = 2 \cdot V_T - 0. 25 \cdot V_{DD} = 0. 5V$ 时,有 $g_{mb} > g_m$,当然此时衬底端与源端间的结电流可能会比较大.

4 结论

衬底驱动技术消除了信号通道上阈值电压的限制,有效降低了模拟电路对电源电压的要求,可以实现较大的共模输入电压范围,是充分利用现有 CMOS 工艺实现低压模拟集成电路设计的一种重要方法. 本文利用衬底驱动技术设计实现了超低压运算放大器,在 0. 8V 的低电源电压下可以得到 74dB 的开环增益和较大的输出电压范围,仿真结果表明,这种运算放大器适用于低压环境中.

参考文献

[1] Blalock B J, Allen P E. Designing 1-V op amps using standard digital CMOS technology. IEEE Trans Circuits and System : Analog and Digital Signal Processing, 1998, 45 (7) : 769

[2] Lasanen K, Ruotsalainen E R, Kostamovaara J. A 1-V 5 μ W CMOS-opamp with bulk-driven input transistors. Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems, 2000, 3: 1038

[3] Rajput S S, Januar S S. Low voltage analog circuit design techniques. IEEE Circuits and Systems Magazine, 2002, 2(1) : 24

[4] Blalock B J, Allen O E. Low-voltage, bulk-driven MOSFET current mirror for CMOS technology. IEEE International Symposium on Circuits and Systems, 1995, 3: 1972

[5] Allen P E, Blalock B J, Rincon G A. A 1V CMOS opamp using bulk-driven MOSFETs. Digest of Technicl Paper-IEEE International Solid State Circuit Conference, 1995, 38: 192

[6] Yan Shouli, Edgar Sanchez-Sinencio. Low voltage analog circuit techniques: a tutorial. IEICE Trans Fundamentals of Electronics, Communications and Computer Sciences, 2000, E83-A(2) : 179

[7] Lin Yue, Xu Donglin, Ren Junyan, et al. A novel level-shifer based CMOS rail-to rail OPAMP design. Chinese Journal of Semiconductors, 2002, 23(5) : 529 (in Chinese) [林越, 徐栋麟, 任俊彦, 等. 基于共

Analysis of Bulk-Driven MOSFET and Design of Ultra-Low Voltage Operational Amplifier *

Yin Tao , Zhu Zhangming , Yang Yintang , and Guo Lei

(*Microelectronics Institute , Xidian University , Xi 'an 710071 , China*)

Abstract : The fundamental principles of the bulk-driven MOSFET ,along with the frequency and noise characteristics ,are discussed. The analysis and simulation of its low voltage characteristics are also made. Based on the PMOS bulk-driven technique ,an ultra-low voltage operational amplifier is proposed. With 0.8V power supply ,the dc open-loop gain of the amplifier is 74dB ,the phase margin is 66° and the input offset voltage is $940\mu\text{V}$ with 110 ~ 798mV output voltage swing.

Key words : ultra-low voltage ; bulk-driven ; operational amplifier ; CMOS

EEACC : 1205 ; 1220 ; 2570D

Article ID : 0253-4177(2005)01-0158-05

* Project supported by National Natural Science Foundation of China (No. 90207022)

Yin Tao male ,was born in 1980 ,master candidate. His research interests focus on low voltage ,low power analog IC design.

Zhu Zhangming male ,was born in 1978 ,PhD candidate. His research interests focus on high speed ADC/ DAC design and low voltage ,low power analog IC design.

Yang Yintang male ,was born in 1962 ,professor ,advisor for PhD candidate. His research interests focus on deep sub-micro analog IC design ,IP design ,VLSI technique and new types of semiconductor devices design.

Received 17 November 2003 ,revised manuscript received 13 January 2004

©2005 Chinese Institute of Electronics