

# 基于 SOI 材料的刻蚀光栅分波器的制作工艺\*

王文辉<sup>1</sup> 唐衍哲<sup>2</sup> 戈肖鸿<sup>1</sup> 吴亚明<sup>1</sup> 杨建义<sup>1,2</sup> 王跃林<sup>1,2</sup>

(1 中国科学院上海微系统与信息技术研究所 传感技术国家重点实验室, 上海 200050)

(2 浙江大学信息与电子工程学系, 杭州 310027)

**摘要:** 研究了基于绝缘材料上的硅(SOI)材料的平面波导刻蚀光栅分波器的主要制作工艺. 利用电感耦合等离子体刻蚀(ICP)技术,在 SOI 材料上制作了垂直度大于 89° 的光滑的光栅槽面. 氧化抛光后刻蚀侧壁的表面均方根粗糙度(RMS)有 3nm 的改善,达到 7.27nm(采样面积 6.2 $\mu$ m  $\times$  2.6 $\mu$ m). 通过采用集成波导拐弯微镜代替弯曲波导使 1  $\times$  4 分波器的器件尺寸仅为 2.0mm  $\times$  2.5mm. 测试结果表明器件实现了分波功能.

**关键词:** 刻蚀光栅; 波导镜; 电感耦合等离子体刻蚀; 绝缘材料上的硅; 分波器

**EEACC:** 4130; 2575; 4145

**中图分类号:** TN256

**文献标识码:** A

**文章编号:** 0253-4177(2005)01-0138-05

## 1 引言

分波器是密集波分复用(DWDM)系统中的关键器件和当前集成光学器件研究的热点之一. 阵列波导光栅(AWG)和平面波导刻蚀光栅(EDG)被认为是在通道数目较大时的理想选择<sup>[1]</sup>. EDG 与 AWG 相比,具有以下特点:当通道数目较多、通道间隔较小时,AWG 需要较大数目的阵列波导,并占用很大的芯片面积;而 EDG 以反射面代替阵列波导,因此具有结构紧凑的优点. 由于器件占用的芯片面积小,不仅基片的不均匀性对器件性能的影响较小,而且同样大小的基片可以制作更多的芯片,降低了器件的成本. 在温度控制方面,EDG 只需要在刻蚀光栅处控温,控温面积远小于 AWG,因而,控温需要的功率和难度也小于 AWG. 虽然 EDG 具有多方面的优点,但与 AWG 所需的浅刻蚀不同,EDG 需要刻蚀侧壁垂直、光滑的深刻蚀工艺. 对此,普通刻蚀设备难于实现. 同时,在高折射率材料上制作性能可以与 AWG 相似的 EDG 器件需要高精度的光刻设备以降低光栅槽面位置的随机误差和缝宽误差<sup>[2]</sup>. 一般刻

蚀光栅反射面的大小为数微米. 因此减小光栅反射面边缘的圆角也是对光刻工艺的挑战. 但随着工艺水平的提高,刻蚀光栅器件的性能有了很大提高,在多种材料上均制作出了性能良好的刻蚀光栅式分波器<sup>[3~5]</sup>. 但基于 SOI 材料的平面波导刻蚀光栅还未见报道.

绝缘材料上的硅(SOI)材料是一种常用的制作平面光波导器件的材料,在近红外光通信波长范围内具有广泛的应用<sup>[6]</sup>. 基于 SOI 材料的分波合波器已有报道<sup>[7,8]</sup>. 微电子学和微机电系统(MEMS)的发展,包括 SOI 材料在内的硅材料的制作、加工工艺等方面得到了深入的研究和完善,使得 SOI 材料在制作无源平面光波导器件时,特别是制作刻蚀光栅时,与 GaAs/AlGaAs, InP 等材料相比,具有加工工艺与微电子工艺兼容,加工手段灵活、成熟,材料便宜,适合低成本批量生产的优点. 用 SOI 材料制作刻蚀光栅式分波器具有很好的应用前景.

本文对电感耦合等离子刻蚀(ICP),氧化抛光和集成波导拐弯微镜等技术在 SOI 材料上制作刻蚀光栅式分波器中的应用进行了深入的工艺研究. 用上述工艺制作的 1  $\times$  4 平面波导刻蚀光栅分波器具有

\* 国家重点基础研究发展规划资助项目(批准号:G1999033104)

王文辉 男,1976 年出生,博士研究生,从事半导体器件和集成光学研究.

唐衍哲 女,1977 年出生,博士研究生,从事半导体器件和集成光学研究.

2003-11-21 收到,2004-03-10 定稿

十分紧凑的结构,测试结果表明器件实现了分波功能.

## 2 工艺实验和讨论

### 2.1 电感耦合等离子刻蚀

制作垂直、光滑的光栅反射面是制作刻蚀光栅式分波器的关键工艺,刻蚀光栅的反射面的质量关系到器件的片内损耗和串扰等重要性能参数.目前,以 ICP 刻蚀为代表的硅深刻蚀技术在 EMS 领域得到了广泛应用,日益成熟.图 1 是我们在普通硅片上 ICP 刻蚀后刻蚀侧壁的扫描电镜照片.图 1(a)是垂直于刻蚀侧壁解理后的扫描电镜照片.通过扫描电镜测量可知垂直度 > 89°.图 1(b)是刻蚀侧壁局部扫描电镜照片.图中可以清楚地看到近似周期排列的纵向波纹,这是在光刻过程中引入的图形边缘的波动造成的.测量结果表明波纹的幅度小于 100nm.

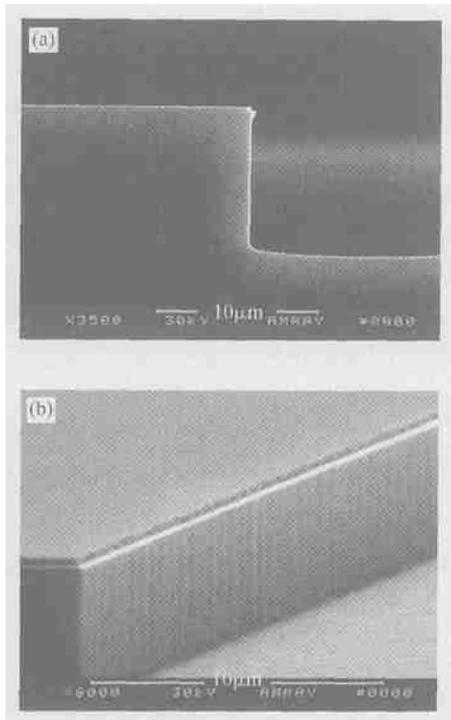


图 1 刻蚀面的扫描电镜照片 (a)显示垂直度的解理面照片;(b)刻蚀侧壁照片  
Fig. 1 SEM photos of the etched facets (a) Cleaved surface;(b) Etched surface

用 ICP 技术刻蚀 SOI 材料时有 Notch 效应<sup>[9]</sup>,即在刻蚀到氧化硅后如果继续刻蚀(过刻蚀),靠近氧化硅部分的硅的侧向刻蚀速率会突然增大,使刻蚀

面出现底部钻蚀.虽然在制作刻蚀光栅过程中刻蚀深度较浅,一般小于 10 $\mu$ m,但由于 SOI 材料器件层厚度均匀性不理想(一般为  $\pm 0.5\mu$ m)和光栅图形形状引起的刻蚀速率不均匀(lag effect)<sup>[9]</sup>等原因,不可避免地会出现过刻蚀.当器件层厚度较浅时,表现为整个刻蚀侧壁的横向移动,并且表面粗糙度快速增加.图 2 为严重过刻蚀后刻蚀面的扫描电镜照片,器件层厚度为 3.5 $\mu$ m.

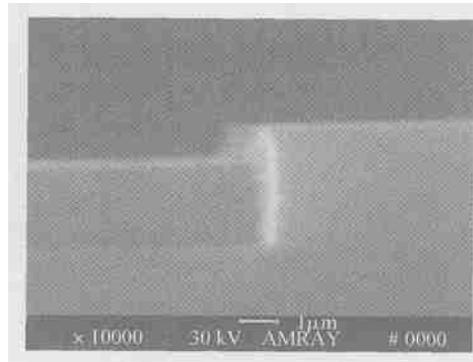


图 2 顶层硅厚度为 3.5 $\mu$ m 时过刻蚀的侧壁 SEM 照片  
Fig. 2 SEM photo of the over-etched surface with a top silicon layer of 3.5 $\mu$ m

由上述讨论可知,刻蚀侧壁的表面粗糙度主要由两部分组成.一部分是由于光刻造成的垂直于硅片表面的波纹状起伏;另一部分是刻蚀过程中,特别是过刻蚀造成的表面粗糙度恶化.光刻造成的图形边缘的波纹很难去除,但通过增加光刻版的制作精度和光刻工艺的控制,可以把波纹的起伏幅度控制在相当小的范围内.过刻蚀造成的表面质量恶化主要是由随机的、尖锐的起伏造成的,可以通过氧化抛光的方法来改善刻蚀面的表面质量.

### 2.2 氧化抛光

由于尖锐的区域热氧化的速度快,平坦的区域热氧化速度慢,所以通过热氧化可以去除尖锐的突起.图 3 是刻蚀侧壁的不同位置在 1050 湿氧氧化 1h 前后的测量结果(采样范围为 6.2 $\mu$ m  $\times$  26 $\mu$ m).可以看出,ICP 刻蚀后侧壁表面均方根粗糙度(RMS)在 10.6nm 左右.氧化抛光后,表面均方根粗糙度有约 3nm 的改善.最高点和最低点的高度差( $R_t$ )和 10 个最高点与最低点高度差的平均值( $R_z$ )均有很大降低. $R_t$  和  $R_z$  的大幅降低表明表面尖锐的突起被大大降低.从图 3 中可以清楚地看到氧化抛光后刻蚀

侧壁中仍有由光刻不理想产生的近似周期性的起伏. 因此, 氧化抛光可以改善由于刻蚀造成的粗糙表面, 但对由光刻引入的波纹状起伏则没有明显改善.

利用 ICP 刻蚀和氧化抛光, 可获得粗糙度小于 10nm 的光滑表面.

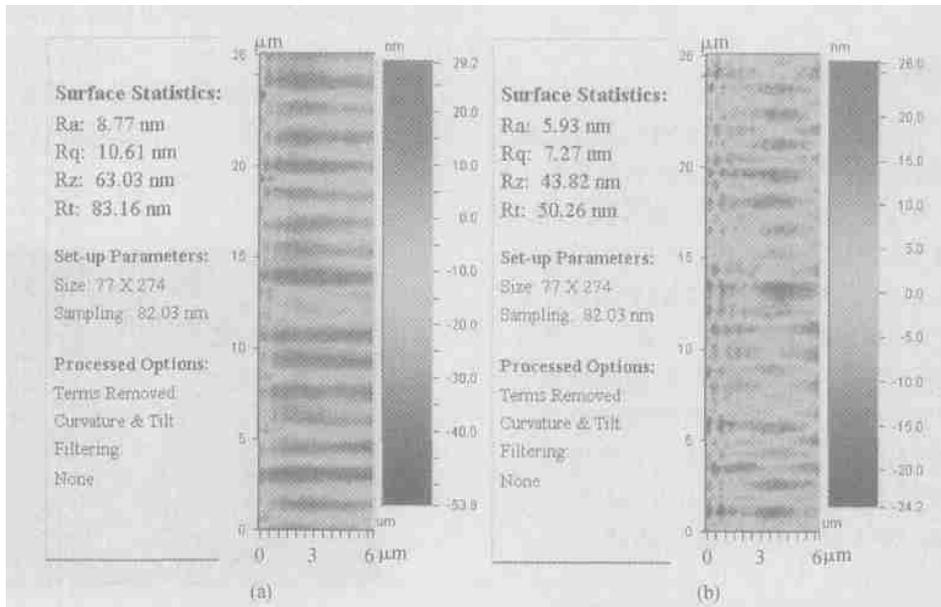


图 3 刻蚀侧壁表面在氧化前后的测量结果 (a) ICP 刻蚀后、氧化前的测量结果; (b) 1050 °C 湿氧化 1h 后的测量结果

Fig. 3 Measurement of the etched sidewall's surface before and after oxidation (a) After etched by ICP and before oxidation; (b) After 1h wet oxidation at 1050

### 2.3 集成波导拐弯微镜

为便于和单模光纤耦合, SOI 材料的器件层厚度一般与单模光纤直径相近. 为满足大截面脊形波导的单模条件, 波导的刻蚀深度不能太深, 因此弯曲波导的最小弯曲半径很大, 一般大于 10000 $\mu\text{m}$ . 为使输出波导间距分开到标准的 250 $\mu\text{m}$  或 127 $\mu\text{m}$ , 通常使用弯曲波导. 将输入、输出位置放在不同的端面也需要用弯曲波导来改变波导的方向. 由于曲率半径很大, 弯曲波导会占用相当大的芯片面积. 这一点在通道数目较大时将变得尤为突出. 为减小芯片面积, 我们在输出波导处采用湿法腐蚀的方法制作了集成波导拐弯微镜来代替弯曲波导<sup>[10]</sup>, 可使输出波导在小范围内间隔增大至 250 $\mu\text{m}$  或更大宽度, 并将输入、输出波导放置在互相垂直的两个端面. 用这种方法, 也可以很方便地将其放置在相对的两个端面, 更便于测试, 并且仅需要很小的额外芯片面积.

虽然干法刻蚀也可以制作集成波导拐弯微镜, 但从图 3 可知刻蚀侧壁的表面形貌具有较明显的重复性波动, 在用做输出波导处的集成波导拐弯微镜时, 会将部分光反射到其他方向<sup>[11]</sup>. 同时, 要获得好

的干法刻蚀侧壁, 要求光刻版的制作精度很高, 这增加了制作成本. 而采用湿法腐蚀, 则不需要很高的制版精度, 并且镜面完全垂直, 表面粗糙度小于 5nm (采样范围为 6.2 $\mu\text{m}$   $\times$  26 $\mu\text{m}$ ), 可消除光刻不理想造成的波纹状起伏. 当所有的镜面方向相同时, 还可以利用腐蚀时间来修正光刻过程中的套准误差, 进一步提高器件性能.

图 4 是器件输入、输出波导和集成波导拐弯微镜的显微镜和扫描电镜照片. 采用集成波导拐弯微镜后 1  $\times$  4 刻蚀光栅式分波器的芯片面积为 20mm  $\times$  2.5mm, 并且还有进一步减小的余地. 在通道数增加时, 芯片面积将只有少量的增加.

## 3 器件的制作和测试

采用以上工艺, 我们设计并制作了 1  $\times$  4 刻蚀光栅式分波器. 器件制作的工艺步骤如下: (1) 氧化后光刻出波导图形并用 KOH 溶液腐蚀出输入、输出波导及平板波导; (2) 氧化后光刻集成波导拐弯微镜图形并在 KOH 溶液中腐蚀出微镜; (3) 光刻阶梯光栅并进行 ICP 刻蚀; (4) 氧化抛光; (5) 刻蚀光栅反射面

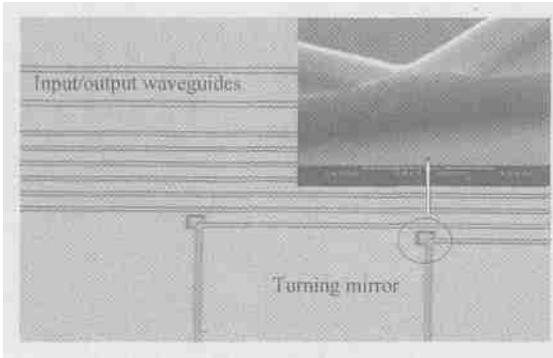


图 4 输入、输出波导的显微镜照片及波导拐弯微镜的放大 SEM 照片

Fig.4 Microscope photo of the input and output waveguides with the enlarged photo of a waveguide turning mirror

蒸发一层金并对输入、输出波导端面进行抛光处理.

对刻蚀光栅式分波器进行了初步测试. 图 5 为 4 通道分波器的输出谱线, 证明该器件实现了明显的分波特性. 但由于刻蚀光栅对掩模制作精度和光刻水平要求很高<sup>[3]</sup>, 受光刻条件限制, 器件的整体性能还有待提高.

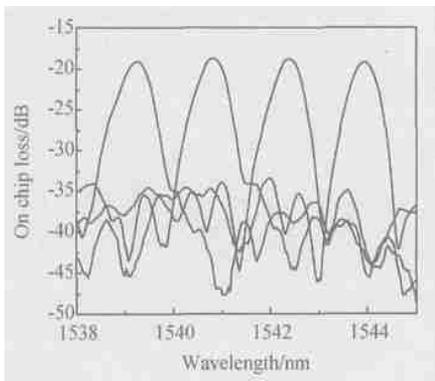


图 5 1 ×4 分波器的传输光谱

Fig.5 Transmission spectra of the 1 ×4 demultiplexer

### 4 结论

我们讨论并实现了在 BESOI 材料上制作结构十分紧凑的平面波导刻蚀光栅式分波器的主要工艺. 采用电感耦合等离子刻蚀和氧化抛光工艺, 制作了垂直、光滑的光栅槽面. 氧化抛光后刻蚀侧壁的表面粗糙度 (RMS) 可小至 7.32nm (采样面积 6.2μm ×26μm) 通过采用湿法腐蚀制作的集成波导拐弯微

镜代替弯曲波导, 大大缩小了器件的尺寸, 使 1 ×4 分波器的芯片大小只有 20mm ×2.5mm. 1 ×4 平面波导刻蚀光栅式分波器的光学测试结果表明实现了明显的分波特性. 要制作性能较好的器件, 还需要高精度的、可避开缝纫误差的光刻技术, 如可一次生成刻蚀光栅图形, 图形分割精度小于 10nm 的电子束直写技术. 设计制作与 AWG 性能相当的器件是我们下一步的工作.

### 参考文献

- [ 1 ] Koteles E S. Integrated planar waveguide demultiplexers for high density WDM applications. SPIE, 1999, CR71 :3
- [ 2 ] Smit J K, Van Dam C. Phasar-based WDM devices: principles, design and applications. IEEE J Sel Topics Quantum Electron, 1996, 2(2) : 236
- [ 3 ] He J J, Lamontagne B, Delage A, et al. Monolithic integrated wavelength demultiplexer based on a waveguide rowland circle grating in InGaAsP/ InP. J Lightwave Technol, 1998, 16(4) :631
- [ 4 ] He J J, Koteles E S, Lamontagne B, et al. Integrated polarization compensator for WDM waveguide demultiplexers. IEEE Photonics Technol Lett, 1999, 11(2) :224
- [ 5 ] Fallahi M, Mc Greer KA, Delage A, et al. Demultiplexer in GaAs/ Al-GaAs suitable for integration. Electron Lett, 1992, 28(24) :2217
- [ 6 ] Jalali B, Yegnanarayanan S, Yoon T, et al. Advances in silicon-on-insulator optoelectronics. IEEE J Sel Topics Quantum Electron, 1998, 4(6) :938
- [ 7 ] Jiang Xiaojing, Li Baiyang, Yang Jianyi, et al. A novel compact-structure arrayed-waveguide grating device. Chinese Journal of Semiconductors, 2002, 23(6) :632
- [ 8 ] Trinh P D, Yegnanarayanan S, Coppinger F, et al. Silicon-on-insulator (SOI) phased-array wavelength multi-demultiplexer with extremely low-polarization sensitivity. IEEE Photonics Technol Lett, 1997, 9(7) :940
- [ 9 ] Maluf N. An introduction to microelectromechanical system engineering. Boston London :Artech House Inc, 2000 :68
- [ 10 ] Tang Y Z, Wang W H, Li T, et al. Integrated waveguide turning mirror in silicon-on-insulator. IEEE Photonics Technol Lett, 2002, 14(1) :68
- [ 11 ] Lee S M, Chew W C, Moghaddam M, et al. Modeling of rough-surface effects in an optical turning mirror using the finite-difference time-domain method. J Lightwave Technol, 1991, 9(11) :1471

## Process of Etched Grating Demultiplexer Based on Silicon-on-Insulator \*

Wang Wenhui<sup>1</sup>, Tang Yanzhe<sup>2</sup>, Ge Xiaohong<sup>1</sup>, Wu Yaming<sup>1</sup>, Yang Jianyi<sup>1,2</sup>, and Wang Yuelin<sup>1,2</sup>

(1 State Key Laboratory of Transducer Technology, Shanghai Institute of Microsystem and Information Technology,  
Chinese Academy of Sciences, Shanghai 200050, China)

(2 Department of Information and Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

**Abstract :** The fabrication process of a compact planar waveguide etched grating (EDG) demultiplexer based on silicon-on-insulator (SOI) is studied. The etched grating is fabricated by inductively coupled-plasma (ICP) etching technique. The verticality of the facet is better than 89°. Surface roughness of the etched sidewall of 7.27nm (sample area :6.2 $\mu$ m  $\times$ 26 $\mu$ m) is achieved after the surface is polished by oxidation. The chip size of the 1  $\times$ 4 EDG demultiplexer is minimized to only 20mm  $\times$ 2.5mm using integrated waveguide turning mirror to replace curved waveguides. Preliminary experimental results shows that the function of wavelength demultiplexing has been realized.

**Key words :** etched diffraction gratings; waveguide turning mirror; inductively coupled-plasma etching; silicon-on-insulator; demultiplexer

**EEACC :** 4130; 2575; 4145

**Article ID :** 0253-4177(2005)01-0138-05

---

\* Project supported by State Key Development Program for Basic Research of China (No. G1999033104)

Wang Wenhui male, was born in 1976, PhD candidate. He is mainly engaged in the research on semiconductor devices and integrated optics.

Tang Yanzhe female, was born in 1977, PhD candidate. She is mainly engaged in the research on semiconductor devices and integrated optics.

Received 21 November 2003, revised manuscript received 10 March 2004

©2005 Chinese Institute of Electronics