

# Ultra-Thin Body SOI MOSFET 交流特性分析和结构优化<sup>\*</sup>

田 豫 黄 如

(北京大学微电子学研究所, 北京 100871)

**摘要:** 针对沟道长度为 50nm 的 UTB SOI 器件进行了交流模拟工作, 利用器件主要的性能参数, 详细分析了 UTB 结构的交流特性. 通过分析 UTB SOI 器件的硅膜厚度、侧墙宽度等结构参数对器件交流特性的影响, 对器件结构进行了优化. 最终针对 UTB SOI MOSFET 结构提出了一种缓解速度和功耗特性优化之间矛盾的方法, 从而实现了结构参数的优化选取, 使 UTB SOI MOSFET 器件的应用空间更为广泛.

**关键词:** UTB; MOSFET; 交流特性; 模拟

**EEACC:** 2560; 2560S

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2005)01-0120-06

## 1 引言

由于集成电路在集成度、功耗以及速度等方面的要求, MOSFET 器件特征尺寸不断缩小. 当尺寸缩小到超深亚微米级时, 传统的 MOSFET 器件结构面临着巨大的挑战. 为了抑制短沟效应、阈值漂移以及 DIBL 效应, 常规器件需要不断增大沟道掺杂, 而这将引起泄漏电流增大, 并将大大降低沟道迁移率. 然而便携式产品的需求日益扩大, 常规器件已经不能满足越来越高的低功耗、高速度要求. Ultra-thin body (UTB) SOI 由于其特有的超薄非掺杂自对准结构, 成为特征尺寸进入超深亚微米后新器件中的优选结构. 针对 UTB SOI MOSFET 的直流特性已有许多研究, 相关论文具体分析了 UTB SOI 器件结构的优越特性<sup>[1~6]</sup>. 由于沟道区基本非掺杂, 电子表面迁移率提高, 从而大大增强了器件的驱动能力; 薄膜的全耗尽结构切断了漏电途径, 降低了泄漏电流, 从而有效抑制了源漏耗尽区的电荷分享, 克服了短沟效应, 漏

致势垒降低、(DIBL) 效应, 得到近似理想的亚阈值特性. 然而, 以上分析主要针对直流特性, 针对 UTB SOI 的交流特性研究相对较少. 本文主要针对 UTB SOI MOSFET 本征栅延迟、增益以及跨导特性等主要交流特性进行了研究, 并对 UTB SOI MOSFET 交流特性是否能够满足应用要求以及器件的结构参数对器件交流特性的影响进行了较为详细的模拟和分析.

硅膜厚度会在很大程度上影响 UTB SOI 器件的直流特性<sup>[4,6]</sup>, 减薄硅膜可以有效抑制短沟效应, 得到近似理想的亚阈值特性, 改善器件的直流性能. 但是通过交流的模拟计算和分析, 当硅膜厚度小于 8nm 后, 总的栅电容  $C_{gg}$  将随着硅膜的减薄不断增大, 并且随着驱动电流的进一步减小, 本征栅延迟大大增加, 这将严重影响电路速度, 带来更大的功耗损失. 因此从器件的速度特性方面考虑, UTB SOI MOSFET 的硅膜厚度不宜一味地减小, 需要针对具体的应用领域折中考虑.

通过对延迟、静态功耗的比较分析, 本文依据 ITRS Roadmap 提供的标准, 提取了功耗、速度满足应

<sup>\*</sup> 国家自然科学基金(批准号: 90207004)和国家重点基础研究发展规划(批准号: 2000036501)资助项目

田 豫 女, 1979 年出生, 博士研究生, 主要从事超深亚微米 MOS 器件的研究.

黄 如 女, 1969 年出生, 博士, 教授, 主要从事超深亚微米 MOS 器件和 SOI 技术的研究.

2003-11-27 收到, 2004-06-11 定稿

用要求的结构参数优化范围,并且最终利用 UTB SOI MOSFET 的不同结构参数对器件交流特性的影响,提出了一种缓解决速度和功耗优化之间矛盾的方法,从而通过对不同结构参数的优化,可以更好地满足各种应用要求.

## 2 UTB SOI MOSFET 结构和模拟物理模型

UTB SOI MOSFET 的结构如图 1 所示,相应的沟道长度为 50nm,轻掺杂衬底.表 1 列出了模拟器件所选取的具体结构参数,其中硅膜厚度( $t_{Si}$ )、侧墙厚度( $l_{sp}$ ) (源漏扩展区宽度)是 UTB SOI MOSFET 结构优化的重要可变参数.

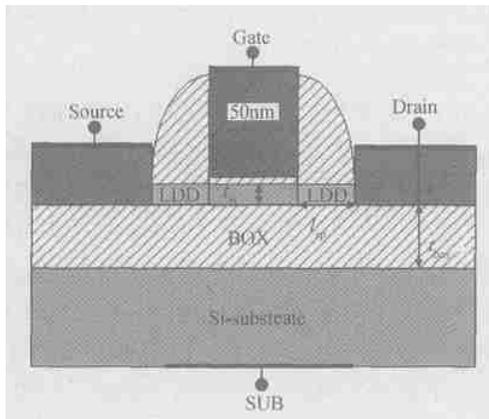


图 1 UTB SOI MOSFET 常规结构

Fig. 1 Normal structure of UTB SOI MOSFET

表 1 UTB SOI MOSFET 模拟结构参数

Table 1 Geometric and physical parameters of UTB SOI MOSFET

沟道长度	氧化层厚度	源漏结深	沟道掺杂	源漏掺杂	源漏扩展区掺杂	栅掺杂
50nm	1.2nm	25nm	$5 \times 10^{14} \text{cm}^{-3}$	$10^{20} \text{cm}^{-3}$	$10^{19} \text{cm}^{-3}$	$10^{20} \text{cm}^{-3}$

通过利用 ISE TCAD8.0 模拟器二维器件的 AC 小信号方法分析模拟 UTB SOI MOSFET 交流的电学特性. UTB SOI MOSFET 交流特性模拟中采用的物理模型为热力学、流体动力学以及量子模型;复合模型采用了 SRH, Auger, Band2band 和 Avalanche 模型;迁移率模型采用了 doping Dependence, High field saturation, Enormal 和 PhuMob 模型.

## 3 器件交流特性模拟结果的分析 and 讨论

### 3.1 硅膜厚度对器件交流特性的影响

UTB SOI MOSFET 的硅膜厚度是决定器件特性的一个重要参数,它在很大程度上影响着器件的直流特性,对器件的交流特性也起着重要的作用.器件的本征栅延迟和静态功耗随硅膜厚度的变化分别如图 2 和 3 所示.从图 2 可以明显看到,本征栅延迟随硅膜厚度减小不断增大,这主要是由于随着硅膜厚度的减小,器件的开态电流  $I_{dd}$  不断减小.但是,通过进一步的分析发现,当硅膜厚度小于大约 8nm 后,栅延迟增长幅度加剧,这主要是由于栅电容随硅膜

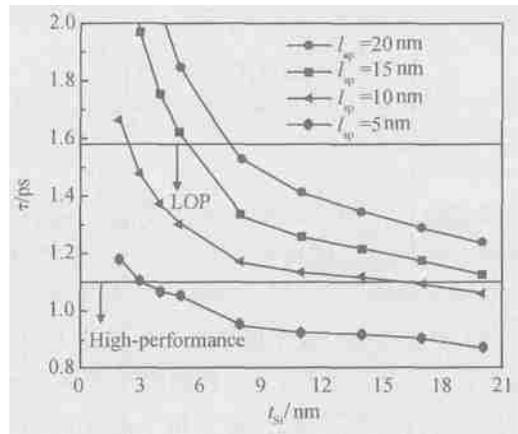


图 2 本征栅延迟随硅膜厚度的变化

Fig. 2 Intrinsic delay versus silicon thickness

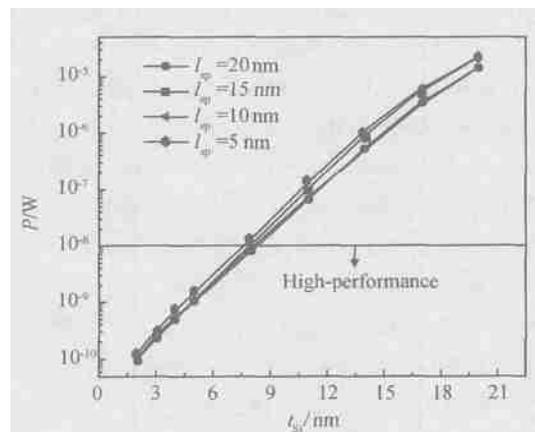


图 3 静态功耗随硅膜厚度的变化

Fig. 3 Static power consumption versus silicon thickness

厚度的变化引起的. 本征栅电容随硅膜厚度变化如图 4 所示, 在硅膜厚度大约为 8nm 左右时栅电容存在着一个最小值. 通过模拟数据以及器件的物理特性分析认为, UTB SOI MOSFET 在沟道长度为 50nm 时, 栅氧化层很薄 (1.2nm), 沟道区的表面电场很大, 因此反型载流子的量子效应非常明显, 载流子能

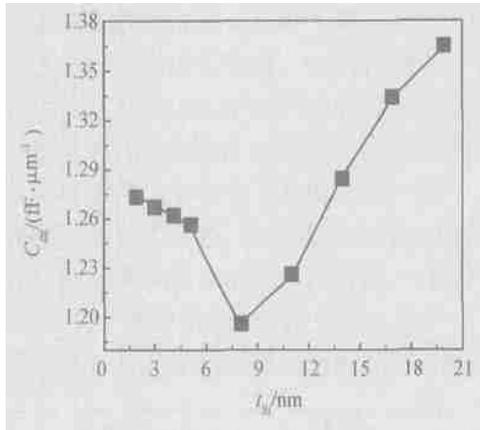


图 4 栅电容随硅膜厚度的变化

Fig. 4 Intrinsic gate capacitance versus silicon thickness

级在垂直于沟道表面方向上是量子化的, 电子的能级分裂形成二维自带. 由于量子效应严重影响反型载流子浓度分布, 使浓度峰值偏离了沟道表面, 向硅膜体内移动, 等效于栅氧化层厚度增大, 从而使栅电容降低. 因此在 UTB SOI 硅膜厚度从 20nm 不断降低到 8nm 的过程中, 由于量子效应的加剧, 反型层的电子浓度逐渐偏离沟道表面, 栅电容不断减小. 但是当硅膜不断减薄到 8nm 后, 由于硅膜厚度逐渐接近于反型层厚度, 这时硅膜中的载流子浓度分布很高, 趋近于均匀分布. 当硅膜厚度进一步减小, 由量子效应引起的浓度分布差异造成等效氧化层厚度增大的影响相对减小. 而这时由于硅膜中的载流子浓度趋近于均匀分布, 硅膜不断减薄反而引起等效氧化层厚度不断减小, 从而使栅电容增加. 以上分析可以通过图 5 的反型层载流子浓度分布随硅膜厚度变化比较得出, 因此在硅膜不断减薄的过程中栅电容存在着一个最小值. 虽然从直流特性角度来看, 硅膜的不断减薄可以更有效地抑制短沟效应、DIBL 效应、降低泄漏电流, 但是从交流特性的分析, 硅膜厚度不断减薄将会增加本征栅延迟. 尤其当硅膜不断减薄到一定程度时, 还将造成驱动电流的减小, 进一步加剧栅延迟, 大大降低器件开关速度, 还将引起很大的动态功耗. 因此在对速度要求非常高的应用领域中, 一

味减小 UTB SOI MOSFET 的硅膜厚度是不明智的.

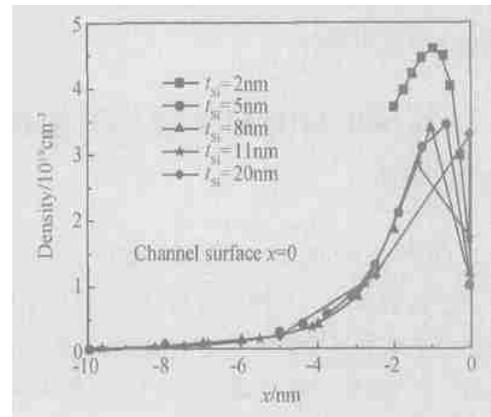


图 5 不同厚度硅膜中电子浓度分布

Fig. 5 Electron density distribution across silicon film of different silicon film thickness

图 3 主要描述了 UTB SOI MOSFET 静态功耗随硅膜厚度变化的影响, 当硅膜厚度不断减小时, 静态功耗很快降低. 这主要是由于硅膜厚度的不断减小, 改善了器件的短沟效应、DIBL 效应, 从而降低了器件的泄漏电流. 而且由于硅膜的减薄进一步减小了源漏区结深, 从而进一步减小泄漏电流. 当硅膜厚度减小到 9nm 左右时, 静态功耗将会满足 ITRS Roadmap 的高性能要求, 但是通过模拟和结构参数的优化发现, 在电源电压为 1V 时 UTB SOI MOSFET 静态功耗不易满足低功耗要求. 功耗和延迟都是器件的重要性能参数, 但是在具体应用中常常很难同时降低. 随着硅膜厚度的不断减小, 虽然泄漏电流不断减小, 静态功耗得到相应改善, 但由于硅膜厚度的不断减小导致器件的驱动能力下降, 总栅电容增加, 速度降低, 因此硅膜厚度应根据实际应用优化选取: 在低功耗应用中, 侧墙厚度为 20nm 时, 硅膜厚度应大于 7.5nm, 侧墙厚度为 15nm 时, 硅膜厚度应大于 5nm, 可以满足 ITRS Roadmap 本征栅延迟的要求; 相比之下在高性能应用领域中对硅膜厚度的要求很高, 侧墙厚度为 10nm 时, 硅膜厚度要大于 18nm; 侧墙厚度 15nm 时, 硅膜厚度需要大于 20nm 才能够满足 ITRS Roadmap 高性能的本征栅延迟的要求.

图 6 描述了 UTB SOI MOSFET 跨导和增益随硅膜厚度的变化. 由于硅膜的不断减小, 栅所控制的反型层电荷增加, 使得器件的驱动能力提高, 跨导增加. 当硅膜小于大约 5nm 时, 跨导下降速度加大, 这是因为当硅膜很小时, 反型层电子由于硅膜的不断

减薄被驱赶到硅表面,从而使得迁移率受到表面散射的影响而降低,加剧了跨导的减小.虽然随着硅膜厚度的减小,跨导不断减小,但是由于硅膜的不断减薄,沟道区、源漏扩展区的厚度都相应减小,使得 UTB SOI 器件的输出电阻很快增加,因此使器件增益随硅膜的厚度减小得到很大的改善.

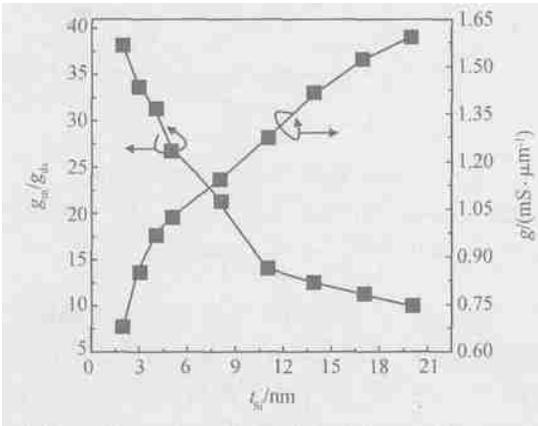


图 6 跨导、增益随硅膜厚度的影响

Fig. 6 Transconductance and intrinsic gain versus silicon thickness

### 3.2 侧墙宽度对器件交流特性的影响

常见的 UTB SOI MOSFET 结构如图 1 所示,从中我们可以看到,在源漏和沟道区之间存在着源漏扩展区,在器件尺寸不断缩小尤其进入 50nm 尺寸时,这个区域的形成是不可避免的.一方面由于杂质在器件的工艺实现过程中经过多次热处理后的再分布造成沿沟道区的横向扩散,当尺寸不断缩小时,所占比例越大;另一方面,从器件的直流特性的改善考虑,源漏扩展区可以有效地抑制 DIBL 效应,防止源漏漏穿通.由于工艺实现的原因,侧墙宽度主要决定着源漏扩展区的宽度,对器件的交流特性也存在着很大的影响.本征栅延迟和静态功耗随侧墙宽度的变化如图 7 所示,从图中可以看到,当侧墙宽度不断减小时,本征栅延迟明显减小,而随着侧墙宽度的变化功耗变化却非常小.由于源漏延伸区浓度相对源漏区浓度比较低,因此扩展区电阻比较大.当侧墙宽度减小,即源漏延伸区宽度减小,使得源漏电阻减小,器件的驱动电流增大,因此改善了本征栅延迟,提高了速度.然而,由于扩展区的深度并没有发生变化,因此不会产生影响泄漏电流,这为缓解速度和功耗之间的矛盾提供了一个有效的方法.

图 8 描述了 UTB SOI 器件的跨导和增益受侧墙厚度的影响.由于源漏扩展区宽度的不断减小,源漏

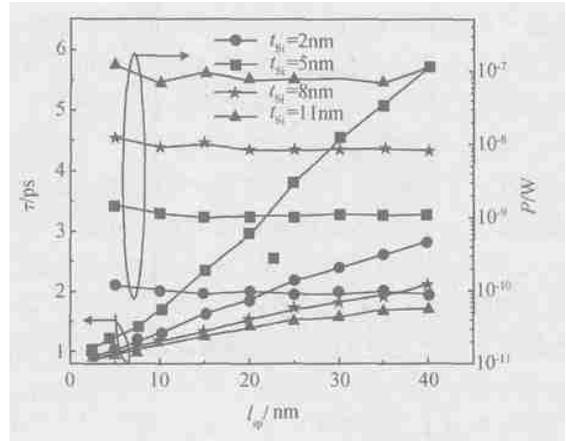


图 7 栅延迟、功耗随侧墙宽度的变化

Fig. 7 Variation of intrinsic delay and static power consumption with different silicon thickness versus space width

串联电阻降低,从而使器件的驱动能力增强,提高了器件的跨导.虽然随着宽度的减小,器件跨导增大,但是由于源漏扩展区电阻大大降低,因此输出电阻下降,器件增益减小.从图中还可以看到,当侧墙厚度大于 20nm 时,侧墙宽度对增益的影响减小,这是因为源漏扩展区电阻随源漏扩展区宽度不断增大而减小,在输出电阻中所占比例不断减小,当侧墙宽度大于一定范围时,源漏串联电阻受扩展区宽度变化影响很小,因此通过侧墙宽度调节器件增益的有效范围将在 20nm 以内.

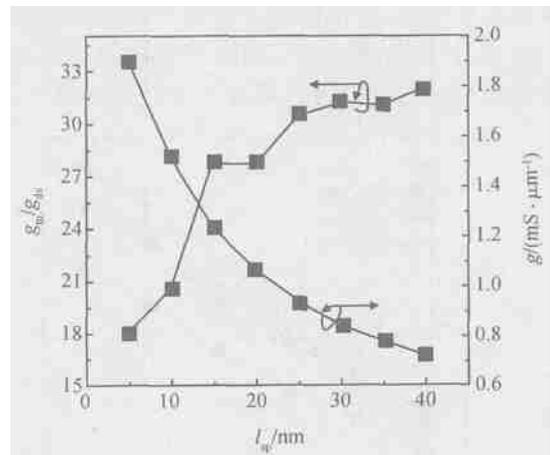


图 8 跨导、增益随侧墙宽度的变化

Fig. 8 Transconductance and intrinsic gain versus space width

基于前面所分析的器件参数对器件交流特性的影响,一方面可以通过不断减小侧墙宽度的方法提高器件的开关速度,同时不影响器件的静态功耗,如

图 2,3 和 7 所示,因此通过调节侧墙厚度可以有效降低栅延迟. 另一方面还可以看到,当硅膜厚度大于 8nm 时,硅膜厚度对 UTB SOI MOSFET 本征栅延迟特性的影响较小,尤其当侧墙较薄时,栅延迟对硅膜厚度敏感度很小,但硅膜厚度对静态功耗的影响很大. 因此在实际应用中,可以首先根据速度的要求调节侧墙宽度,不会影响器件的静态功耗,然后再通过调节硅膜厚度使功耗满足要求,而不会影响器件速度性能,经过一、两次的循环选择,如图 9 所示,就可以得到满足应用要求的器件参数. 利用 UTB SOI MOSFET 硅膜厚度和侧墙宽度对器件特性的影响有效地缓解速度和功耗之间不易调和的矛盾是非常有意义的. 但是,从工艺和器件的直流特性要求上讲,源漏扩展区不可能一味减小,这不仅给工艺带来很大困难,而且会影响器件的直流特性.

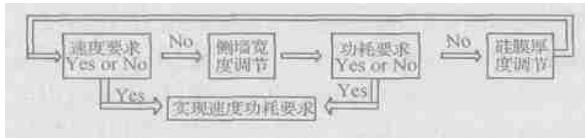


图 9 速度功耗特性优化的参数选取流程

Fig. 9 Flow of device parameters chosen for excellent performance

在不同的硅膜厚度下 UTB SOI MOSFET 器件随沟道长度缩小能力如图 10 和 11 所示. 从图中看到,硅膜厚度对栅延迟和功耗随沟道长度变化影响是完全不同的. 由于硅膜厚度的不断增大有助于减小栅延迟时间,因此可以通过增加硅膜的厚度使得在速度要求的范围内将器件尺寸进一步缩小. 但是另一方面器件尺寸的缩小要受到功耗的限制,当硅膜厚

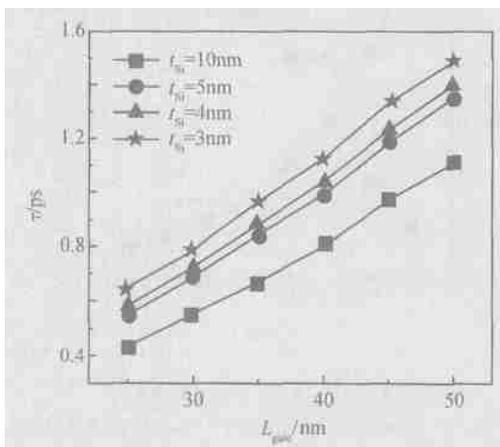


图 10 不同硅膜厚度下栅延迟随沟道长度变化

Fig. 10 Variation of intrinsic delay with different silicon thickness versus channel length

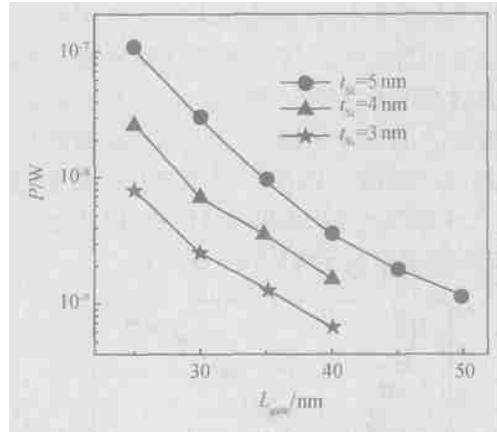


图 11 不同硅膜厚度下功耗随沟道长度变化

Fig. 11 Transconductance and intrinsic gain with different silicon thickness versus channel length

度增加时会使器件的泄漏电流增大,从而增加静态功耗,使器件尺寸缩小面临很大困难. 然而,通过前面结构参数对器件交流特性的影响分析,侧墙宽度(源漏扩展区宽度)将在速度、功耗之间矛盾方面起到很大的缓解作用. 因此为了能够增大 UTB SOI MOSFET 的沟道极限长度,可以通过首先减小侧墙宽度的方法降低栅延迟,这时对功耗的影响很小,然后再通过调节硅膜厚度使器件的功耗满足要求,同时又不会对速度产生很大影响.

### 4 结论

在 UTB SOI MOSFET 具有优良的直流特性基础上,针对器件的交流特性进行了详细的模拟比较和分析,并且通过改变硅膜厚度、侧墙宽度等结构参数,全面地模拟分析了它们对速度、功耗、跨导以及增益等性能指标的影响. 从交流特性角度来看,硅膜厚度由于受到本征栅延迟的限制不能一味地减小,因为无限制减小会在很大程度上降低器件的速度特性,并带来较大的动态功耗. 侧墙宽度可以有效调节器件的速度,而不会影响器件的静态功耗. 通过利用 UTB SOI MOSFET 硅膜厚度和侧墙宽度对器件特性的不同方面的影响,提出了一种方法有效缓解静态功耗和速度之间不易调和的矛盾,这对于利用结构参数的优化选取开拓 UTB SOI MOSFET 更为广泛的应用领域是非常有意义的. 通过对模拟结果的分析比较发现,适当选取器件结构参数,可以有效拓宽器件特征尺寸的缩小极限,有利于更好地提高集成电路的集成度和强大功能. 综上所述,交流特性同样决

定着 UTB SOI MOSFET 的各种性能,在进行结构优化时,器件的交流 and 直流各种参数需要进行全面的权衡.

### 参考文献

- [ 1 ] Adan A O , Higashi K , Fukushima Y. Analytical threshold voltage model for ultrathin SOI MOSFET 's including short-channel and floating-body effects. IEEE Trans Electron Devices ,1999 ,46(4) :729
- [ 2 ] Xuan Peiqi , Kedzierski J , Subramanian V , et al. 60nm planarized ultra-thin body solid phase epitaxy MOSFETs. Conference Digest of Device Research Conference ,2000 :67
- [ 3 ] Uchida K , Watanabe H , Kinoshita A , et al. Experimental study on carrier transport mechanism in ultrathin-body SOI n- and p-MOSFETs with SOI thickness less than 5nm. IEDM ,2002 :47
- [ 4 ] Choi Y K , Ha D , King T J , et al. Ultra-thin body PMOSFETs with selectively deposited Ge source/ drain. 2001 Symposium on VLSI Technology ,2001 :19
- [ 5 ] Vandoreen A , Eglely S , Zavala M , et al. Ultra-thin body fully-depleted SOI devices with metal gate (TaSiN) gate ,high K (HfO<sub>2</sub>) dielectric and elevated source/ drain extensions. IEEE International SOI Conference ,2002 :205
- [ 6 ] Choi Y K , Asano K , Lindert N , et al. Ultra-thin body SOI MOSFET for deep-sub-tenth micron era. International Electron Devices Meeting , 1999 :919

## AC Performance Analysis and Structure Optimization of Ultra-Thin Body SOI MOSFET 's \*

Tian Yu and Huang Ru

( Institute of Microelectronics , Peking University , Beijing 100871 , China)

**Abstract :** A simulation based analysis of 50nm UTB MOSFET 's ,emphasizing on the AC performance in UTB SOI MOSFET 's ,is described. Aiming at the excellent DC and AC characteristics ,small signal characteristics of the device are investigated in comparison with different geometric parameters and physical parameters. A method to alleviate the conflict between power and speed in allusion to UTB SOI MOSFET 's ,with different influence of various parameters on device AC characteristics ,is proposed. It is beneficial to wider the application fields of UTB SOI MOSFET by optimizing geometric and physical parameters.

**Key words :** ultra-thin-body ; UTB ; MOSFET ; AC ; simulation

**EEACC :** 2560 ; 2560S

**Article ID :** 0253-4177(2005)01-0120-06

\*Project supported by National Natural Science Foundation of China (No. 90207004) and State Key Development Program for Basic Research of China (No. 2000036501)

Tian Yu female ,was born in 1979 ,PhD candidate. Her research activities mainly include very deep sub-micron MOS devices.

Huang Ru female ,was born in 1969 ,PhD ,professor. Her research interests mainly include very deep sub-micron MOS devices and SOI technology.

Received 27 November 2003 ,revised manuscript received 11 June 2004

©2005 Chinese Institute of Electronics