

超薄 $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack 栅介质及器件

林 钢 徐秋霞

(中国科学院微电子研究所, 北京 100029)

摘要: 成功制备了 EOT (equivalent oxide thickness) 为 2.1 nm 的 $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack 栅介质, 并对其性质进行了研究. 结果表明, 同样 EOT 的 $\text{Si}_3\text{N}_4/\text{SiO}_2$ stack 栅介质和纯 SiO_2 栅介质比较, 前者在栅隧穿漏电流、抗 SLC 性能、栅介质寿命等方面都远优于后者. 在此基础上, 采用 $\text{Si}_3\text{N}_4/\text{SiO}_2$ stack 栅介质制备出性能优良的栅长为 0.12 μm 的 CMOS 器件, 器件很好地抑制了短沟道效应. 在 $V_{\text{ds}} = V_{\text{gs}} = \pm 1.5 \text{ V}$ 下, nMOSFET 和 pMOSFET 对应的饱和电流 I_{on} 分别为 584.3 $\mu\text{A}/\mu\text{m}$ 和 -281.3 $\mu\text{A}/\mu\text{m}$, 对应 I_{off} 分别是 8.3 nA/ μm 和 -1.3 nA/ μm .

关键词: 超薄 $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack 栅介质; 栅隧穿漏电流; SLC 特性; 栅介质寿命; CMOS 器件

PACC: 8160; 7540A **EEACC:** 2550E; 2530F

中图分类号: TN386 **文献标识码:** A **文章编号:** 0253-4177(2005)01-0115-05

1 引言

随着集成电路特征尺寸不断减小, 作为传统 CMOS 器件核心的 SiO_2 栅介质厚度也随之减薄, 由此带来的问题是栅隧穿电流的急剧增大和杂质穿透栅介质进入硅衬底 (主要是硼穿透)^[1,2]. 这两个问题会严重影响 CMOS 器件的性能, 甚至使器件失效.

Si_3N_4 材料因为具有较高的介电常数和很好的抗杂质穿透能力而被广泛研究, 已经有报道利用 JVD (jet vapor deposition) 方法制备出具有低栅隧穿漏电流等优良特性的 Si_3N_4 栅介质^[3]. 然而直接采用 Si_3N_4 作为栅介质的突出问题是, Si_3N_4 材料和衬底 Si 之间界面的性能远不如 SiO_2 和衬底 Si 之间界面的性能, 前者的界面陷阱密度 (density of interface traps) 和边界陷阱密度 (density of border traps) 都远高于后者, 这些陷阱会对器件特性产生重要影响. 为了解决这个问题, 有人提出 $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack 结构^[4]. 即在 Si_3N_4 和衬底 Si 之间制作一层超薄的 SiO_2 缓冲层, 克服 Si_3N_4 和衬底 Si 之间界面差的矛盾, 同时保持 Si_3N_4 的优势.

在已有文献中所报道的 $\text{Si}_3\text{N}_4/\text{SiO}_2$ stack 结构, Si_3N_4 薄膜多采用 JVD, RPECVD (remote plasma enhanced CVD)^[5] 或 ALD (atomic-layer-deposition)^[6] 等方法淀积. 这些方法需要专用设备, 制作成本高. 本文则采用常规的 LPCVD 方法制备 Si_3N_4 膜, 得到了 EOT (equivalent oxide thickness) 为 2.1 nm 的超薄 $\text{Si}_3\text{N}_4/\text{SiO}_2$ stack 栅介质, 并研究了其特性 (为简单起见, 以下我们用 N/O stack 来代表 $\text{Si}_3\text{N}_4/\text{SiO}_2$ stack 栅介质). 在此基础上成功制备出栅长为 0.12 μm 性能优良的 N/O stack 栅介质 CMOS 器件.

2 实验

2.1 pMOS 电容的制备

为了研究 N/O stack 栅介质特性, 我们在 n 型 (100), 电阻率为 2~4 $\Omega\cdot\text{cm}$ 的衬底上制备了 pMOS 电容样品, 电容面积 3.14 $\mu\text{m} \times 100 \mu\text{m}$. 采用标准的 CMOS 工艺, 主要流程如下:

LOCOS 隔离; 栅介质制备, 包括“N/O stack 栅介质”和“纯 SiO_2 栅介质”两种; 制作多晶硅电极; Ti-Salicide; 背面金属化.

林 钢 男, 1977 年出生, 硕士研究生, 现从事深亚微米 CMOS 器件的研究.

徐秋霞 女, 1942 年出生, 教授, 现从事亚 50nm CMOS 器件和技术研究.

2003-12-26 收到, 2004-04-23 定稿

在上述的工艺流程中,N/O stack 栅介质中超薄 SiO₂ 层采用氮注入硅衬底再氧化的方法制备;Si₃N₄ 层采用 LPCVD 方法制备;采用 Ti 硅化物减小掺杂多晶硅栅的串联电阻;采用背面金属化来减小测量时的接触电阻.为了确定 EOT,首先测量电容样品的 C-V 曲线,然后将测量得到的 C-V 结果与加州大学伯克利分校开发的电容-电压模拟器(QMCV simulator)的结果进行拟合^[7],得到样品的等效厚度(EOT)为 2.1nm.拟合过程中考虑了量子效应和多晶硅栅耗尽效应.为了对比试验结果,我们用热氧化方法制备了纯 SiO₂ 栅介质电容,对应的 EOT 也为 2.1nm.

2.2 0.12μm 栅长 CMOS 器件的制备

在制备出超薄 N/O stack 栅介质的基础上,我们采用 N/O stack 栅介质制作了 CMOS 器件.工艺流程如下:形成双阱;LOCOS 隔离;调栅注入;栅介质制作:超薄 SiO₂ 缓冲层+超薄 Si₃N₄ 层;淀积多晶硅电极;电子束光刻栅电极;RIE 刻蚀栅电极;源漏扩展区注入;TEOS 侧墙形成;源漏注入;RTA;Ti-Salicide;LTO+BPSG;开孔和金属化.

电容样品和 CMOS 器件的电学特性采用 HP4145 半导体参数分析仪测试.

3 结果和讨论

3.1 N/O stack 栅介质特性

图 1 给出了 N/O stack 栅介质截面的高分辨率透射电镜(HRTEM)照片.

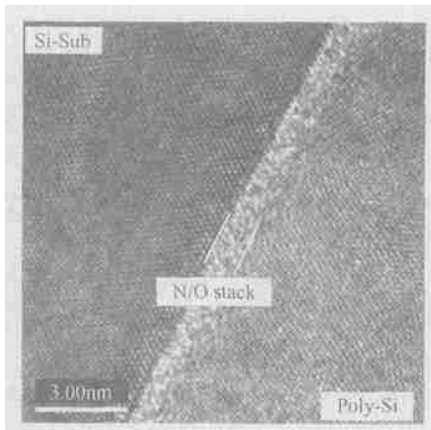


图 1 N/O stack 栅介质截面 HRTEM 照片
Fig. 1 Cross section HRTEM image of N/O stack gate dielectrics

3.1.1 栅隧穿漏电流特性

图 2 对比了 EOT 同为 2.1nm 的 N/O stack 栅介质和纯 SiO₂ 栅介质隧穿漏电流特性.不难看出,在相同栅压下,N/O stack 栅介质的隧穿漏电流远小于 SiO₂ 的栅隧穿漏电流.电压较低时,隧穿漏电流差达到 2~3 个数量级;随着栅压升高,隧穿漏电流的差缩小,但也保持在 1 个数量级左右.

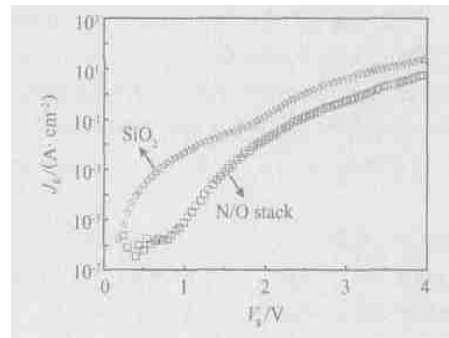


图 2 N/O 结构与 SiO₂ 栅介质的 J_g-V_g 特性比较

Fig. 2 J_g-V_g characteristics comparison between N/O stack and SiO₂ dielectrics

N/O stack 结构隧穿漏电流小的原因可归结为,在同样 EOT 下,由于 Si₃N₄ 材料较 SiO₂ 有更高的介电常数(即 k 值),所以 N/O stack 结构的物理厚度更厚,从而隧穿漏电流较小;另一方面,N/O stack 的缓冲氧化层是采用氮注入硅衬底再氧化方法制备的氮化氧化硅薄膜,它与衬底 Si 之间的界面特性优于纯 SiO₂/Si 的界面特性^[8].

3.1.2 SILC 特性

应力诱生漏电流(stress induced leakage current, SILC)直接和栅介质中的陷阱密度相关,因此研究中经常通过测量 SILC 来衡量栅介质中的陷阱密度^[9].图 3 给出了 N/O stack 栅介质和纯 SiO₂ 栅介质的

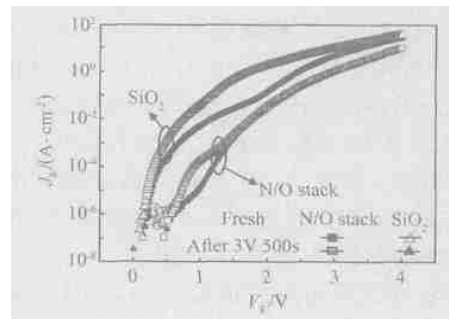


图 3 N/O stack 结构与 SiO₂ 栅介质的 SILC 特性比较

Fig. 3 SILC characteristics comparison between N/O stack and SiO₂ dielectrics

SILC 特性比较, 应力条件是 3V 恒压, 时间为 500s.

可以看到, 在经过恒压应力后, 纯 SiO₂ 栅介质的栅隧穿漏电流整体上显著增加, 而 N/O stack 栅介质电容的栅隧穿漏电流在整体上只有很小变化. 这是因为在 500s 恒压应力过程中, N/O stack 结构的隧穿漏电流显著小于 SiO₂ 栅介质对应的隧穿漏电流, 因此在 N/O stack 结构内由于隧穿漏电流产生的陷阱也远远小于在纯 SiO₂ 栅介质内产生的陷阱. 这说明 N/O stack 结构有很好的抗 SILC 能力, 可靠性较高.

3.1.3 TDDB 特性与寿命预测

为了进一步研究 N/O stack 栅介质的可靠性, 我们采用恒压应力 (constant voltage stress, CVS) 测试方法, 对比了两种栅介质的 TDDB 特性.

图 4 给出了 N/O stack 栅介质与 SiO₂ 栅介质的 T_{bd} 分布比较. 可以看出:

- (1) N/O stack 结构和纯 SiO₂ 栅介质的 T_{bd} 分布都比较集中, 说明测试样品的栅介质膜有很好的均匀性;
- (2) 在相同的电压应力下 (如 3.6 和 3.9V), 可以看到, N/O stack 结构的 T_{bd} 远大于纯 SiO₂ 的 T_{bd}. 较大的 T_{bd} 值说明 N/O stack 结构有更好的可靠性.

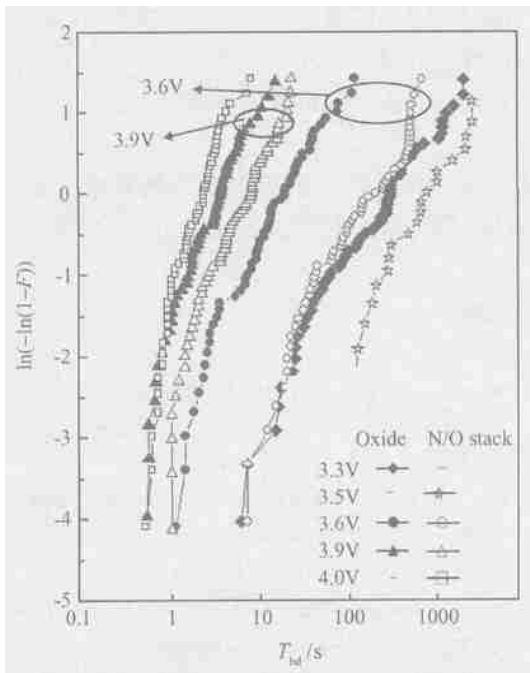


图 4 N/O stack 结构与 SiO₂ 栅介质的 TDDB 特性比较
Fig.4 TDDB characteristics comparison between N/O stack and SiO₂ dielectrics

图 5 给出了 N/O stack 栅介质与 SiO₂ 栅介质的 10 年寿命预测. 从图中的预测结果可以看出, EOT 为 2.1nm 的 N/O stack 栅介质安全工作 10 年对应的工作电压为 2.6V 左右, 而同样 EOT 的纯 SiO₂ 栅介质对应的 10 年工作电压为 1.9V 左右, 前者远大于后者. 这进一步说明 N/O stack 栅介质有较高的可靠性.

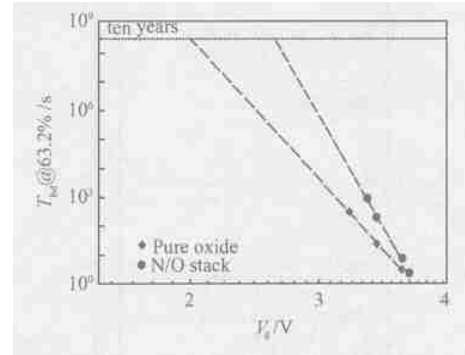


图 5 N/O stack 结构与 SiO₂ 栅介质寿命预测
Fig.5 Lifetime projection of N/O stack and SiO₂ gate dielectrics

3.2 N/O stack 结构 CMOS 器件特性

在制备出具有良好特性的超薄 N/O stack 栅介质的基础上, 我们采用 N/O stack 结构作为栅介质, 制备出栅长为 0.12μm 的 CMOS 器件, 图 6 给出了其 SEM 照片.

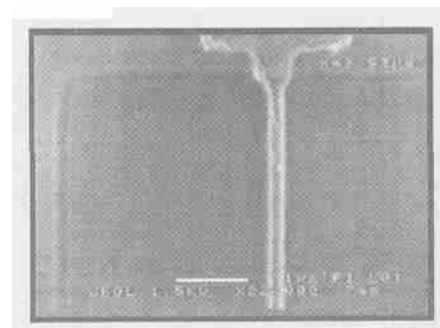


图 6 N/O stack 器件的 SEM 照片 L_g = 0.12μm
Fig.6 SEM image of N/O stack device L_g = 0.12μm

图 7 给出了 n/p MOSFET 的亚阈值特性曲线. 在关态下, nMOSFET 和 pMOSFET 对应 I_{off} 分别是 8.3nA/μm 和 -1.3nA/μm; 在 ±1.5V 漏源电压下对应的亚阈值斜率分别为 72.3mV/dec 和 74mV/dec; DIBL 分别为 23.26mV/V 和 34.47mV/V. 由此可知, N/O stack 栅介质 CMOS 器件有较小的亚阈值斜率

和 DIBL,这主要是因为 N/O stack 栅介质有很小的 EOT 厚度和高质量,故栅电极可以很好地耦合沟道,从而有效抑制了短沟道效应.

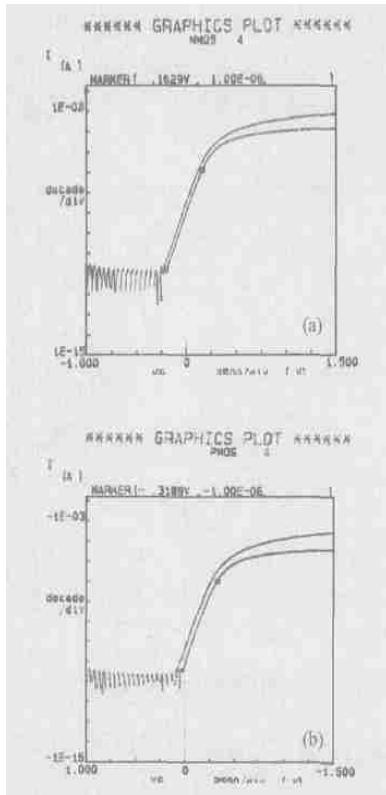


图 7 N/O stack 器件亚阈值特性曲线 $L_g = 0.12\mu\text{m}$

Fig. 7 Sub-threshold characteristics of N/O stack devices $L_g = 0.12\mu\text{m}$

图 8 给出了 n/p MOSFET 输出特性曲线.从图中可知,在 $\pm 1.5\text{V}$ 漏源电压下,nMOSFET 和 pMOSFET 对应的饱和电流 I_{on} 分别为 $584.3\mu\text{A}/\mu\text{m}$ 和 $-281.3\mu\text{A}/\mu\text{m}$,可见 N/O stack 栅介质器件有很好的驱动能力.

4 结论

在成功制备出 $\text{EOT} = 2.1\text{nm}$ 的 N/O stack 栅介质基础上,深入研究了其特性.通过与同样 EOT 的纯 SiO_2 栅介质对比,可以看出,N/O stack 结构栅介质在栅隧穿漏电流、SLC 特性、栅介质寿命等方面都优于纯 SiO_2 栅介质.原因在于,在同样 EOT 条件下,N/O stack 结构有更大的物理厚度,因而可以大大降低隧穿漏电流;另一方面,N/O stack 结构的缓冲氧化层是采用氮注入硅衬底再氧化方法制备的氮化硅薄膜,它与衬底 Si 之间的界面特性优于纯

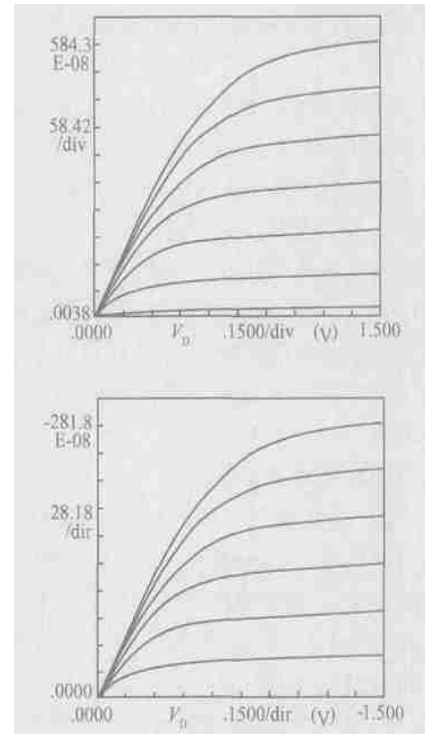


图 8 N/O stack 器件输出特性曲线 $L_g = 0.12\mu\text{m}$

Fig. 8 Output characteristics of N/O stack devices $L_g = 0.12\mu\text{m}$

SiO_2/Si 的界面特性.

采用 N/O stack 结构栅介质,制备出栅长为 $0.12\mu\text{m}$ 的 CMOS 器件.测试结果表明,N/O stack 结构器件很好地抑制了短沟道效应(器件有好的亚阈值特性),并有大的电流驱动能力.

致谢 感谢加州大学伯克利分校器件组提供的电容-电压模拟器(QMCV simulator).

参考文献

- [1] Buchanna D A,Lo S H. Reliability and integration of ultra-thin gate dielectrics for advanced CMOS. *Microelectron Eng*,1997,36:13
- [2] Cao Min,Vande Voorde P,Cox M,et al. Boron diffusion and penetration in ultra-thin oxide with poly-Si gate. *IEEE Electron Device Lett*, 1998,19:291
- [3] Ma T P. Making silicon nitride film a viable gate dielectric. *IEEE Trans Electron Devices*,1998,45:680
- [4] Parker C G,Lucovsky G,Hauser J R. Ultra-thin oxide-nitride gate dielectric MOSFET's. *IEEE Electron Device Lett*,1998,19:106
- [5] Wu Y,Lee Y M,Lucovsky G. 1.6nm oxide equivalent gate dielectrics using nitride/oxide (N/O) composites prepared by RPECVD/oxidation process. *IEEE Electron Device Lett*,2000,21:116

- [6] Nakajima A, Khosru Q D M, Yoshimoto T, et al. Soft breakdown free atomic-layer-deposited silicon nitride/ SiO_2 stack gate dielectrics. IEEE IEDM Tech Dig, 2001 :133
- [7] <http://www-device.eecs.berkeley.edu/research/qmcv/qmcv.html>
- [8] Xu Qiuxia, Qian He, Han Zhengsheng, et al. Characterization of 1.9- and 1.4-nm ultra-thin gate oxynitride by oxidation of nitrogen-implanted silicon substrate. IEEE Trans Electron Devices, 2004, 51(1) : 113
- [9] Pantisano L, Cheung K P. Stress-induced leakage current (SILC) and oxide breakdown: are they from the same oxide traps? IEEE Trans Device Mater Reliab, 2001, 1(2) :109

Ultra-Thin $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ Stack Gate Dielectrics and Devices

Lin Gang and Xu Qiuxia

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract : Ultra-thin $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack gate dielectric with EOT of 2.1nm is fabricated successfully, and its characteristics are investigated. The results show that compared with the pure oxide gate dielectrics of the same EOT, N/O stack gate dielectrics have much better performance on the aspects of tunneling leakage current, SILC characteristics, and gate dielectrics lifetime. With EOT of 2.1nm $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack gate dielectrics, 0.12 μm gate length CMOS devices are fabricated. Good short channel behavior is observed. At off-state, the nMOSFET and pMOSFET show an I_{off} of 8.3nA/ μm and -1.3nA/ μm , respectively; at power supply voltage of $V_{\text{ds}} = V_{\text{gs}} = \pm 1.5\text{V}$, nMOSFET and pMOSFET show an I_{on} 584.3 $\mu\text{A}/\mu\text{m}$ and -281.3 $\mu\text{A}/\mu\text{m}$ respectively.

Key words : ultra-thin $\text{Si}_3\text{N}_4/\text{SiO}_2(\text{N/O})$ stack gate dielectrics; tunneling leakage current; SILC characteristics; gate dielectrics lifetime; CMOS devices

PACC : 8160; 7540A **EEACC :** 2550E; 2530F

Article ID : 0253-4177(2005)01-0115-05

Lin Gang male, was born in 1977, master candidate. His researches focus on the deep sub-micron CMOS devices.

Xu Qiuxia female, was born in 1942, professor. Her research includes sub-50nm CMOS devices and technologies.

Received 26 December 2003, revised manuscript received 23 April 2004

©2005 Chinese Institute of Electronics