

# 一种适用于 10/100MHz Base TX 以太网的 新型发射电路\*

韩益锋 李 强 顾沧海 郑增钰 李 联

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 提出了一种新结构发射电路, 适用于 10/100MHz Base TX 以太网, 兼容 10MHz Base TX 和 100MHz Base TX 两种工作模式, 并能在这两种模式间自由切换. 电路采用了波形整形, 斜率控制, 复用线驱动器等技术, 使所有参数符合 IEEE802.3 标准. 芯片在 SMIC 的  $0.18\mu\text{m}$  CMOS 工艺流片测试, 电源电压为 3.3V.

关键词: 以太网; 发射电路; 线驱动器

EEACC: 1250; 1265H; 1280

中图分类号: TN492 文献标识码: A 文章编号: 0253-4177(2005)02-0385-05

## 1 引言

IEEE802.3 协议<sup>[1]</sup> 规定了 10/100MHz Base TX 发射部分需要完成的功能. 本文主要讨论发射电路中模拟模块的设计, 控制信号由数字模块产生.

在发射电路的设计中, 100MHz 模式下的上升和下降时间控制是最具有挑战性的部分, 因此设计围绕 100MHz 发射通路展开. 文献[2]采用 FIR 滤波器加上过采样数模转换器的结构进行波形整形和上升/下降时间的控制, 但是数字部分的时钟高达 160MHz, 硬件开销比较大. 文献[3]提出了兼容 10MHz 和 100MHz 两种模式发射电路的实现方法, 在上升和下降时间的控制上, 采用了电容和电阻的一阶滤波器, 这种控制方法受工艺的影响很大, 而且上升和下降波形类似于电容的充电和放电过程, 波形的对称性很差. 本文在已有工作的基础上, 采用了接收端时钟和数据恢复电路的多相位时钟<sup>[4]</sup>来控制 100MHz 模式发射波形的上升和下降时间, 在 10MHz 模式, 采用了 ROM 对发射波形进行整形, 取得了很好的结果. 由于复用了接收端的时钟发生器, 发射端的线驱动器兼容两种发射模式, 因此大大降低了芯片的功耗, 并节省了芯片的面积.

## 2 系统结构

发射电路的框图如图 1 所示. 主要模块有: 数字模块 (Digital), 时钟产生模块 (PLL), 10MHz Base TX 模块, 100MHz Base TX 模块和线驱动器模块 (line driver). 其中, Digital 部分用来产生各种控制信号以及对要发送的信号进行必要的编码. 时钟产生模块用 PLL 来产生多个频率多个相位的时钟信号, 并且用于接收端的时钟数据恢复.

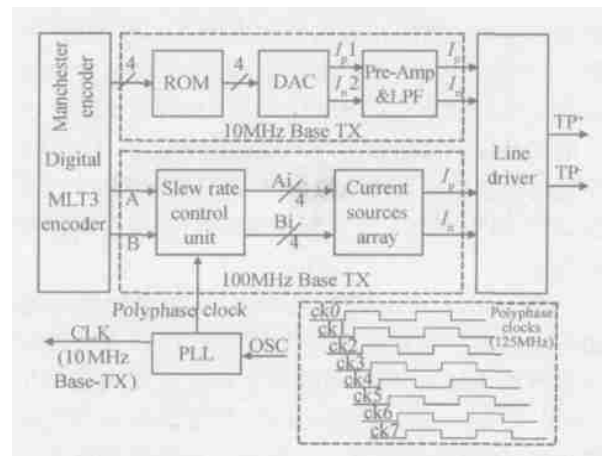


图 1 10/100MHz 发射电路框图

Fig. 1 Block diagram of the 10/100MHz Base TX transmitter

\* 国家高技术研究发展计划(批准号:2002AA1Z1360), 上海市集成电路设计创新(批准号:027062005)资助项目

2004-02-14 收到, 2004-07-12 定稿

在 10MHz Base TX part 模块中,主要是 ROM, DAC, Pre-Amp 和 LPF. ROM 存储了需要发送的各种信号. 发射波形通过 ROM 编码采样及模数转换器(DAC)从而实现对发射电路进行波形整形. 10MHz 模式下的信号发送需要得到一个很大的电流,因此采用了两级放大的方法. Pre-Amp 模块用于电流的第一级预放大,第二级是线驱动器对电流进行放大,从而达到输出的要求. 在 100MHz Base TX 模式下,发射电路对驱动电流的要求仅仅为 10MHz Base TX 模式的 40%,所以选取的电流放大只有一级,即直接通过线驱动器把电流放大到需要的幅值. 在 100MHz Base TX 模块中,数字部分进行二进制到 ML T3 编码的转换,然后通过多相位时钟进行上升和下降时间控制,得到不同相位的开关信号,使电流源在不同时间导通和关断,得到需要的输出波形. 线驱动器模块主要是输出所需的大电流以驱动双绞线. 这里用的是电流型线驱动器,结构简单,非常容易实现,做到了 10MHz 和 100MHz Base TX 两种模式的兼容. 这种线驱动器还可用于 1000MHz Base TX 的发射电路.

### 3 10MHz Base TX 模块

如图 1 所示,10MHz Base TX 模块的系统时钟由 PLL 提供,采样时钟为 100MHz. ROM 中存储了数据的 8 种曼彻斯特编码的波形以及 3 种 NLP 波形,每个波形用 10 个点来表征. 数字模块把要发送的信号编码到对应的 ROM 地址,然后从 ROM 中读取需要发送的信号波形. DAC 部分则把从 ROM 中读出的数据转换成模拟信号,并且经过预放大,滤波,然后以电流形式输入到线驱动器,最后传送到双绞线上.

在 10MHz Base TX 模式下,发射电路需要输出一个很大的电流用来驱动双绞线,所以在实现的时候分两步放大电流. 因为第二级电流放大需要和 100MHz Base TX 模式相兼容,并且没有相应的滤波电路,所以我们提出了一种新结构的电流放大电路以及滤波电路,如图 2 所示. 其中,电流放大采用比例电流源来实现,虚线框里面的部分是低通滤波器. 由于一个输出信号波形用 10 个点来描述,输出的频谱分量中最强的谐波位于 80,90,100,110 和 120MHz 处,为了保证谐波分量比基频低 27 个 dB 以上,滤波器采用一个两阶的 RC 滤波器来实现,其

转折频率设计在 15MHz 左右,确保最后的输出符合 IEEE802.3 协议的规定.

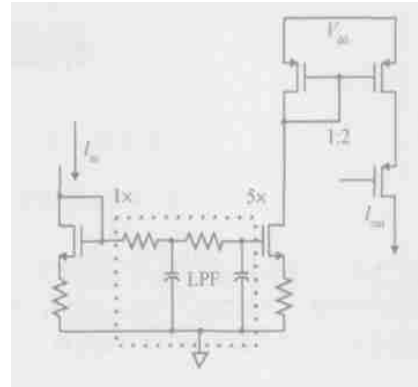


图 2 电流预放大电路和滤波电路

Fig. 2 Current preamplifier and filter

### 4 100MHz Base TX 模块

在 100MHz Base TX 模式下,传输速率为 125MHz/s,IEEE802.3 协议采用了 ML T3 编码,用来减少输出频谱的高频分量. 图 3 是理想的 ML T3 编码波形,编码有 3 个电平: +1, 0 和 -1. 二进制编码 '1' 对应 ML T3 波形有一个跳变,而二进制编码 '0' 则没有. 连续的二进制编码 '1' 对应着 ML T3 编码波形的电平为 0, +1, 0, -1, 0 的循环. 为了进一步减小频谱上高频分量的能量,ML T3 编码波形的上升和下降时间必须控制在  $4\text{ns} \pm 1\text{ns}$  的范围内.

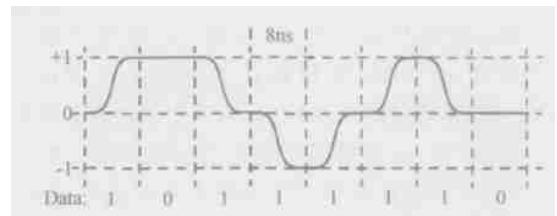


图 3 理想的 ML T3 编码波形

Fig. 3 Ideal ML T3 waveform

为了使输出得到 ML T3 编码波形,在图 1 中,用 A, B 两个数字信号来表征最后的三个输出电平. 如果采取无源或者有源滤波的方式<sup>[3,7]</sup>,由于工艺的偏差,很难精确控制上升和下降时间,为了做到时间常数的恒定,控制电路将变得比较复杂,而且会增大工艺的偏差. 本文采用了斜率控制<sup>[5]</sup>的办法,如图 4(a) 所示. 图 4(b) 是输入信号 A, B 和输出 ML T3 编码波形的关系,由图 1 中的 Slaw rate control unit

模块把编码转换成电流源阵列的开关信号. PLL 提供了多个相位的时钟,斜率控制技术就利用这些时钟使输出的 ML T3 编码波形随着时钟的到来而台阶式上升或者下降. 这就可以做到输出的上升/下降时间精确定在 4ns,并且不会随着温度,电源,以及工艺的变化或者偏差而变化. 由于台阶的宽度为 1ns,晶体管的栅电容以及寄生电容就可以平滑掉这些台阶,最后输出非常完美的 ML T3 编码波形.

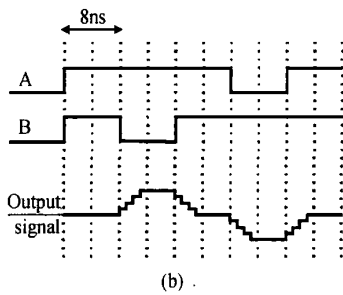
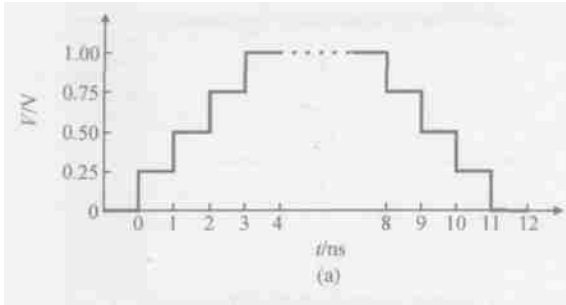


图 4 斜率控制 (a)斜率控制;(b)输入和输出信号

Fig. 4 Slew rate control (a) Slew rate control ;(b) Input and output signal

图 5 所示的是 100MHz Base TX 模式下的电流源阵列,这个模块完成了数字信号到模拟信号的转换.图 5 中,  $I_p$  和  $I_n$  经过线驱动器放大后发送到双绞线上,  $I_p$  和  $I_n$  的精度,电源,温度,工艺的变化等等将会影响到最后的输出. 基准电流源产生了一个基准电流,当电流值随电源,温度和工艺的变化范围小于 5%,并且其他条件都没有变化的情况下,最后的输出电压变化范围也会在 5%以内. 当基准电流偏差较大时,还可以通过调整外接电阻的大小来校准基准电流. 为了保证电流源的精度,图 5 中的电流源采用工作在饱和区的晶体管做成. 文献[3]采用工作在线性区的晶体管做成,其优点是晶体管可以用很小的面积得到很大的电流,利用这种方法得到的电流受工艺、温度、电源电压等因素变化的影响非常大. 工作于饱和区的晶体管要得到同样大小的电流,

面积会做得比较大,但是只要基准电流不变,则输出电流受工作环境,温度以及电源电压的偏差等因素变化的影响非常小,能够符合 IEEE 802.3 协议要求.

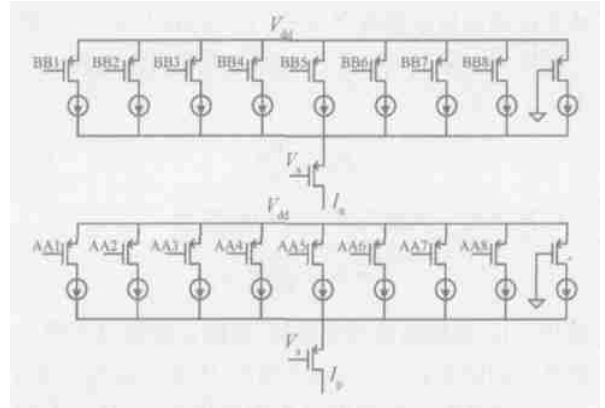


图 5 精确控制上升和下降时间的电流源阵列

Fig. 5 Digital controlled current array for accurate rise and fall time

### 5 线驱动器模块

图 6 所示的是两种基本的线驱动器. 图 6(a) 为电压型线驱动器,双绞线通过变压器耦合驱动,而变压器的原线圈由一个电压源加上串联的匹配电阻驱动. 图 6(b) 为电流型线驱动器,变压器由一个电流源加上一个并联的匹配电阻驱动. 文献[6]中用电压型线驱动器实现了适用于 10/ 100MHz Base TX 的

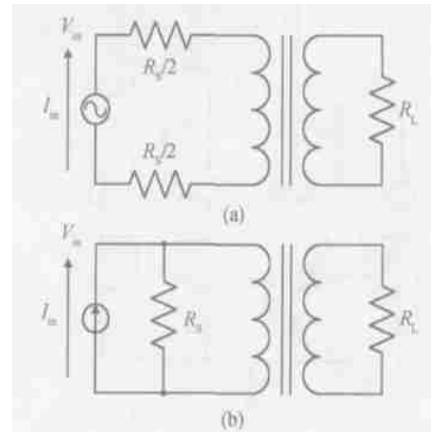


图 6 两种线驱动器 (a)电压型线驱动器;(b)电流型线驱动器

Fig. 6 Two types of line driver (a) Voltage-mode line driver ;(b) Current-mode line driver

线驱动器,但是电路比较复杂,并且线驱动器的带宽很难做到很高. 文献[3]中采用了电流型线驱动

器. 由于电压型线驱动器会在匹配电阻上产生分压, 使得它在低电压电路的应用受到限制. 而电流型线驱动器结构简单, 输出摆幅基本不受电源电压的限制, 很容易实现较高的带宽. 综合以上的分析, 电流型线驱动器非常适合于 10/100MHz Base TX. 假定变压器的匝数比为  $1:n$ , 则两端阻抗之间的关系为

$$R_S = \frac{R_L}{n^2} \quad (1)$$

可以推导出电流型线驱动器的效率为

$$= \frac{V_0}{V_{dd} n(n+1)} \quad (2)$$

其中  $V_0$  是输出电压的峰值, 当输出峰值电压和电源电压固定时,  $n$  越小, 效率越高. 因此在这里选取  $n=1$ , 一方面保证低电源电压的应用需要, 另一方面也保证了较高的电源效率. 对于在低电源电压下实现适用于 10MHz Base TX 的线驱动器, 最大的一个挑战是产生峰值为 2.5V 的电压且不使晶体管物理击穿. 图 7 所示的线驱动器采用 3.3V 电源电压驱动一个 1:1 的中间抽头变压器, 则输出最大约为 5V 的峰值电压 (存在裕量, 实际上最大电压不会超过 5V) 分配于晶体管 M0, M2 (或是 M3, M5), 防止物理击穿. 发射电路兼容 10/100MHz Base TX 两种工作模式, 通过选通信号进行模式间切换, 共用了一个线驱动器, 大大节省了芯片面积.

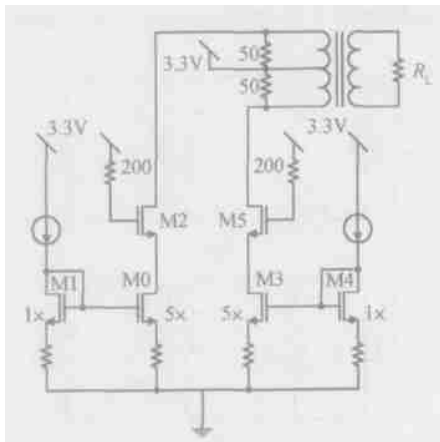


图 7 低电压电流型线驱动器

Fig. 7 Low voltage current-mode linear driver

## 6 电路实现和测试结果

整个发射电路通过仔细的版图设计, 采用 SMIC 的 0.18μm CMOS 工艺流片, 电源电压为

3.3V.

图 8(a) 是发送的随机 ML T3 编码波形, 图 8(b) 是发送的 ML T3 编码波形的眼图. 从图中可以看出, 发送的 ML T3 波形幅度的对称性非常好, 眼图张得很开, 上升时间和下降时间约为 4ns, 符合了 3ns 到 5ns 之间的要求. 上升波形和下降波形的对称性非常好, 眼图的六边形结构非常明显. 另外, 发送波形的抖动均方根为 185ps.

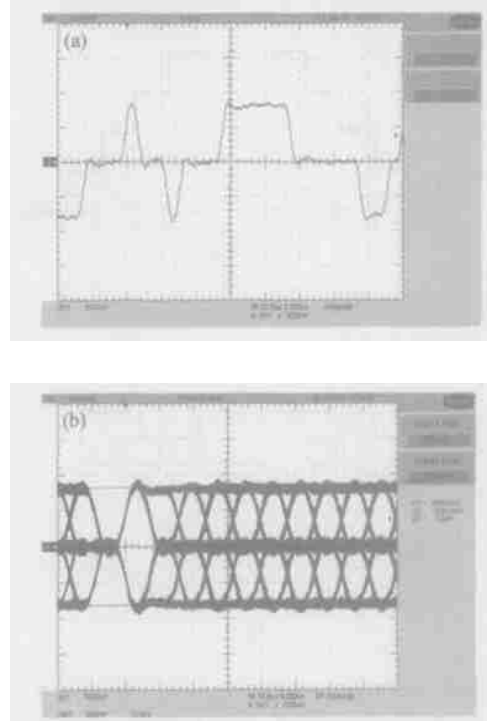


图 8 100MHz 模式下测试结果 (a) 输出伪随机 ML T3 数据; (b) 相应的眼图

Fig. 8 100MHz Base TX transmitter experimental results (a) Output ML T3 coded waveform with PN data; (b) Corresponding eye diagram

## 7 结论

本文实现了一种适用于 10/100MHz Base TX 的发射电路. 在 10MHz Base TX 工作模式下, ROM 中存储了要发送的波形, 经过数模转换并且预放大, 滤波, 然后通过双绞线驱动器输出, 得到最终需要的发射波形. 在 100MHz Base TX 工作模式下, 开关电流源阵列直接驱动线驱动器. 借助于基准源和外接电阻的校准, 双绞线线驱动器输出幅值非常精确, 并且幅度可调. 借助于锁相环控制双绞线驱动器的输出电流, 发射电路输出波形的上升/下降时间也可以控制得非常精确, 而且上升和下降的波形对称性很

好.另外,整个发射电路工作于 3.3V 的电源电压,只需要很小的改动就可以工作于 1.8V 的电源电压,并且能够兼容 10/100/1000MHz Base TX 三种工作模式.

**致谢** 在电路设计和测试中,得到了复旦大学专用集成电路与系统国家重点实验室和千兆以太网项目组的大力帮助,在此表示感谢.

### 参考文献

- [ 1 ] Carrier Sense Multiple Access With Collision Detection (CSMA/CD) Access Method and Physical Layer Specification, ISO/IEC 8802-3, ANSI/IEEE Standard 802.3 4th ed., July 7, 1993
- [ 2 ] Shoaei O., Shoal A., Leonowich R H. A dual-speed 125 Mbaud/10Mb aud CMOS transmitter for fast ethernet. Proceedings of the IEEE 1999:257
- [ 3 ] Everitt J, Parker J F, Hurst P, et al. A CMOS transceiver for 10MB/s and 100MB/s Ethernet. IEEE J Solid-State Circuits, 1998, 33:2169
- [ 4 ] Wang Yan, Ye Fan, Li Lian, et al. Power and area efficient CMOS clock recovery circuit for 10/100 base-T ethernet. Chinese Journal of Semiconductors, 2003, 24(6):643 (in Chinese) [王彦,叶凡,李联,等.一个面积和功耗优化且适用于 10/100 Base-T 以太网的 CMOS 时钟恢复电路.半导体学报, 2003, 24(6):643]
- [ 5 ] Huss S, Mullen M, Gray C T, et al. A DSP based 10Base T/100Base TX ethernet transceiver in a 1.8V, 0.18 $\mu$ m CMOS Technology. IEEE Conference on Custom Integrated Circuits, 2001:135
- [ 6 ] Babanezhad J N. A 100MHz, 50 $\mu$ s, -45dB distortion, 3.3V CMOS line driver for ethernet and fast ethernet networking applications. IEEE J Solid-State Circuits, 1999, 34(8):1044
- [ 7 ] Nack D S, Dyer K C. A constant slew rate ethernet line driver. IEEE J Solid-State Circuits, 2001, 36(5):854

## A Novel Transmitter for 10/100MHz Base TX Ethernet<sup>\*</sup>

Han Yifeng, Li Qiang, Gu Canghai, Zheng Zengyu, and Li Lian

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

**Abstract:** A novel architecture of transmitter for 10/100MHz base TX Ethernet is proposed. Two modes of 10MHz base TX and 100MHz base TX are compatible in the circuit. Techniques such as waveform shaping, slew rate control, and line driver reusing are used. All the parameters meet the specifications of the IEEE 802.3 standard. The chip is implemented and tested with a standard 0.18 $\mu$ m CMOS process of SMIC. The power supply is 3.3V.

**Key words:** Ethernet; transmitter; linear driver

**EEACC:** 1250; 1265H; 1280

**Article ID:** 0253-4177(2005)02-0385-05

<sup>\*</sup>Project supported by National High Technology Research and Development Program of China (No. 2002AA1Z1360), Shanghai Municipality IC Design Innovation Project (No. 027062005)

Received 14 February 2004, revised manuscript received 12 July 2004

© 2005 Chinese Institute of Electronics