

# 一种稳定的 RLC 互连 模型构建及其应用 \*

董 刚 高海霞 杨银堂 李跃进

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 基于 RLC 互连树节点导纳的低阶矩构建了一种稳定的互连 模型,并讨论了它在互连树延时和逻辑门延时估计中的应用. 结果表明,该模型与已有方法相比精度有一定程度的提高.

关键词: RLC 互连树; 节点导纳; 逻辑门; 延时

EEACC: 7410D; 5120

中图分类号: TN405. 97 文献标识码: A 文章编号: 0253-4177(2005)03-0580-05

## 1 引言

在 MCM 和高速集成电路的设计中,随着特征尺寸的减小和系统工作频率的提高,互连效应越来越引起人们的关注,因此系统的设计进入到了以互连为中心的时代.

互连通常是树型结构,而不是单互连.一方面,由于需要考虑互连的寄生电阻和电感效应,互连延时占据总延时的比重增加,相应地,精确地计算互连延时显得尤为重要,Ismaïl 等人<sup>[1]</sup>提出了一种用于 RLC 互连树延时估计的等效 Elmore 延时模型,其优点是计算简单,但精度较低.另一方面,在复杂电路中,由于逻辑门由非线性元件组成,负载互连树对它的延时具有很大的影响,精确的逻辑门延时估计紧密依赖于门输出负载互连树的驱动点导纳<sup>[2]</sup>.负载互连树驱动点导纳的最简单近似为树的总电容,它是一阶近似<sup>[3]</sup>.由于互连线的电阻和电感对电容有一定的屏蔽作用<sup>[4,5]</sup>,这使实际的延时要小于采用集总电容模型得到的结果,在设计中需要充分考虑这种效应的影响.

针对上述两种情况,本文基于互连树节点导纳的前三阶矩构建了一种稳定的 RLC 互连 模型,将其应用于 RLC 互连树延时和逻辑门延时的估计中,

取得了良好的效果.

## 2 模型构建

本文以  $T$  来代表一棵 RLC 互连树,  $T_i$  代表以  $i$  为根节点的 RLC 子树,令  $C_i$  为节点  $i$  的接地电容,  $R_i$  和  $L_i$  为树枝  $i$  的电阻和电感(定义节点  $i$  及其父节点为端点的树枝为树枝  $i$ ).考察互连树中任意节点  $k$  处的等效导纳值,不妨设  $k$  的所有下游节点集合为  $N(k)$ ,则它满足:

$$Y_k(s) V_k(s) = I_k(s) = s \sum_{i \in N(k)} C_i V_i = s \sum_{i \in N(k)} C_i \left[ V_i(s) - s \sum_{j \in N(k)} (R_{ji} + sL_{ji}) C_j V_j \right] \quad (1)$$

其中  $R_{ji}$  和  $L_{ji}$  是节点  $i$  和  $j$  的公共路径上的总的电阻和电感.

进一步变换得到节点  $k$  处的导纳值:

$$Y(s) = s \sum_{i \in N(k)} C_i \left[ 1 - s \sum_{j \in N(k)} (R_{ji} + sL_{ji}) C_j H_j \right] = y_1 s + y_2 s^2 + y_3 s^3 + \dots \quad (2)$$

其中  $H_j$  为节点  $j$  相对于节点  $k$  的传输函数.

$Y(s)$  的前三项系数为:

$$y_1 = \sum_{i \in N(k)} C_i \quad (3)$$

$$y_2 = - \sum_{i \in N(k)} C_i \left( \sum_{j \in N(k)} R_{ji} C_j \right) \quad (4)$$

\* 国防科技预研资助项目 (No. 41323020204)

董 刚 男,1978 年出生,博士研究生,研究领域:VLSI 设计技术.  
高海霞 女,1977 年出生,博士研究生,研究领域:VLSI 设计技术.  
杨银堂 男,1962 年出生,教授,博士生导师,研究领域:VLSI 技术.  
2004-03-13 收到,2004-09-02 定稿

$$y_3 = \prod_{i=1}^{N(k)} C_i \left( \prod_{j=1}^{N(k)} R_{ji} C_j m_j^1 \right) - \prod_{i=1}^{N(k)} C_i \left( \prod_{j=1}^{N(k)} L_{ji} C_j \right) \quad (5)$$

其中  $m_j^1$  为  $H_j$  的一阶矩, 为:

$$m_j^1 = \prod_{m=1}^{N(k)} R_{mj} C_m \quad (6)$$

对于给定的如图 1 所示的 RLC 互连 模型, 它的等效导纳也可以写成如下形式:

$$Y(s) = s(C_1 + C_2) - s^2 R C_1^2 + s^3 (R^2 C_1^3 - L C_1^2) + \dots \quad (7)$$

因此, 可以通过匹配导纳的前三阶矩的方法来计算  $C_1, R, L$  和  $C_2$ . 由于待求的量有 4 个, 而只有 3 个与之对应的方程. 为了解决这个矛盾, 通过引入一个新的变量  $y_3^*$  来增加一个方程<sup>[6]</sup>.  $y_3^*$  是忽略了待求节点所有下游电感值的第三阶导纳系数.

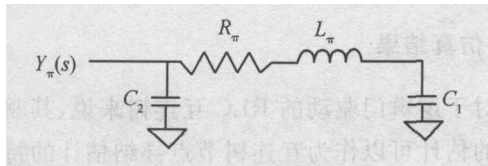


图 1 RLC 互连 模型

Fig. 1 RLC interconnect model

$$y_3^* = \prod_{i=1}^{N(k)} C_i \left( \prod_{j=1}^{N(k)} R_{ji} C_j m_j^1 \right) \quad (8)$$

可以证明  $y_3^*$  满足下列不等式:

$$y_3^* > y_3 \quad y_3^* > 0 \quad y_1 y_3^* > y_2^2 \quad (9)$$

通过匹配  $y_1, y_2, y_3$  和  $y_3^*$ , 可以得到:

$$C_1 = y_2^2 / y_3^* \quad (10)$$

$$R = - y_3^{*2} / y_2^3 \quad (11)$$

$$L = (y_3^* - y_3) / C_2^2 \quad (12)$$

$$C_2 = y_1 - y_2^2 / y_3^* \quad (13)$$

由于计算所得到的  $C_1, R, L$  和  $C_2$  的数值均为正值, 所以上述方法是一种稳定的 RLC 互连 模型的构建方法.

### 3 RLC 互连树延时

#### 3.1 “有效电容”的引入

文献[5]在文献[3]的基础上引入了用于 RLC 互连的“有效电容”的概念, 旨在更有效地分析逻辑门驱动 RLC 互连负载时的门延时. 本文将用于 RLC 互连树的化简. 采用单个电容, 使之与 RLC 互

连 模型负载产生相同的 50% 延时. 如图 2 所示, 令两种情况下输出电压到达 50% 延时的平均电流相等, 即可以得到有效电容的值:

$$C_{\text{eff-RLC}} = C_2 + C_{\text{x-RLC}} \quad (14)$$

其中

$$C_{\text{x-RLC}} = \frac{t_D}{2ct_x(t_D - \frac{t_x}{2})} I_{C_1\text{-av}} \quad (15)$$

关于参数  $t_D, c, t_x$  及  $I_{C_1\text{-av}}$  的定义和计算参见文献[5], 这里不再赘述.

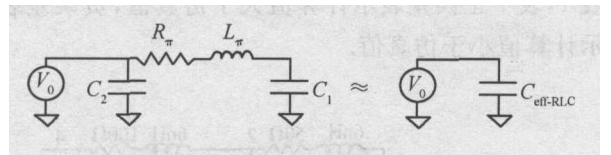


图 2 RLC 互连 模型的有效电容

Fig. 2 Effective capacitance of RLC interconnect model

#### 3.2 RLC 互连树延时估计算法

步骤 1 对于给定的 RLC 互连树, 其节点按照自左向右自上向下的规则命名为  $\{0, 1, \dots, N\}, 0 < i < N$ , 节点 0 为源节点.  $C_i$  表示节点  $i$  的接地电容, 称为节点电容. 假定求解节点  $m$  处的互连延时.

步骤 2 将以  $m$  为根节点 RLC 互连子树  $T_m$  按照本文所述的方法化简成一个等效电容, 不妨设为  $C_{\text{nr,d}}$ , 然后与节点电容合并为  $C_{\text{nr,eff}} = C_m + C_{\text{nr,d}}$ , 用以等效该节点的下游互连树对其延时的影响.

步骤 3 对于给定的待求节点  $m$  来说, 从它至源点存在唯一路径. 对于此路径上存在分支的情况进行化简, 不妨设存在分支的节点为  $n$ , 按照节点命名的规则,  $n < m$ . 将以  $n$  为根节点的 RLC 互连子树  $T_n$  也采用一个等效电容来等效, 不妨设为  $C_{\text{r,b}}$ , 然后合并电容  $C_{\text{r,eff}} = C_n + C_{\text{r,b}}$ . 在此路径上所有存在分支的节点处完成这种等效计算.

步骤 4 完成上述化简后的 RLC 互连树变成以待求节点为漏节点的不含任何分支的 RLC 互连树. 设化简后的互连树含有  $N + 1$  个节点 (包括源节点 0), 并按照规则重新对其命名.

步骤 5 计算 =

$$\frac{1}{2} \times \frac{\prod_{k=1}^N (C_k R_j)}{\sqrt{\prod_{k=1}^N (C_k L_j)}} \text{ 和 } = \frac{1}{\sqrt{\prod_{k=1}^N (C_k L_j)}}$$

步骤 6 最后得到待求节点处的 50% 延时为<sup>[11]</sup>:

$$t_D = (1.047e^{-/0.85} + 1.39) /$$

### 3.3 仿真结果

讨论如图 3 所示的一种非平衡互连树结构,各元件的参数值见图中标注.采用上述算法及等效 Elmore 延时方法分别对其各个节点的延时做了仿真,并将结果与采用 HSPICE 软件得到的精确仿真结果进行了对比.各节点的 50%延时的数值结果见表 1,表中正误差表示计算值大于仿真值,负误差表示计算值小于仿真值.

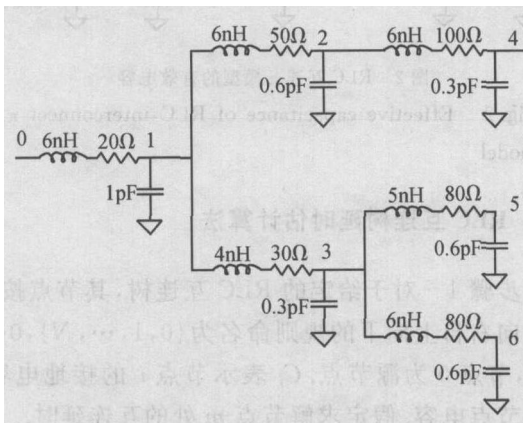


图 3 非平衡互连树示意图

Fig.3 Unbalanced RLC interconnect tree

表 1 非平衡互连树各节点延时

Table 1 Node delay of unbalanced tree

节点	HSPICE /ps	等效 Elmore <sup>[11]</sup>		本文方法	
		延时/ps	误差/ %	延时/ps	误差/ %
1	103	160	55.3	119	15.5
2	183	190	3.8	186	1.6
3	171	192	12.3	180	5.3
4	225	204	- 9.3	216	- 4.0
5	236	215	- 8.9	224	- 5.1
6	240	217	- 9.6	229	- 4.6
最大误差		55.3 %		15.5 %	
误差绝对值平均值		16.5 %		6.0 %	

从上述例子可以看出,采用本文的方法所得到的结果误差要小于采用等效 Elmore 延时的方法.究其原因,等效 Elmore 延时方法在计算延时的时候并没有充分考虑电感和电阻对电容的屏蔽作用.而本文通过引入“有效电容”的概念,极大地改善了

这一情况,从而既提高了计算的精度,又保留了等效 Elmore 延时计算的简单性.

## 4 逻辑门延时

### 4.1 逻辑门延时估计方法

到目前为止,在逻辑门延时的估计中,基于经验推导主要有以下两种方法:以输入信号斜率和输出负载电容为变量的经验推导公式,即 *k*-factor 方程<sup>[7]</sup>;由线性电阻和阶跃函数电压源组成的开关线性电阻模型近似逻辑门<sup>[8]</sup>.另外也有在对逻辑门负载的驱动点导纳精确近似的基础上借助成熟的仿真工具如 SPICE 来模拟得到延时的方法<sup>[9,10]</sup>,这正是本文所采用的方法.

### 4.2 仿真结果

对于逻辑门驱动的 RLC 互连树来说,其驱动点导纳的估计可以作为互连树节点导纳估计的特例来实现.此时  $N(k)$  为除了驱动点即互连树源点之外的所有节点.它实际上是将整个互连树用一个如图 1 所示的模型来表示,这与文献[10]的思想是一致的.仍以图 3 所示的互连树作为逻辑门的负载,分别采用这两种方法构建的模型参数如表 2 所示.

表 2 两种模型参数比较

Table 2 Parameters comparison between two models

模型	$C_1$ /pF	$R$ /	$L$ /nH	$C_2$ /pF
本文方法	0.3137	4.2602	9.2091	3.0863
文献[10]	0.5666	3.2509	15.840	2.8333

逻辑门用反相器来表示,pMOS 和 nMOS 的宽长比均为  $15\mu\text{m}/0.5\mu\text{m}$ ,晶体管的模型参数取自台积电 TSMC 的  $0.35\mu\text{m}$  标准 5V 工艺,其主要参数列于表 3.分别采用本文方法和文献[10]的方法对逻辑门延时进行了仿真,结果如图 4 和图 5 所示,其中图 5 为图 4 中方块区域的局部放大.考察其 50% 门延,实际的 SPICE 仿真结果为 1.22ns,采用本文方法得到的结果为 1.35ns,采用文献[10]得到结果为 1.38ns.本文方法比文献[10]提高了约 3 个百分点.当然,实际的互连树结构可能要比图 3 的互连树结构更为复杂,此时采用本文的方法估计逻辑门延时,其精度会大大提高.

表 3 晶体管模型参数

Table 3 Transistor model parameters

参数	pMOS	nMOS
VTO/V	- 1.09	+0.88
TOX/m	$1.48 \times 10^{-8}$	$1.46 \times 10^{-8}$
PB/V	1.24	0.83
JS/(A · m <sup>-2</sup> )	$10^{-4}$	$6.27 \times 10^{-5}$
XI/m	$10^{-7}$	$10^{-7}$
CGSO/(F · m <sup>-1</sup> )	$1.71 \times 10^{-10}$	$1.65 \times 10^{-10}$
CGDO/(F · m <sup>-1</sup> )	$1.71 \times 10^{-10}$	$1.65 \times 10^{-10}$
CJ/(F · m <sup>-2</sup> )	$1.38 \times 10^{-3}$	$9.97 \times 10^{-4}$
CJSW/(F · m <sup>-1</sup> )	$3.68 \times 10^{-10}$	$2.68 \times 10^{-10}$
MJ	0.66	0.38
MJSW	0.48	0.14
DELTA	0.01	0.02

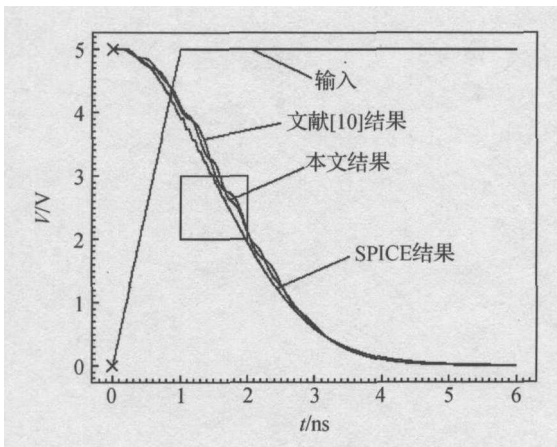


图 4 不同模型的驱动点波形

Fig. 4 Driving point waveform of different models

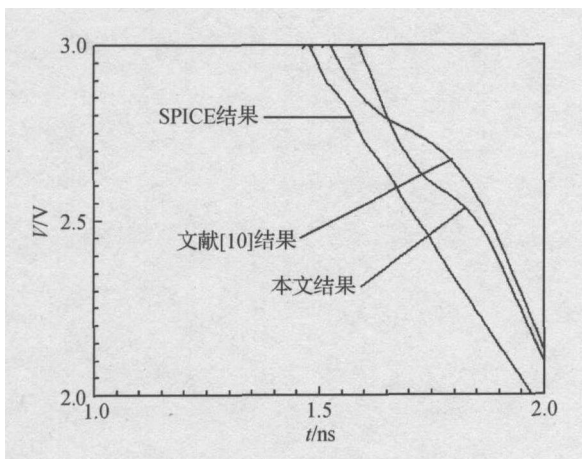


图 5 图 4 的局部放大

Fig. 5 Partial amplification of Fig. 4

## 5 结束语

本文给出了一种稳定的 RLC 互连 模型构建的方法,它实际上是一种复杂互连树降阶的手段.将其应用于 RLC 互连树延时和逻辑门延时的估计中,与其他方法相比,精度有了一定程度的提高.它可以作为一种有效的估计方法嵌入到时序分析工具中.

## 参考文献

- [ 1 ] Ismail Y I, Friedman E G, Neves J L. Equivalent Elmore delay for RLC trees. IEEE Trans on CAD, 2000, 19(1) :83
- [ 2 ] Kashyap C V, Krauter B L. A realizable driving point model for on-chip interconnect with inductance. Proc DAC, 2000: 190
- [ 3 ] Qian J, Pulella S, Pillage L. Modeling the effective capacitance for the RC interconnect of CMOS gates. IEEE Trans on CAD, 1994, 13(12) :1526
- [ 4 ] Devgan A, O'Brien P R. Realizable reduction of RC interconnect circuits. Proc ICCAD, 1999:204
- [ 5 ] El-Moursy M A, Eby G, Friedman, Shielding effect of on-chip interconnect inductance. Proc ACM Great Lakes Symposium on VLSI, 2003:165
- [ 6 ] Yang Xiaodong, Cheng C K, Ku W H, et al. Hurwitz stable reduced order modeling for RLC interconnect trees. Proc ICCAD, 2000:222
- [ 7 ] Brocco L M, McCormick S P, Allen J. Macro-modeling CMOS circuits for timing simulation. IEEE Trans on CAD, 1988, 7(12) :1237
- [ 8 ] Weste N H, Eshraghian K. Principles of CMOS VLSI design. New York: Addison Wesley, 1993
- [ 9 ] Dong Gang, Yang Yintang, Li Yuejin. Delay of logic gate driving large RLC interconnect tree. Chinese Journal of Semiconductors, 2004, 25(8) : 1036 (in Chinese) [董刚, 杨银堂, 李跃进. 驱动复杂 RLC 互连树的逻辑门延时. 半导体学报, 2004, 25(8) :1036]
- [ 10 ] Kahng A B, Muddu S. Efficient gate delay modeling for large interconnect loads. Proc IEEE Multi-Chip Module Conf, 1996:202

## A Stable Construction of RLC Interconnect Model and Its Application \*

Dong Gang, Gao Haixia, Yang Yintang, and Li Yuejin

(*Microelectronics Institute, Xidian University, Xi'an 710071, China*)

**Abstract:** This paper constructs a stable RLC interconnect model based on the first three moments of the node admittance, and discusses its application to interconnect delay and logic gate delay estimation. Results show that the accuracy is considerably increased compared with the methods available.

**Key words:** RLC interconnect tree; node admittance; logic gate; delay

**EEACC:** 7410D; 5120

**Article ID:** 0253-4177(2005)03-0580-05

---

\* Project supported by Advanced Research Foundation for National Defence of China (No. 41323020204)

Dong Gang male, was born in 1978, PhD candidate. He is engaged in research on VLSI design technology.

Gao Haixia female, was born in 1977, PhD candidate. She is engaged in research on VLSI design technology.

Yang Yintang male, was born in 1962, professor. He is engaged in research on VLSI technology.

Received 13 March 2004, revised manuscript received 2 September 2004

© 2005 Chinese Institute of Electronics