

深亚微米功耗优化的简化模型

栗雅娟 魏少军

(清华大学微电子学研究所, 北京 100084)

摘要: 结合 DVS 和 ABB 技术,同时调整工作电压 V_{dd} 和衬底偏置电压 V_{bs} 的方法能有效降低深亚微米功耗.在解析方法的基础上提出了已知频率下功耗优化的 V_{dd}, V_{bs} 简化模型.模型中任意频率下对应的优化 V_{dd}, V_{bs} 值中之一为常数,避免了解析方法中的超越方程求解.文章进一步对不同电容时简化模型中的参数提出了近似估计方法 SEM. 0.18 μm 和 0.07 μm 工艺参数下模拟试验表明,采用简化模型以及 SEM 估计方法得到的优化功耗值与解析方法得到的结果十分接近,最大误差为 2%和 5%,平均误差为 0.8%和 1%.模拟实验表明本文的模型及方法在保证优化精度的基础上减小了计算复杂度,适用于深亚微米下的功耗优化及评估.

关键词: 解析方法; 简化模型; SEM 估计方法; DVS; ABB

EEACC: 1265A; 2560; 2570D

中图分类号: TN431

文献标识码: A

文章编号: 0253-4177(2005)03-0595-06

1 引言

随着深亚微米工艺的日渐成熟,不断提升的系统集成度和性能造成了系统的功耗越来越大.另一方面由于移动通信和计算设备的普及,从延长电池寿命和降低设备发热的角度对低功耗提出了更高的要求.因此,功耗已成为制约系统性能提高的关键.为此,研究人员提出了各种降低功耗的方法^[1,2].

对于 CMOS 电路,特征尺寸减小,阈值电压随之减小,导致静态功耗呈指数级增长.研究表明^[3],工艺每改进一代,漏电流所引起的静态功耗增加 50%,在 70nm 的工艺条件下,静态可占到总功耗的 50%以上.各种不同层次不同策略的静态功耗优化技术应运而生^[4-6],其中的体电压反偏置(ABB)技术^[6]根据负载需求动态地调整衬底反偏置电压来降低静态功耗,相对其他方法更有效且更具灵活性.

传统的 DVS 优化技术主要针对动态功耗,忽略了静态功耗.对于深亚微米电路,动态和静态功耗的比重相当,所以在优化时需同时权衡. DVS 具有平方降低动态功耗的优势,但忽略了静态功耗; ABB

技术可使得静态功耗随衬底偏压指数级减小,但无法降低动态功耗.由于频率是工作电压(V_{dd})和衬底偏压(V_{bs})的联合函数,在某一频率下,结合 DVS 和 ABB 技术来寻找 V_{dd} 和 V_{bs} 两者的折衷,可得到该频率所对应的最小功耗. Martin^[5]提出的解析方法将求解 V_{dd}, V_{bs} 的二维优化问题转化成一维优化问题.

文献[7]中的延迟模型为 V_{dd}, V_{bs} 的线性方程,过于粗略,在一定程度上影响了功耗优化的效果.此外,已知工作频率下采用 Martin 的解析方法求相应的优化 V_{dd}, V_{bs} 值等价于一元超越方程的求解,对于运行负载不断变化的系统会引入时间代价.本文采用更精确的延迟模型,并提出了工作电压和衬底偏置电压优化值相对频率的简化模型,在保证精度的前提下,避免了复杂的超越方程求解,该模型适用于深亚微米下的功耗优化及评估.

2 功耗和延迟模型

CMOS 的功耗主要由 2 个部分组成:电容冲放电导致的动态功耗 P_d 和漏电流导致的静态功耗 P_s .在大尺寸工艺下, P_s 值很小, P_d 占主要部分,约

栗雅娟 女,1975 年出生,博士研究生,目前从事系统级低功耗研究. Email:syj00@mails.tsinghua.edu.cn

魏少军 男,1958 年出生,教授,博士生导师,目前从事深亚微米集成电路设计方法学研究,面向设计再利用的 SOC 设计方法学研究和高层次综合技术研究. Email:wslj@public3.bta.net.cn

占 90% ,对整个电路的功耗起了决定性作用. 因此传统的功耗估计和优化技术主要针对 P_d . 而随着特征尺寸的减小, 阈值电压减小, 静态功耗呈指数级增长, P_s 对功耗的影响不能忽略.

平均动态功耗可表示为:

$$P_d = C_{\text{eff}} f V_{\text{dd}}^2 \quad (1)$$

其中 C_{eff} 是输出端的总负载电容; V_{dd} 是电源电压; f 是时钟频率.

引起静态功耗 P_s 的电流有两个来源: 一部分是晶体管中源漏扩散区和体区间的 p-n 结反向偏置电流, 另一部分是次开启状态下的次开启电流.

$$\begin{aligned} P_s &= L_g (I_{\text{sub}} V_{\text{dd}} + (I_{\text{jn}} + I_{\text{bn}}) / V_{\text{bs}}) \\ &= L_g (k_1 V_{\text{dd}} e^{k_2 V_{\text{dd}}} e^{k_3 V_{\text{bs}}} + / V_{\text{bs}} / I_j) \end{aligned} \quad (2)$$

式中 I_{sub} 是次开启电流; I_{bn} 和 I_{jn} 分别为源漏区和体区间的 p-n 结反向偏置电流; k_1, k_2, k_3 是由工艺确定的参数; I_j 等于 I_{bn} 与 I_{jn} 之和; L_g 为电路包含的门的数目. CMOS 电路的功耗可以近似表示为:

$$P = C_{\text{eff}} V_{\text{dd}}^2 f + L_g (k_4 V_{\text{dd}} e^{k_5 V_{\text{dd}}} e^{k_6 V_{\text{bs}}}) + / V_{\text{bs}} / I_j \quad (3)$$

包含多个门的复杂电路延迟正比于单个反相器延迟 t_{inv} , 反相器延迟通常采用 模型计算^[8]:

$$t_{\text{inv}} = \frac{k_4 V_{\text{dd}}}{(V_{\text{dd}} - V_T)} \quad (4)$$

其中 k_4 是和工艺相关的参数; V_T 为阈值电压; 为表征载流子饱和程度的因子, 范围在 1.4 ~ 2. 随着 V_{dd} 和 V_{bs} 的降低, 功耗减小, 延迟增加.

V_T 可近似为:

$$V_T = V_{\text{th}} - k_5 V_{\text{dd}} - k_6 V_{\text{bs}} \quad (5)$$

其中 V_{th} 为衬底零偏压时的阈值电压; k_5, k_6 是和工艺相关的常数.

定义电路关键路径长度为 L_d , 则工作频率表示为:

$$f = F(V_{\text{dd}}, V_{\text{bs}}) = \frac{((1 + k_5) V_{\text{dd}} + k_6 V_{\text{bs}} - V_{\text{th}})}{L_d k_4 V_{\text{dd}}} \quad (6)$$

3 功耗优化的解析方法

限定 V_{dd} 的取值范围为 $[V_{\text{ddL}} = 0.5 \text{V}, V_{\text{ddH}} = 1.8 \text{V}]$, 下限为 0.5V 使得 V_{dd} 和 V_T 之间有足够的距离以保证噪声容限和电路性能, 上限 1.8V 是 0.18 μm 下的常规工作电压取值. 同时限定 V_{bs} 的取值范围为 $[V_{\text{bsL}} = -1 \text{V}, V_{\text{bsH}} = 0 \text{V}]$, 此范围保证了静态功耗与 V_{bs} 的单调递增性.

表 1 是 0.07 μm 工艺下 10 个反向器组成的电路在不同频率下 $V_{\text{bs}} = V_{\text{bsL}}, V_{\text{bs}} = V_{\text{bsH}}$ 以及优化值 $\text{opt-}V_{\text{bs}}$ 时的 P_d, P_s 和 P 值, 对应工艺参数详见文献 [5]. 对于 P_d , 有 $P_{d1} < P_{d3} < P_{d2}$; 对于 P_s , $P_{s2} < P_{s3} < P_{s1}$; 对于 P , P_3 最小; 说明 $V_{\text{bs}} = V_{\text{bsH}} (V_{\text{bsL}})$ 可以使得 $P_d (P_s)$ 最小但是总功耗 P 不是最优值, 只有选择合适的 V_{bs} 和 V_{dd} 的值来平衡动态和静态功耗在总功耗中的合理比重, 才能获得该频率下的最小功耗.

表 1 电路在不同频率下 $V_{\text{bs}} = V_{\text{bsH}}, V_{\text{bs}} = V_{\text{bsL}}$ 以及优化值 $\text{opt-}V_{\text{bs}}$ 时的 P_d, P_s 和 P 值

Table 1 P_d, P_s , and P values of circuit under $V_{\text{bs}} = V_{\text{bsH}}, V_{\text{bs}} = V_{\text{bsL}}$, and $V_{\text{bs}} = \text{opt-}V_{\text{bs}}$ at different frequencies

f	$V_{\text{bs}} = V_{\text{bsH}}$			$V_{\text{bs}} = V_{\text{bsL}}$			$\text{opt-}V_{\text{bs}}$		
	P_{d1}	P_{s1}	P_1	P_{d2}	P_{s2}	P_2	P_{d3}	P_{s3}	P_3
7×10^9	3.5333×10^{-6}	6.7163×10^{-6}	1.025×10^{-5}	7.5315×10^{-6}	2.3105×10^{-7}	7.7625×10^{-6}	5.915×10^{-6}	7.4171×10^{-7}	6.6567×10^{-6}
8×10^9	4.7524×10^{-6}	7.9492×10^{-6}	1.2702×10^{-5}	9.9856×10^{-6}	3.379×10^{-7}	1.0264×10^{-5}	7.7284×10^{-6}	1.0609×10^{-6}	8.7893×10^{-6}
9×10^9	6.48×10^{-6}	9.6781×10^{-6}	1.6158×10^{-5}	1.7113×10^{-5}	4.1442×10^{-7}	1.7527×10^{-5}	1.0125×10^{-5}	1.3993×10^{-6}	1.1524×10^{-5}
1×10^{10}	8.712×10^{-6}	1.1881×10^{-5}	2.0593×10^{-5}	2.2×10^{-5}	5.1278×10^{-7}	2.2513×10^{-5}	1.296×10^{-5}	1.9698×10^{-6}	1.493×10^{-5}

如(6)式所示, 频率 f 下的功耗函数包含 V_{dd} 和 V_{bs} 两个变量, 将(6)式变为 $V_{\text{bs}} = G(f, V_{\text{dd}})$ 函数再代入(3)式:

$$\begin{aligned} V_{\text{bs}} &= G(V_{\text{dd}}, f) \\ &= \frac{1}{k_3} ((f L_d k_1)^{\frac{1}{k_3}} - (1 + k_2) V_{\text{dd}} + V_{\text{th}}) \end{aligned} \quad (7)$$

将(7)式代入(3)式消元为一元变量函数.

$$P = C_{\text{eff}} V_{\text{dd}}^2 f + L_g V_{\text{dd}} e^{k_5 V_{\text{dd}}} e^{k_6 G(V_{\text{dd}}, f)} + / G(V_{\text{dd}}, f) / I_j \quad (8)$$

令 $\partial P / \partial V_{\text{dd}} = 0$ 可求得 P 最小时的 V_{dd} 优化值 $\text{opt-}V_{\text{dd}}$:

$$\begin{aligned} &2 C_{\text{eff}} V_{\text{dd}} f + L_g (k_4 e^{k_5 V_{\text{dd}}} e^{k_6 G(V_{\text{dd}}, f)}) \times \\ &(1 + k_2 V_{\text{dd}} + k_4 \frac{\partial G(V_{\text{dd}}, f)}{\partial V_{\text{dd}}}) + \left| \frac{\partial G(V_{\text{dd}}, f)}{\partial V_{\text{dd}}} \right| / I_j = 0 \end{aligned} \quad (9)$$

(9) 式为一元超越方程. $\text{opt-}V_{\text{dd}}$ 确定后可求得相应 V_{bs} 优化值 $\text{opt-}V_{\text{bs}}$.

令根据 $\text{opt-}V_{\text{dd}}$ 、 $\text{opt-}V_{\text{bs}}$ 求得的最小功耗为 $\text{opt-}P$, $V_{\text{bs}} = V_{\text{bsL}}$ 及 $V_{\text{bs}} = V_{\text{bsH}}$ 时的功耗为 P_1 和 P_2 . 图 1 为 $R_1 = \text{opt-}P/P_1$, $R_2 = \text{opt-}P/P_2$ 随频率变化的曲线, 可见 $\text{opt-}P$ 均小于 P_1 和 P_2 , 极端情形时仅为后者的 85% 和 61%.

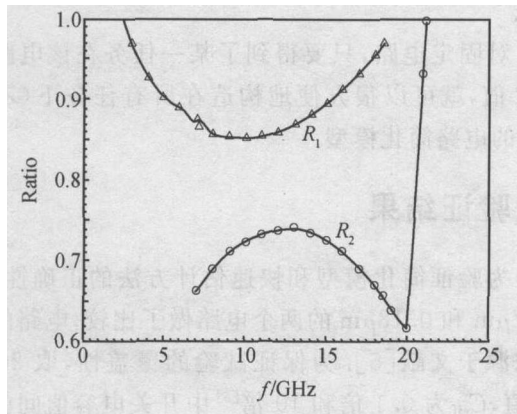


图 1 R_1 和 R_2 随频率变化曲线

Fig. 1 Curves of R_1 and R_2 versus different frequencies

4 简化的功耗优化模型

4.1 简化模型

本节通过对 $\text{opt-}V_{\text{bs}}$ 随频率变化曲线的分析, 对优化方法进一步简化, 建立简化优化模型: 将电路工作频域分成三个部分, 每一部分 $\text{opt-}V_{\text{bs}}$ (or $\text{opt-}V_{\text{dd}}$) 为固定值.

定理 1: 假设电路工作电压的范围为 $[V_{\text{ddL}}, V_{\text{ddH}}]$, 衬底反偏电压的范围为 $[V_{\text{bsL}}, V_{\text{bsH}}]$. 令 $f_{\text{LL}} = F(V_{\text{ddL}}, V_{\text{bsL}})$, $f_{\text{LH}} = F(V_{\text{ddL}}, V_{\text{bsH}})$, $f_{\text{HL}} = F(V_{\text{ddH}}, V_{\text{bsL}})$, $f_{\text{HH}} = F(V_{\text{ddH}}, V_{\text{bsH}})$. 以点 $A(f_{\text{LL}}, V_{\text{bsL}})$, $B(f_{\text{LH}}, V_{\text{bsH}})$, $C(f_{\text{HL}}, V_{\text{bsL}})$, $D(f_{\text{HH}}, V_{\text{bsH}})$ 为顶点连成四边形 $Q:A-B-D-C$, 则点 $(f, \text{opt-}V_{\text{bs}})$ 一定落在四边形 Q 内.

限于篇幅, 此定理的详细证明见文献[9].

显然, 四边形 Q 中的 AB, DC 边分别是 f_{LL} 到 f_{LH} 和从 f_{HL} 到 f_{HH} 时, V_{bs} 上升最快的情形. 折线 BAC 和 BDC 分别代表了两种理想极限情况: 电路静态功耗为 0 和电路动态功耗为 0 时的 $\text{opt-}V_{\text{bs}}$.

以表 1 为例, 采用微分求导所得到的 $\text{opt-}V_{\text{bs}}$, $\text{opt-}V_{\text{dd}}$ 以及相应的 P_d, P_s-f 的曲线如图 2 所示. $\text{opt-}V_{\text{bs}}$ 随频率的升高而增加, 曲线在 f_{LL} 到 f_1 之

和直线 AB 重合; 到达 f_1 后上升趋势变缓, 尤其是 f_{HL} 附近, 曲线基本水平; 到达 f_2 后, 在 f_{HL} 到 f_2 之间和直线 DC 重合, AB 段和 DC 段的 $\text{opt-}V_{\text{dd}}$ 分别为 V_{ddL} 和 V_{ddH} . 在 $f_1 \sim f_2$ 段, 如果令 f_1 到 f_2 间所有 V_{bs} 都增加 (或者减小) 到 $\text{opt-}V_{\text{bs}}(f_{\text{HL}})$, 为保持频率 f 不变, 增加 (减小) V_{bs} 必然要减小 (增加) V_{dd} , P_d 相应减小 (增加). 而 P_s 增加 (减小), 但 P_s 仍然远远小于 P_d 的量级. 另一方面, 在保持 f 不变的条件下, 增加 (减小) V_{bs} 必然要减小 (增加) V_{dd} , P_d 相应减小. f 一定时, $\left| \frac{\partial V_{\text{dd}}}{\partial V_{\text{bs}}} \right| < \frac{k_6}{1 + k_5 - L_d k_3 f} \ll 1$, 说明随 V_{bs} 改变而引起的 V_{dd} 变化量较小. 在保持 f 不变的条件下, 增加 (减小) V_{bs} 必然要减小 (增加) V_{dd} , P_d 相应减小. 近似认为在 $f_1 \sim f_2$ 段, V_{bs} 所带来的静态功耗变化量和 V_{dd} 所带来的动态功耗变化量相当.

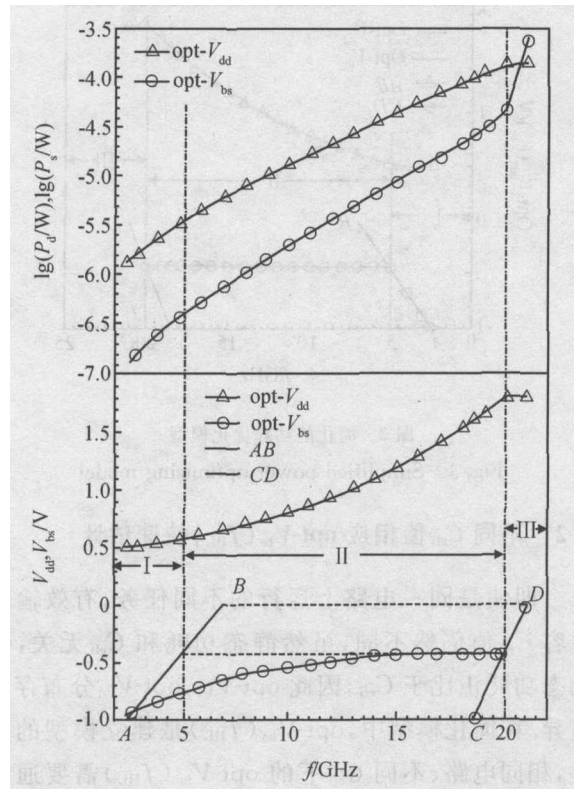


图 2 $\text{Opt-}V_{\text{dd}}$, $\text{opt-}V_{\text{bs}}$ 和其对应的 P_d 和 P_s

Fig. 2 $\text{Opt-}V_{\text{dd}}$, $\text{opt-}V_{\text{bs}}$ and corresponding P_d and P_s

简化模型建立步骤如下:

采用解析方法求 $\text{opt-}V_{\text{bs}}(f_{\text{HL}})$, 得到点 $(f_{\text{HL}}, \text{opt-}V_{\text{bs}}(f_{\text{HL}}))$.

通过点 $(f_{\text{HL}}, \text{opt-}V_{\text{bs}}(f_{\text{HL}}))$ 作平行于 f 的水平直线, 和直线 AB, DC 的两个交点所对应的频率为

f_1, f_2 .

将电路的工作频率分成三个部分,如图 3 所示:

区域 I: $f_{LL} \sim f_1, V_{dd} = V_{ddL}, V_{bs} = G_1(V_{ddL}, f)$

区域 II: $f_1 \sim f_2, V_{dd} = G^{-1}(\text{opt-}V_{bs}(f_{HL}), V_{bs} = \text{opt-}V_{bs}(f_{HL}))$

区域 III: $f_2 \sim f_{HH}, V_{dd} = V_{ddH}, V_{bs} = G_3(V_{ddH}, f)$

$G^{-1}()$ 为(7)式中 $G()$ 函数的反函数, G_1, G_3 为简单线性函数:

$$G_1(v, f) = V_{bsL} + (V_{bsH} - V_{bsL}) \frac{f_1 - f_{LL}}{f_{LH} - f_{LL}}$$

$$G_3(v, f) = V_{bsL} + (V_{bsH} - V_{bsL}) \frac{f_2 - f_{HL}}{f_{HH} - f_{HL}} \quad (10)$$

这样,对于固定电路上执行的任务,只需求解一次超越方程得到 $\text{opt-}V_{bs}(f_{HL})$ 的值,就可以推导出所有频率下的 $\text{opt-}V_{bs}$ 和 $\text{opt-}V_{dd}$ 曲线.

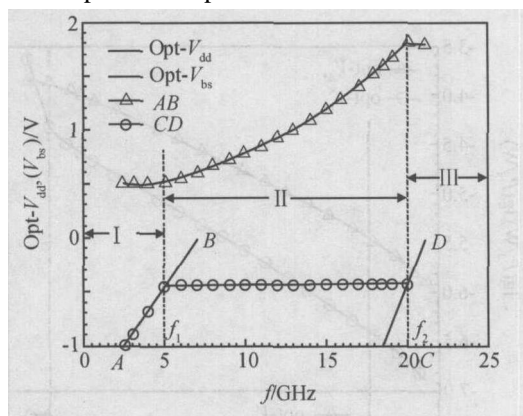


图 3 简化的功耗优化模型

Fig. 3 Simplified power optimizing model

4.2 不同 C_{eff} 值相应 $\text{opt-}V_{bs}(f_{HL})$ 快速估计

即使是同一电路上运行的不同任务,有效输出电容 C_{eff} 值仍然不同,虽然静态功耗和 C_{eff} 无关,但动态功耗正比于 C_{eff} ,因此 $\text{opt-}V_{bs}, \text{opt-}V_{dd}$ 分布存在差异.在简化模型中, $\text{opt-}V_{bs}(f_{HL})$ 是建立模型的关键,相同电路、不同 C_{eff} 下的 $\text{opt-}V_{bs}(f_{HL})$ 需要通过求解方程(9)获得.假设同一电路不同任务,在各自 f_{HL} 时, $\text{opt-}V_{bs}, \text{opt-}V_{dd}$ 对应的 P_d 和 P_s 比值大致相等.这一假设基于文献[3]对于大量实际电路的测试所得到的结论:同一工艺条件下,优化的静态功耗在总功耗中所占比重 R 是固定的.令 $\alpha = (1 - R)/R$,表示优化的动态功耗和静态功耗的比重,不同工艺时对该电路上的任意任务存在如下关系:

$$P_d = \alpha P_s$$

当 $V_{dd} = \text{opt-}V_{dd}, V_{bs} = \text{opt-}V_{bs}$ 时,用 f_{HL} 近似 f_2, V_{ddH} 近似 $\text{opt-}V_{dd}(f_2)$,忽略掉漏电流中 I_j 的贡献,可得:

$$\text{opt-}V_{bs}(f_2) = \frac{1}{k_6} (\log(\frac{C_{eff} V_{ddH} f_{HL}}{L_g k_4}) - k_5 V_{ddH})$$

并规定如果等式右边的值 $> V_{bsH}$ 时 $\text{opt-}V_{bs}(f_2) = V_{bsH}$;如果等式右边的值 $< V_{bsL}$ 时 $\text{opt-}V_{bs}(f_2) = V_{bsL}$.

对固定电路,只要得到了某一任务在该电路上的 R 值,就可以很方便地构造在所有任务下(不同 C_{eff})的电路简化模型.

5 验证结果

为验证简化模型和快速估计方法的正确性,用 $0.07\mu\text{m}$ 和 $0.18\mu\text{m}$ 的两个电路做了比较,电路的参数来源于文献[5].为保证试验的覆盖性,取 20 个 C_{eff} 值, C_{eff} 为 0.1 倍和 10 倍^[5] 中开关电容值间的均匀分布.

图 4(a), (b) 分别为 $0.07\mu\text{m}$ 和 $0.18\mu\text{m}$ 工艺制造的电路在不同 C_{eff} 时用简化模型和解析方法计算得到的优化功耗的对比结果, x 轴为频率, y 轴为 C_{eff} , z 轴为简化模型和解析方法计算结果的相对误差.结果与解析方法吻合得很好,只在 f_1 和 f_2 的拐角处有较小误差.最大误差分别为 2% 和 4%,平均误差分别为 0.8% 和 1%.

图 5(a), (b) 分别为对 $0.07\mu\text{m}$ 和 $0.18\mu\text{m}$ 的电路不同 C_{eff} 时,用 SEM 方法得到不同 C_{eff} 下相应的 $\text{opt-}V_{bs}(f_{HL})$,然后据此用简化模型计算优化功耗结果,并与解析方法计算得到的结果作对比. x 轴为频率, y 轴为 C_{eff} , z 轴为采用快速估计方法建立的简化模型和解析方法计算结果的相对误差.结果和解析方法比较吻合,只在 f_1 和 f_2 的拐角处有误差.最大误差约为 2% 和 5%,平均误差约为 0.86% 和 1%.

6 结论

本文采用了较精确的深亚微米延迟模型,并在此模型基础上改进了结合 DVS 和 ABB 技术的功耗优化方法.通过对不同频率下优化 V_{bs} 值的分析,提出简化的优化模型,该模型中总保持 V_{dd} 和 V_{bs} 之一为常数,避免了超越方程的求解.在 $0.18\mu\text{m}$ 和 $0.07\mu\text{m}$ 工艺参数下,简化模型和简化前的解析功

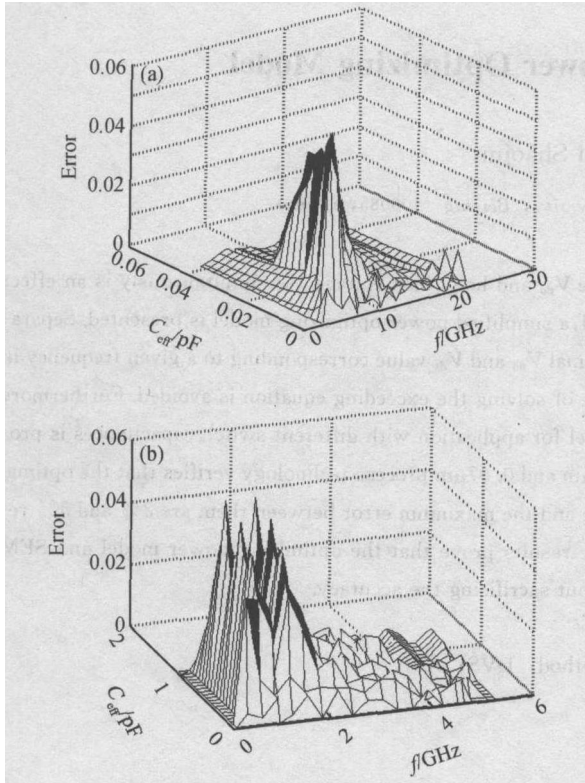


图 4 (a) 0.07μm 工艺下用简化模型和解析方法得到的优化结果的误差; (b) 0.18μm 工艺下用简化模型和解析方法得到的优化结果的误差

Fig. 4 (a) Error of results obtained by simplified model and analytic method with 0.07μm process technology; (b) Error of results obtained by simplified model and analytic method with 0.18μm process technology

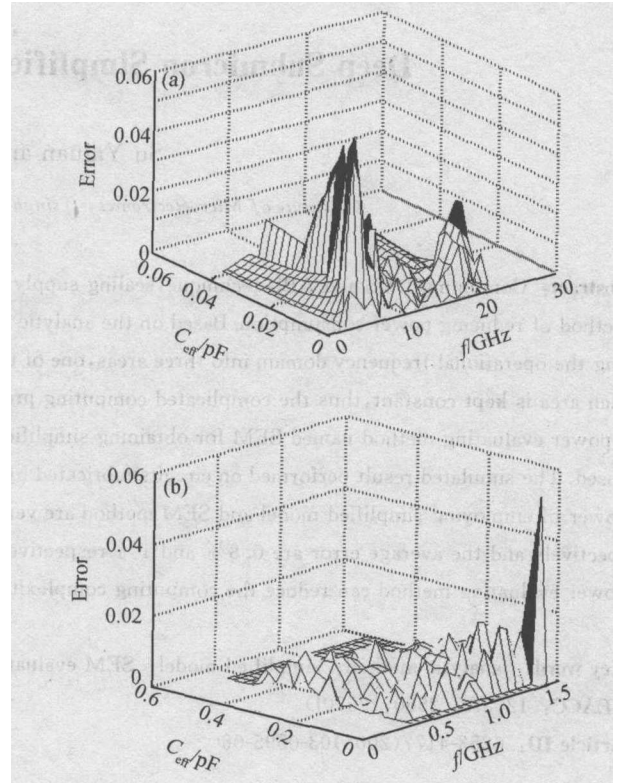


图 5 (a) 0.07μm 工艺下用 SEM 方法和解析方法得到的优化结果的误差; (b) 0.18μm 工艺下用 SEM 方法和解析方法得到的优化结果的误差

Fig. 5 (a) Error of results obtained by SEM method and analytic method using 0.07μm process technology; (b) Error of results obtained by SEM method and analytic method using 0.18μm process technology

耗优化结果相比较:优化功耗的最大误差不超过 5%,标准误差不超过 1%,说明前者在简化模型的同时保证了计算精度.

参考文献

[1] Dai Hongyu, Zhang Sheng, Zhou Runde. Power optimization methods of energy recovery circuit. Chinese Journal of Semiconductors, 2002, 23(9) :966 (in Chinese) [戴宏宇, 张盛, 周润德. 能量回收电路的功耗优化方法. 半导体学报, 2002, 23(9) :966]

[2] Raghunathan A, Jha N K, Dey S. High level power analysis and optimization. Kluwer Academic Publishers, 1997

[3] Stiffler S. Optimizing performance and power for 130 nanometer and beyond. IBM Microelectronics, 2003(13) :2

[4] Shiue W T. Leakage power estimation and minimization in VLSI circuits'. IEEE International Symposium on Circuits

and Systems, 2001 :178

[5] Kuroda T. Optimization and control of V_{dd} and V_{TH} for low power, high-speed CMOS design. IEEE International Conference on Computer Aided Design, 2002 :28

[6] Keshavarzi A, Narendra S. Effectiveness of reverse body bias for leakage control in scaled dual V_t CMOS ICs. International Low Power Electronics and Design, 2001 :207

[7] Martin S, Flautner K. Combined dynamic voltage scaling and adaptive body biasing for low power microprocessors under dynamic workloads. International Conference on Computer Aided Design, 2002 :721

[8] Sakurai T, Newton A R. Alpha-power law MOSFET model and its applications to CMOS inverter. IEEE J Solid-State Circuits, 1990, 25 :584

[9] Su Yajuan. Simplified power model considering dynamic power and static power simultaneously. Technical Report. Tsinghua University of China, 2003

Deep Submicron Simplified Power Optimizing Model

Su Yajuan and Wei Shaojun

(*Institute of Microelectronics, Tsinghua University, Beijing 100085, China*)

Abstract : Combining DVS and ABB technique ,scaling supply voltage V_{dd} and body bias voltage V_{bs} simultaneously is an effect method of reducing power consumption. Based on the analytic method ,a simplified power optimizing model is presented. Separating the operational frequency domain into three areas ,one of the optimal V_{dd} and V_{ds} value corresponding to a given frequency in each area is kept constant ,thus the complicated computing procedure of solving the exceeding equation is avoided. Furthermore a power evaluating method named SEM for obtaining simplified model for application with different switch capacitances is proposed. The simulated result performed on circuits fabricated by 0.18 μm and 0.07 μm process technology verifies that the optimal power of employing simplified model and SEM method are very close and the maximum error between them are 2 % and 5 % respectively and the average error are 0.8 % and 1 % respectively. The results prove that the optimizing power model and SEM power evaluating method can reduce the computing complexity without sacrificing the accuracy.

Key words : analytic method ; simplified model ; SEM evaluating method ; DVS ; ABB

EEACC : 1265A ; 2560 ; 2570D

Article ID : 0253-4177(2005)03-0595-06

Su Yajuan female ,was born in 1975 ,PhD candidate. Her main research interests are low power design methodology at system level.

Wei Shaojun male ,was born in 1958 ,professor ,advisor for PhD candidates. His main research interests are SOC design ,EDA methodology ,and high level synthesis design.

Received 12 April 2004 ,revised manuscript received 3 June 2004

© 2005 Chinese Institute of Electronics