

0.1 μm 槽栅 CMOS 器件及相关特性*

张晓菊¹ 马晓华¹ 任红霞¹ 郝 跃¹ 孙宝刚²

(1 西安电子科技大学微电子研究所, 西安 710071)

(2 中国科学院微电子研究所, 北京 100029)

摘要: 通过实验成功得到了 0.1 μm 槽栅结构 CMOS 器件,验证了理论结果的正确性,表明这是一种优良的小尺寸器件结构.该槽栅器件具有阈值电压漂移较小及较好抑制短沟道效应的特点,并分析了目前器件驱动电流较小的原因及解决办法.

关键词: 槽栅结构; CMOS; 超深亚微米

PACC: 7280C; 7340R; 7360J

中图分类号: TN386.1 **文献标识码:** A **文章编号:** 0253-4177(2005)03-0532-04

1 引言

VLSI 制造技术的迅速发展已使半导体器件的尺寸进入到深亚微米级,器件内部的电场强度随之增强,长沟道时原来不明显的各种二级物理效应此时已相当显著,导致器件性能的变化,如亚阈特性退化, DIBL, TDDB 等.

为了提高器件的可靠性人们进行了各种尝试^[1~4],包括减小源漏结深、采用薄栅介质及沟道掺杂.此外,一些新兴的工艺技术,包括形成超浅结的玻璃杂质扩散技术、抑制突然穿通的原子层掺杂技术及 SOI 衬底结构,已经实验性地用于 0.1 μm MOSFET 的制备上.但该类工艺需要附加工序和设备,且所得效果并不显著,原因在于上述二级效应是相互耦合的,针对某一点或几点的改进不能从根本上解决问题.因此,新的器件结构和工艺的优化,是改善器件特性和可靠性的有效途径. Fiegna 等人^[5]曾分析研究了均匀掺杂、埋沟和外延沟道、单栅及双栅 SOI 等五种不同结构的 MOS 器件,发现当特征尺寸在 0.1 μm 时几种结构均欠佳.

对槽栅器件的短沟道效应抑制能力^[6,7]及器件特性^[8,9]进行的研究表明,槽栅 MOS 是一种较理想的结构.本文研制得到了不同沟道长度(0.1 ~

0.22 μm)的槽栅 MOS 器件,研究表明槽栅结构及器件在小尺寸器件可靠性方面的优势明显.

2 槽栅 MOSFET 的器件结构及制造工艺

槽栅 MOSFET 的结构是栅位于硅表面的一个凹槽中,如图 1 所示,沟道区下沉,源漏结底端高于或平行于沟道面,形成负结深或零结深.槽栅器件制备的重点在于如何产生凹槽,并生长质量良好的薄栅氧化层.此外,考虑到兼容性问题及工艺复杂度,

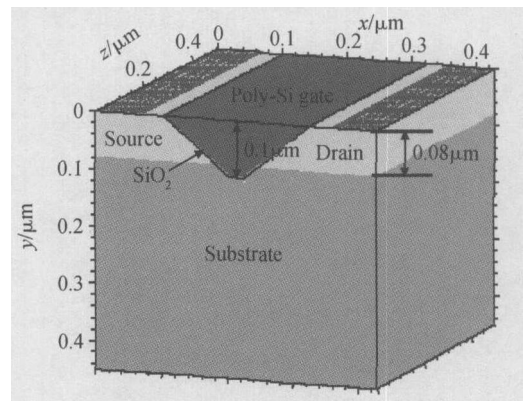


图 1 槽栅 MOSFET

Fig. 1 Grooved-gate MOSFET

*国家自然科学基金(批准号:60376024)和中国科学院科技创新基金(批准号:CXJ-55)资助项目

张晓菊 女,1978 年出生,博士研究生,主要研究方向为深亚微米器件及其可靠性.

马晓华 男,1973 年出生,博士研究生,主要研究方向为新型电路与器件的特性与可靠性.

2004-03-19 收到,2004-07-28 定稿

不应引入太多的附加工序. 我们研制的器件的(以 n 型器件为例) 主要工艺步骤和参数如表 1 和图 2 所示.

表 1 槽栅器件简要工艺流程

Table 1 Main process for the fabrication

1	原始硅圆片	p 型 100 R = 15 ~ 25 .cm
2	氧化	
3	光刻, 阱注入	n 阱: P ³⁰⁺ 10 ¹³ cm ⁻² at 150keV p 阱: B ¹¹⁺ 10 ¹³ cm ⁻² at 150keV
4	推阱	800 ~ 1150 30min O ₂ 1150 ~ 800 60min N ₂ O ₂ = 1 2
5	氧化	
6	光刻, 源漏区注入	n 型: As ⁷⁵⁺ 4 × 10 ¹⁵ cm ⁻² at 45keV p 型: BF ₂ ⁴⁹⁺ 3 × 10 ¹⁵ cm ⁻² at 25keV
7	光刻, 凹槽刻蚀	RIE
8	调沟	n 型: B ¹¹⁺ 6 × 10 ¹² cm ⁻² at 45keV + BF ₂ ⁴⁹⁺ 2 × 10 ¹² cm ⁻² at 80keV p 型: P ³⁰⁺ 5 × 10 ¹² cm ⁻² at 110keV + As ⁷⁵⁺ 10 ¹² cm ⁻² at 100keV
9	生长栅介质层	T _{ox} = 5 ± 1nm
10	淀积多晶硅	
11	多晶硅掺杂	
12	快速热退火 (R TA)	1005 5s (1010 预热 4s)
13	多晶硅刻蚀	

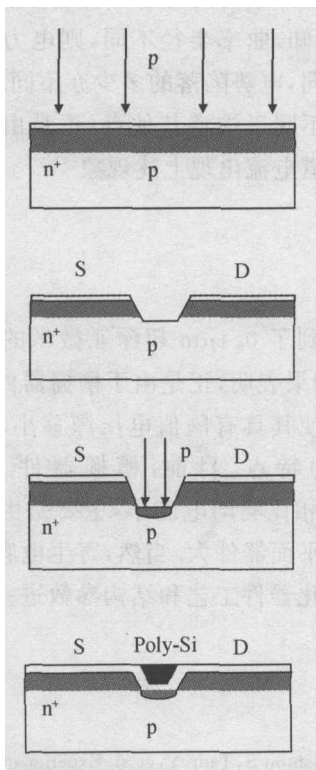


图 2 槽栅器件工艺流程

Fig. 2 Fabrication procedure of grooved-gate MOS

3 器件特性分析

对该器件的特性作进一步研究. 表 2 给出了 0.1μm 和 0.14μm 槽栅器件的主要参数指标, 其中器件的宽度均为 4μm. 图 3 所示为测量得到的槽栅器件的阈值电压随沟道长度的变化情况与平面器件的对比. 由图可见, 在沟道长度变化范围内槽栅器件阈值电压漂移较小, 且在短沟道情况下有小幅度增大. 当沟道长度由 0.26μm 减小到 0.1μm, 槽栅器件的阈值电压变化了 64mV. 而相比之下, 同等参数的平面器件出现较大的漂移, 其漂移量为 360mV, 阈值电压随沟道长度的减小而减小. 我们相信较好的转移特性归因于槽栅器件的拐角效应^[12]. 可见槽栅器件在一定程度上抑制了短沟道效应, 平面器件则可能由于漏极电位向源端的扩展效应而发生穿通.

表 2 槽栅 CMOS 主要器件参数

Table 2 CMOS device main electrical parameters

参数	nMOS	pMOS	nMOS	pMOS
沟道长度/μm	0.1		0.14	
阈值电压 V _{th} /V	0.80	-0.68	0.72	-0.51
亚阈斜率/(mV · dec ⁻¹)	122.14	171.57	149.63	82.67
饱和区跨导 G _m ^{SAT} /(mS · mm ⁻¹)	610	177.6	324.5	189.0
最大跨导 G _m ^{MAX} /(mS · mm ⁻¹)	169.87	93.97	121.79	249.5

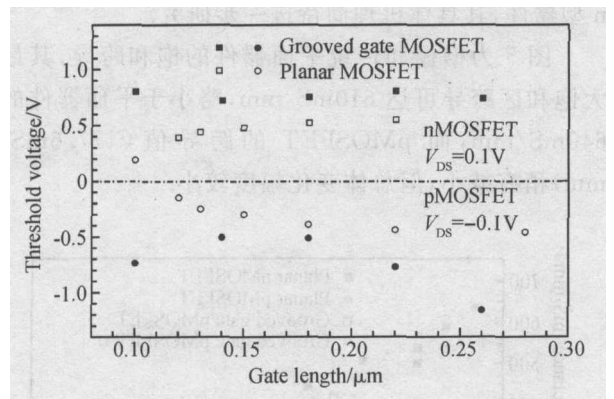


图 3 槽栅与平面器件的阈值电压随沟道长度的变化

Fig. 3 V_{th} lowering characteristics with the gate length comparison for grooved-gate and planar MOSFETs

值得注意的是, 相对于平面器件 p 型槽栅器件的阈值电压漂移量起伏较大. 但槽栅器件阈值电压的绝对值较高, 在总体上仍大于平面器件, 因而器件特性仍较平面器件好.

槽栅器件的漏极输出特性曲线如图 4 所示. V_G

= $V_D = 2.8V$ 时, nMOSFET 和 pMOSFET 的饱和驱动电流分别为 $0.23\text{mA}/\mu\text{m}$ 和 $0.14\text{mA}/\mu\text{m}$, 小于平面器件的 $0.58\text{mA}/\mu\text{m}$ (nMOSFET) 和 $0.39\text{mA}/\mu\text{m}$ (pMOSFET). 主要原因在于槽栅器件的阈值电压多高于平面器件 (见图 3), 而较高的栅电压在凹槽中央形成少数载流子的强反型层, 使拐角势垒相对增高, 抑制了漏极电流的增大^[13]. 另外, 在同样长度的栅沟道情况下平面器件的有效沟道长度将比槽栅器件小, 这也是平面器件漏极电流大的原因.

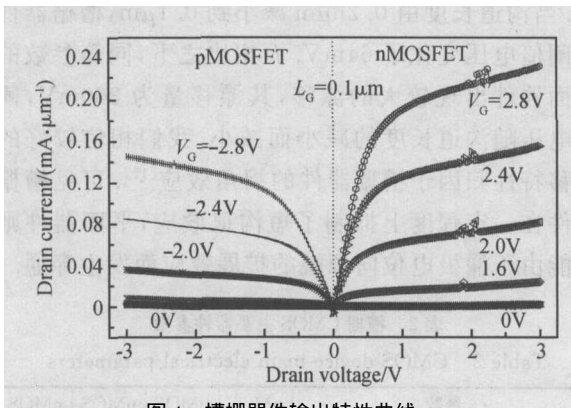


图 4 槽栅器件输出特性曲线

Fig. 4 Output characteristics of grooved-gate MOSFETs

值得注意的是, 当漏源电压在 $2.0 \sim 2.5V$ 之间时, 输出特性曲线有小幅度的起伏, 这些起伏多见于 n 型器件, 其具体机理尚待进一步研究.

图 5 为槽栅和传统平面器件的饱和跨导, 其最大饱和区跨导可达 $610\text{mS}/\text{mm}$, 略小于平面器件的 $640\text{mS}/\text{mm}$, 而 pMOSFET 的跨导值 ($177.6\text{mS}/\text{mm}$) 稍有减小, 但总体变化幅度较小.

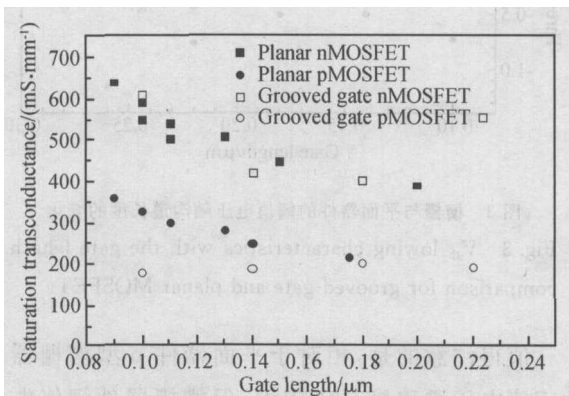


图 5 槽栅与平面器件的饱和跨导随沟道长度的变化

Fig. 5 Saturation transconductance variations of grooved-gate and planar MOSFETs

图 6 为槽栅器件的亚阈区特性曲线. 其中 $V_D = 0.1V$ 时, n 型和 p 型器件的亚阈斜率分别为 $122.14\text{mV}/\text{dec}$ 和 $171.57\text{mV}/\text{dec}$. 此外, n 型器件的亚阈曲线较为典型, 在半对数坐标中是一条直线, 这表明亚阈区的漏电流与栅电压呈指数关系. 而对于 p 型器件, 曲线有小的扭曲, 这种现象在较长沟道的 nMOSFET 中同样存在. 这说明器件存在着双阈值现象.

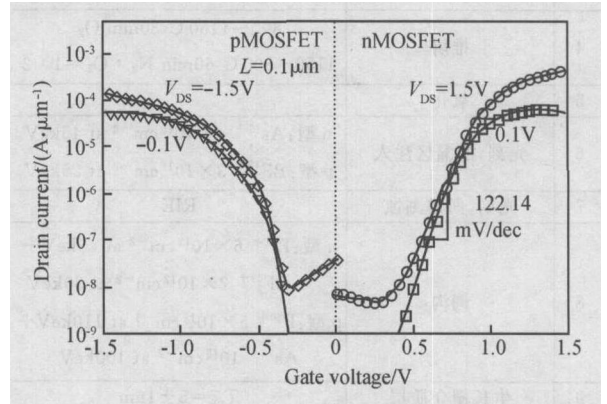


图 6 槽栅器件的亚阈特性曲线

Fig. 6 Subthreshold characteristics for grooved-gate MOSFETs

器件的特殊结构使沟道下各部分的阈值电压不同. 由理论可知, 曲率半径不同, 则电力线发散或聚集的程度不同, 电势陷落的多少亦不同. 因此拐角处的阈值电压不同于沟道其他点, 正是由于阈值电压的差别使沟道电流出现上述现象^[14].

4 结论

研制得到了 $0.1\mu\text{m}$ 超深亚微米的槽栅 CMOS 器件. 研究结果表明, 正是由于槽栅器件的特殊结构和拐角效应使其具有阈值电压漂移小、较好抑制短沟道效应的特点. 目前, 槽栅器件与平面结构 CMOS 器件相比驱动电流小, 主要是由于它的有效沟道长度比平面器件大. 当然, 寄生电容大等问题仍需要通过优化器件工艺和结构参数进一步改进.

参考文献

[1] Mii Y, Rishton S, Taur Y, et al. Experimental high performance sub- $0.1\mu\text{m}$ channel NMOSFET's. IEEE Electron Device Lett, 1994, 15(1) :28
 [2] Yu B, Clement H J, Edward D, et al. Short-channel effect im-

- proved by lateral channel-engineering in deep-sub-micrometer MOSFET's. IEEE Trans Electron Devices, 1997, 44(4): 627
- [3] Tanaka J, Kimura S, Noda H. A sub-0.1 μm grooved-gate MOSFET with high immunity to short-channel effects. IEDM Tech Dig, 1993: 537
- [4] Chan M, Assaderaghi F, Parke S A, et al. Recessed-channel structure for fabricating ultra thin SOI MOSFET with low series resistance. IEEE Electron Device Lett, 1994, 15(1): 22
- [5] Fiegna C, Iwai H, Wada T, et al. Scaling the MOS transistor below 0.1 μm : Methodology, device structures, and technology requirements. IEEE Trans Electron Devices, 1994, 41(6): 941
- [6] Kimura S L, Tanaka J, Noda H, et al. Short-channel-effect-suppressed sub-0.1 μm grooved-gate MOSFET's with W gate. IEEE Trans Electron Devices, 1995, 42(1): 94
- [7] Sun Zimin, Liu Litian, Li Zhijian. Study on the effects of concave corner in grooved-gate MOSFET. Semiconductor Technology, 1998, 23(5): 18 (in Chinese) [孙自敏, 刘理天, 李志坚. 凹槽栅 MOSFET 凹槽拐角的作用与影响研究. 半导体技术, 1998, 23(5): 18]
- [8] Ren Hongxia, Hao Yue. Influence of variation of negative junction depth on characteristics of deep-sub-micron pMOSFET. Chinese Journal of Semiconductors, 2001, 22(5): 622 (in Chinese) [任红霞, 郝跃. 凹槽深度与槽栅 pMOSFET 特性研究. 半导体学报, 2001, 22(5): 622]
- [9] Ren Hongxia, Hao Yue. Influence of structure parameters on the hot-carrier-effect immunity and short-channel-effect suppression in deep-sub-micron grooved gate pMOSFET. Chinese Journal of Semiconductors, 2001, 22(10): 1298 (in Chinese) [任红霞, 郝跃. 深亚微米槽栅 pMOSFET 结构参数对其抗热载流子效应和短沟道抑制作用的影响. 半导体学报, 2001, 22(10): 1298]
- [10] Zhang Xiaoju, Ren Hongxia, Feng Qian, et al. An analytical model for threshold voltage of grooved-gate MOSFET's. Chinese Journal of Semiconductors, 2004, 25(4): 441 (in Chinese) [张晓菊, 任红霞, 冯倩, 等. 槽栅 MOSFET's 的阈值电压解析模型. 半导体学报, 2004, 25(4): 441]
- [11] Ren Hongxia, Zhang Xiaoju, Hao Yue. Degradation induced by donor interface state for deep-sub-micron grooved-gate pMOSFET. Chinese Journal of Semiconductors, 2004, 25(5): 562 (in Chinese) [任红霞, 张晓菊, 郝跃. 施主型界面态引起深亚微米槽栅 PMOS 特性的退化. 半导体学报, 2004, 25(5): 562]
- [12] Tanaka J, Toyabe T, et al. Simulation of sub-0.1 μm MOSFET's with completely suppressed short-channel effect. IEEE Electron Devices Lett, 1993, 14(8): 396
- [13] Wakabayashi H, Yamamoto T, Tatsumi T, et al. A high-performance 0.1 μm CMOS with elevated salicide using novel Si-SEG process. IEDM Tech Dig, 1997: 99
- [14] Iizuka T, Chiu K Y, Moll J L. Double threshold MOSFETs in bird's-beak free structure. IEDM Tech Dig, 1991: 380

Characteristics of 0.1 μm Grooved-Gate CMOS*

Zhang Xiaoju¹, Ma Xiaohua¹, Ren Hongxia¹, Hao Yue¹, and Sun Baogang²

(1 Microelectronics Institute, Xidian University, Xi'an 710071, China)

(2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Grooved-gate CMOS devices in the 0.1 μm regime are fabricated and studied. The experiment results prove the correctness of the simulations that grooved-gate CMOS has excellent characteristics, such as low threshold voltage roll-off, weak short channel effects. The reason of the small drain drivability is analyzed and the methods are presented.

Key words: grooved-gate structure; CMOS; ultra-deep-sub-micron

PACC: 7280C; 7340R; 7360J

Article ID: 0253-4177(2005)03-0532-04

* Project supported by National Natural Science Foundation of China (No. 60376024) and the Innovation Foundation of the Chinese Academy of Sciences (No. CXJJ-55)

Zhang Xiaoju female, was born in 1978, PhD candidate. Her current research interests include deep submicron devices and reliability.

Ma Xiaohua male, was born in 1973, PhD candidate. His current research interests include the characteristics and reliability of novel devices and circuits.

Received 19 March 2004, revised manuscript received 28 July 2004

© 2005 Chinese Institute of Electronics