

# 超高速激光驱动器电路设计与研制\*

黄 颀 王志功 李连鸣

(东南大学射频与光电集成电路研究所, 南京 210096)

**摘要:** 分别利用 0.35 $\mu\text{m}$  CMOS 工艺和 0.2 $\mu\text{m}$  GaAs PHEMT(pseudomorphic high electron mobility transistor) 工艺实现了激光驱动器集成电路,其工作速率分别为 2.5 Gb/s 和 10 Gb/s,可应用于光纤通信 SDH(synchronous digital hierarchy)传输系统。

**关键词:** 光纤通信; 激光驱动器; CMOS; PHEMT; SDH

**EEACC:** 1220

**中图分类号:** TN722

**文献标识码:** A

**文章编号:** 0253-4177(2005)03-0576-04

## 1 引言

近年来,随着多媒体通信的快速发展,对超高速和超大容量传输系统的需求日益增长.波分复用(wavelength-division multiplexing, WDM)和时分复用(time-division multiplexing, TDM)技术的应用也越来越广泛.单一信道的传输速率从 155 Mb/s 到高达 40 Gb/s<sup>[1]</sup>的超大容量传输系统均有报道.我们针对不同速率标准和能够获得的半导体工艺,以高性价比为目标,进行了相应高速电路的设计和研究.

在光通信系统中,激光驱动器是光发射机的关键组成部分,它可提供足够的电流来驱动直接调制的激光二极管,或者足够的电压来驱动间接调制的电吸收(electro-absorption, EA)器或铌酸锂材料的 Mach-Zehnder(MZ)调制器.通常,激光二极管需要超过 40 mA 的驱动电流,而调制器则需要超过  $2V_{PP}$  的驱动电压来保证足够的消光比(extinction ratio)和抖动(jitter).如何在高速和大信号输出的条件下来满足这些要求,对设计者而言,是一个挑战.对于大信号输出的要求,大尺寸的输出级晶体管是必须的,但是随着晶体管尺寸的增大,寄生电容也会随之增加,从而影响电路的工作速度和性能.为了满足这

些苛刻的设计要求,必须采用一些适当的电路补偿技术和版图优化设计<sup>[2,3]</sup>.

本文给出了针对 SDH STM-16(2.5 Gb/s)和 STM-64(10 Gb/s)标准,通过多项目晶圆服务(multi-project wafer service, MPW),分别应用 0.35 $\mu\text{m}$  CMOS 标准工艺和 0.2 $\mu\text{m}$  PHEMT 工艺设计制造了激光驱动器集成电路,并得到了良好的测试结果.

## 2 Si CMOS 工艺和 GaAs PHEMT 工艺特性

随着 CMOS 晶体管线宽的不断减小,其特征频率( $f_T$ )越来越高,这就使得过去只有在 GaAs 工艺上实现的高速电路有可能用廉价的 CMOS 工艺来实现.在我们使用的 0.35 $\mu\text{m}$  CMOS 工艺中,标称栅极尺寸为 0.35 $\mu\text{m}$   $\times$  3 $\mu\text{m}$  的晶体管模拟结果显示  $f_T$  达到 14 GHz<sup>[4]</sup>. nMOS 和 pMOS 管的漏极饱和电流分别为 474 $\mu\text{A}/\mu\text{m}$  和 189 $\mu\text{A}/\mu\text{m}$ . 标称工作电压为 5V.

我们使用的 0.2 $\mu\text{m}$  GaAs PHEMT 工艺的标称  $f_T$ : 增强型晶体管达到 63 GHz,耗尽型为 60 GHz,阈值电压( $V_{th}$ ):增强型为 0.225 V,耗尽型

\* 国家高技术研究发展计划资助项目(批准号:2001AA312010,2001AA312060)

黄 颀 男,1973 年出生,博士研究生,主要研究方向是超高速、射频及微波集成电路的设计和研究.

王志功 男,1954 年出生,教授,博士生导师,主要研究领域是超高速、射频及微波集成电路.

2004-03-18 收到,2004-06-09 定稿

为 - 0.9V;饱和电流 ( $I_{dss}$ ):增强型为 140mA/mm ( $V_{gs} = 0.7V$ ),耗尽型为 250mA/mm ( $V_{gs} = 0V$ ).

通常,电路的工作频率可以达到  $f_T/10$  到  $f_T/5$ ,所以我们用 0.35 $\mu$ m CMOS 工艺来设计 2.5 Gb/s 速率的激光驱动器,而用 0.2 $\mu$ m PHEMT 工艺设计 10 Gb/s 速率的驱动器电路.

### 3 0.35 $\mu$ m CMOS 驱动器电路描述

在高速电路设计中,大多采用差分结构以获得较高的工作速度和较好的噪声抑制.我们的驱动器电路如图 1 所示.前两级差分放大器负责为最后一级电流开关提供足够的电压摆幅,以保证开关电路能够高速关断和通过足够大的调制电流.放大器之间用一级源极跟随器连接,它的作用是阻抗变换和电平移位,以保证下一级放大器有合适的工作点来获得最大的电压增益.传统的源极跟随器在这种高速、大信号电路的应用中有局限性.一方面,由于传统跟随器的电压增益小于 1,浪费了前级放大器得来不易的电压增益;另一方面,由于它的输出节点有很大的容性负载,RC 充放电回路延时将大大增加,这会严重影响电路的工作速度.为了克服这些缺点,有两种方法可以考虑:一是采用推挽型跟随器,它可以有效地改善信号边沿特性同时补偿电压增益.这种方法在多级放大器连接应用中有较好的表现.另一种方法是,放弃跟随器,放大器间采用变压器隔离,同时在后继放大器的输入节点处增加利用有源器件构成的负电容补偿电路,以减小容性负载,从而提高电路的工作速度,这种方法可以很好地提高电路性能,但是对工艺和无源器件要求较高,比如厚金属和高 Q 值电感或变压器.由于我们使用的是标准 CMOS 工艺,所以采用了第一种补偿方法,并获得了良好效果.

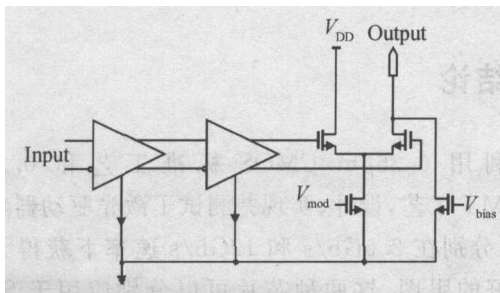


图 1 驱动器电路原理图

Fig. 1 Simplified schematic of the driver circuit

### 4 0.2 $\mu$ m PHEMT 驱动器电路描述

该电路也是采用差分电路形式,由预放大器和输出放大器两级放大器组成.预放大器电路原理如图 2 所示.输出放大器与预放大器有相似的结构.输入端采用共面波导 (coplanar waveguide, CPW) 实现 50  $\Omega$  输入阻抗匹配.为了使放大器工作速度更快,跟随器采用类似前面提到的推挽补偿技术,电感用来锐化脉冲信号的边缘和补偿放大器场效应管的电容影响.电路参数,包括所有的有源和无源器件,都进行了优化以减少延迟提高电路的工作速度.同样,我们对版图也进行了仔细的设计,以使得串扰等可能影响工作速度的因素尽量减少.比如,RF 信号的输出焊盘设计成八角形就是为了减小寄生电容以满足 50  $\Omega$  输出阻抗的匹配要求.

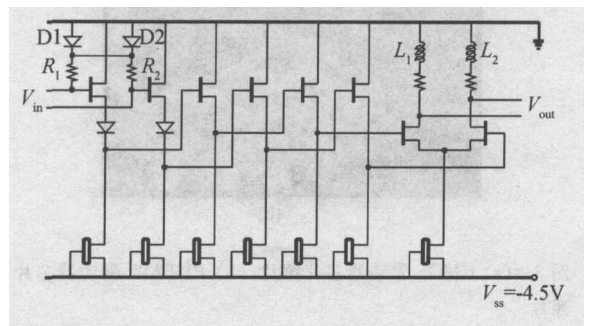


图 2 预放大器原理图

Fig. 2 Schematic of the pre-amplifier

### 5 测试结果

我们利用 50  $\Omega$  共面波导探头在 CASCADE 的芯片测试台上对驱动器电路进行了在芯片功能测试.主要测试设备有 12 Gb/s 脉冲信号发生器 (Advantest D3186) 和 50 GHz 示波器 (Agilent 86100A) 等.

图 3 (a), (b) 分别是 CMOS 和 PHEMT 驱动器芯片的显微照片. CMOS 驱动器面积为 0.57 mm<sup>2</sup>, PHEMT 驱动器的面积为 0.81 mm<sup>2</sup>.

图 4, 5 分别是应用传统跟随器和推挽型跟随器驱动器电路 (CMOS 工艺) 的测试眼图,工作速率都是 2.5 Gb/s,电源同为 5V,输出端负载都是 50  $\Omega$ .图 4 的输出幅度只有 3.3V,而图 5 则超过了 5V,同时上升沿和下降沿得到了明显改善.芯片平均功耗为 650mW.

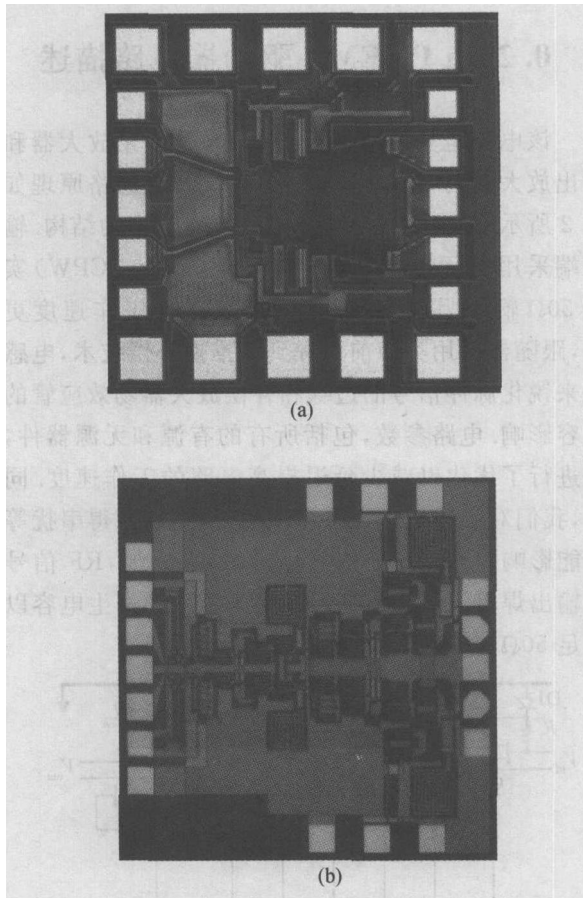


图 3 (a) CMOS 驱动器芯片照片; (b) PHEMT 驱动器芯片照片

Fig. 3 (a) Photomicrograph of the driver in CMOS; (b) Photomicrograph of the driver in PHEMT

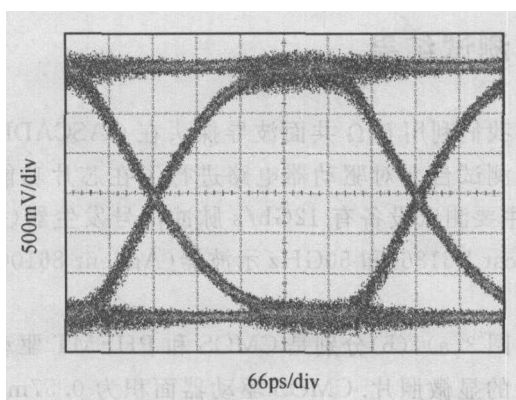


图 4 传统跟随器的电路输出眼图

Fig. 4 Eye-diagram of the driver using traditional source-follower

表 1 给出了在电源电压为 3.3V, 输入信号电压摆幅为 0.5V, 速率为 2.5Gb/s 条件下, 改进结构的激光驱动器的测试结果.

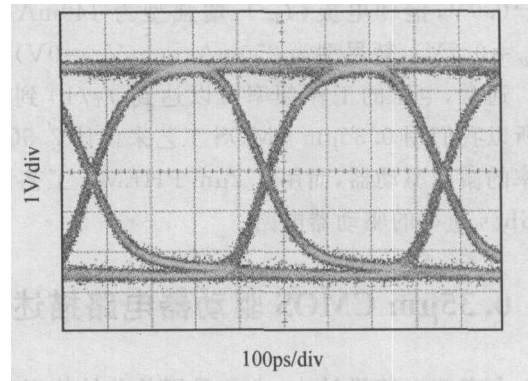


图 5 推挽型跟随器的电路输出眼图

Fig. 5 Eye-diagram of the driver using pull-push source-follower

表 1 改进结构后的激光驱动器的测试结果

Table 1 Test results of improved laser driver

测试参数	测试条件	最小值	典型值	最大值
功耗/mW		162	310	400
$V_{mod}/V$		0.5	1.1	1.6
输出电压 $V_{pp}/V$	50 负载	0.54	3.1	4.2
上升时间/ps (10% ~ 90%)		171	206.7	215.6
下降时间/ps (10% ~ 90%)		201	213.8	231.1
峰-峰抖动/ps		24.4	26.7	31.1

图 6 为 PHEMT 工艺驱动器电路在单电源 - 4.5V 供电, 比特率为 12Gb/s 的输入信号下测得的输出信号眼图. 输入信号伪随机比特序列 (pseudorandom bit sequences, PRBS) 的长度是  $2^{31} - 1$ , 输出差分端口各接 50 负载, 测得的单端输出电压摆幅达到 3.4V<sub>pp</sub>, 峰-峰值抖动 (peak-to-peak jitter) 测量值仅为 9ps. 输出信号眼图对称, 其上升沿和下降沿 (按幅度的 20% ~ 80% 测量) 均为 18ps. 芯片功耗小于 1.8W.

## 6 结论

利用 0.35 $\mu$ m CMOS 标准工艺和 0.2 $\mu$ m PHEMT 工艺, 设计、实现并测试了激光驱动器集成电路. 分别在 2.5Gb/s 和 12Gb/s 速率下获得了性能良好的眼图. 这两种芯片可以分别应用于 SDH STM-16 和 STM-64 标准的光传输系统.

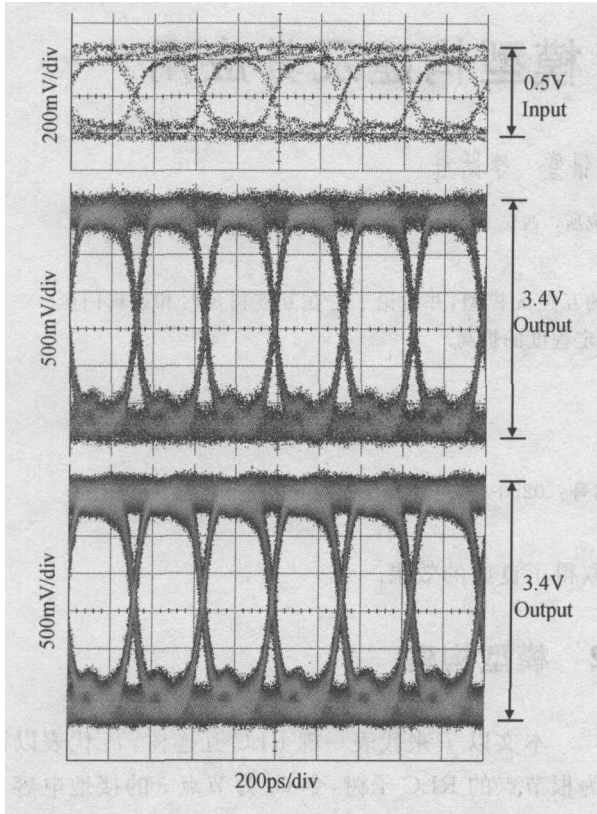


图 6 在 12 Gb/s,  $2^{31} - 1$  PRBS 条件下的输出信号眼图

Fig. 6 Eye-diagram of the driver output at 12 Gb/s  $2^{31} - 1$  PRBS

参考文献

- [ 1 ] Kuwano S, Takachio N, Iwashita K, et al. 160 Gbit/s (4ch × 40 Gbit/s electrically multiplexed data) WDM transmission over 320 km dispersion-shifted fiber. OFC, 1996: PD25
- [ 2 ] Ransijn H, Salvador G, Daugherty D D, et al. A 10 Gb/s laser/modulator driver IC with a dual-mode actively matched output buffer. IEEE J Solid-State Circuits, 2001, 36(9): 1314
- [ 3 ] Wang Z G, Berroth M, Nowotny U, et al. 15 Gbit/s integrated laser diode driver using 0.3 μm gate length quantum well transistors. Electron Lett, 1992, 28(3): 222
- [ 4 ] Chen Xinhua, Huang Ting, Wang Z G, et al. 2.5 Gb/s 0.35 μm CMOS laser-diode driver. Proceedings of 4th International Conference on ASIC, 2001: 821

## Ultra-High-Speed Laser/ Modulator Driver\*

Huang Ting, Wang Zhigong, and Li Lianming

(Institute of RF & OE-ICs, Southeast University, Nanjing 210096, China)

**Abstract:** Two kinds of laser/modulator drivers are designed and fabricated in 0.35 μm CMOS process and 0.2 μm GaAs PHEMT (pseudomorphic high electron mobility transistor) process, respectively. Their operating data speeds reach 2.5 and 10 Gb/s. They can be used in SDH (synchronous digital hierarchy) transmission system of optic-fiber communications.

**Key words:** optic-fiber communication; laser/modulator driver; CMOS; PHEMT; SDH

**EEACC:** 1220

**Article ID:** 0253-4177(2005)03-0576-04

\* Project supported by National High Technology Research and Development Program of China (Nos. 2001AA312010, 2001AA312060)

Huang Ting male, was born in 1973, PhD candidate. He is engaged in the research on design of high-speed, analog, RF, and microwave integrated circuits.

Wang Zhigong male, was born in 1954, professor. He is engaged in the research on design of high-speed, analog, RF, and microwave integrated circuits.

Received 18 March 2004, revised manuscript received 9 June 2004

© 2005 Chinese Institute of Electronics