

有 n 埋层结构的 1200 V 横向变掺杂 双 RESURF LDMOS 研制*

方 健¹ 张正璠² 雷 宇¹ 乔 明¹ 李肇基¹ 张 波¹

(1 电子科技大学微电子与固体电子学院, 成都 610054)

(2 中国电子科技集团第 24 研究所, 重庆 400060)

摘要: 提出有 n 埋层的横向变掺杂双 RESURF 新结构高压 LDMOS 器件. 该结构器件与常规 LDMOS 相比, 采用了相对较薄的外延层, 使之与标准 CMOS 工艺的兼容性得到了改善. 基于二维器件仿真软件 MEDICI 分析了 n 埋层的浓度、长度和 p⁻ 降场层的杂质浓度分布对器件耐压的影响, 并进行了器件和工艺的优化设计. 在国内工艺生产线成功地研制出 1200V 高压 LDMOS, 并已用于 1200V 功率集成电路中.

关键词: 高压 LDMOS; RESURF 原理; 横向变掺杂; 击穿电压

EEACC: 2560L; 2560R

中图分类号: TN386.1

文献标识码: A

文章编号: 0253-4177(2005)03-0541-06

1 引言

在高压 SPIC 中常采用高耐压的 RESURF 结构 LDMOS^[1]. 这种结构通过耗尽 n⁻ 漂移区与衬底耗尽区中的电场相互作用, 使得表面电场降低, 击穿由表面转移到体内, 使器件的击穿电压提高. 为了改善 RESURF 结构 LDMOS 耐压和导通电阻特性, Ludikhuize 等人提出了双 RESURF 技术^[2]. 它是在 n⁻ 漂移区 (n⁻ 外延层) 上引入 p⁻ 降场层形成结终端扩展 (JTE) 区, 更有效地降低了器件的表面电场. 同时, 漂移区最佳单位面积杂质密度从 $1.2 \times 10^{12} \text{ cm}^{-2}$ 提高到 $1.8 \times 10^{12} \text{ cm}^{-2}$, 这不仅降低了器件的导通电阻, 而且避免了高端穿通. 此外内场限环结构^[3]、SIPOS 结构^[4,5]、双层浮空场板结构^[6]和横向变掺杂耐压层结构^[7,8]也都可用于 RESURF LDMOS 中, 以进一步改善器件耐压特性.

目前, 对于 1200V LDMOS 一般采用厚度大于 20 μm 的外延层^[9], 其外延厚度与一般的标准 CMOS 不同, 并且在用于 SPIC 时需增加对通隔离的时间, 因此不易与标准 CMOS 工艺兼容. 为解决上述问题, 本文提出有 n 埋层结构的横向变掺杂双

RESURF LDMOS. 通过数值分析和试验, 证实采用该结构可以在 10 μm 乃至更薄的外延厚度情况下, 实现与 25 μm 厚度外延层的双 RESURF LDMOS 相当的耐压. 这将改善高压器件及集成电路工艺与标准 CMOS 工艺的兼容性.

2 器件结构及原理

有 n 埋层结构的横向变掺杂双 RESURF LDMOS 如图 1 所示, 其中 n⁻ 漂移区长度为 150 μm , n⁺ 漏区长度为 20 μm , p 阱区长度为 40 μm , 沟道长度为 2 μm . 该结构是在普通双 RESURF 结构的漂移区和衬底间加入一个 n 埋层区, 其长度为 L_{nb} , 如图 1 所示. 在正向阻断时, n⁻ 漂移区、p⁻ 降场层和 n 埋层同时出现全耗尽. 由于 n 埋层的存在, 对 LDMOS 器件来说, 相当于外延层 (n⁻ 漂移区) 在漏端有所增加. 当器件横向耐压足够大, 器件击穿将发生在漏端外延/衬底结上, 若外延层部分可承受更高的电压, 则有利于提高器件纵向击穿电压. 为提高器件横向击穿电压, n⁻ 漂移区采用横向变掺杂双 RESURF 耐压层结构, 其中 p⁻ 降场层分成浓度依次降低的 P1, P2, P3 和环 2, 环 3. 环 2 和环 3 与 P3 段的

* 国家“十五”军事电子预研项目 (批准号: 41308020405) 和国家模拟电路重点实验室基金 (批准号: 51439020103DZ0201) 资助项目

2004-05-02 收到, 2004-12-03 定稿

© 2005 中国电子学会

浓度相同,这样可以使表面电场进一步平坦化,在较短的漂移区上获得高耐压.

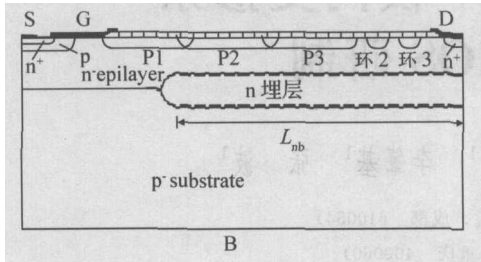


图 1 n 埋层薄外延 LDMOS 结构

Fig. 1 Cross-section of double RESURF LDMOS with n bury layer

高压 RESURF LDMOS 的耐压由横向击穿电压和纵向击穿电压共同决定. 外延层 (n^- 漂移区) 的厚度、浓度以及衬底浓度决定了纵向击穿电压. 而横向击穿电压除受上述因素影响外, 还取决于 n^- 漂移区的长度. 通过优化设计双 RESURF 结构中的 p^- 降场层和 n^- 漂移区的长度, 使表面电场进一步平坦化, 以获得高横向击穿电压. 而在纵向击穿电压设计上, 主要采用厚外延层 (n^- 漂移区) 和较低的衬底浓度以达到纵向击穿的要求. 在薄外延上实现 1200V 以上的器件耐压, 要求衬底浓度极低. 这增加了材料制备的难度, 同时也增加了工艺兼容的难度. 而采用有 n^- 埋层的横向变掺杂双 RESURF 结构则可以在保证耐压的情况下, 采用较薄的外延层和较常规的衬底浓度.

假定漂移区足够长且总可通过优化 p^- 降场层使表面电场达到平坦化. 基于 n^- 埋层全耗尽条件和薄外延层新结构耐压须与厚外延常规器件耐压相当甚至大于它的条件, n^- 埋层的浓度和厚度须满足:

$$N_{nb} \frac{si E_c}{qt_{nb}} - \frac{N_{epi}}{t_{nb}} (t_{epi} - t_{nb}/2) \quad (1)$$

$$N_{nb} \frac{2(N_{epi}/N_{sub} + 1)(1 - K)t_{epi} + (2 - N_{epi}/N_{sub})t_{nb}}{2t_{nb}[qt_{epi}/(si E_c) - 1/N_{sub}]} \quad (2)$$

其中 t_{epi} 和 N_{epi} 分别为外延 (n^- 漂移区) 层厚度和浓度; N_{sub} 为衬底浓度; E_c 为临界击穿电场; N_{nb} 和 t_{nb} 为 n^- 埋层的浓度和厚度; q 为电子电荷; si 为硅介电常数; $K = t_{epi}^0 / t_{epi}$, 为普通器件外延层厚度 t_{epi}^0 和新结构器件外延层厚度 t_{epi} 之比.

根据 (1) 和 (2) 式, 可得到在 $K = 2, 5, 20/3$ 的情况下 n^- 埋层浓度和厚度的限制范围, 如图 2 所示. n^- 埋层的浓度和厚度限制在对应的两条曲线所包括的区域内. 可以看出当采用有 n^- 埋层的横向变掺杂双

RESURF 结构, 采用较薄外延层也可达到与常规厚外延器件相当的耐压.

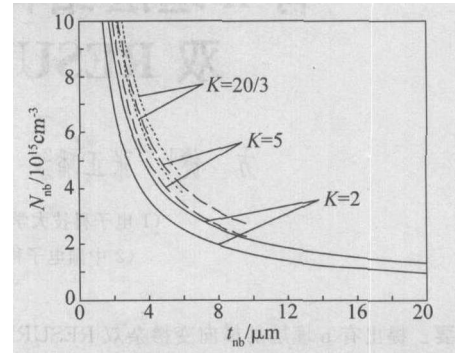


图 2 在衬底浓度为 $1.2 \times 10^{14} \text{cm}^{-3}$, 外延层浓度为 $1.0 \times 10^{15} \text{cm}^{-3}$ 条件下, n^- 埋层浓度和厚度的限制范围

Fig. 2 Limits for depth and concentrations of n-bury layer under the condition that concentration of substrate is $1.2 \times 10^{14} \text{cm}^{-3}$, concentration of epitaxial layer is $1.0 \times 10^{15} \text{cm}^{-3}$

3 器件优化设计

尽管目前有大量文献对 RESURF LDMOS 的耐压进行分析, 但都局限于矩形结构单 RESURF. 对双 RESURF 结构, 由于其复杂性而难以获得解析分析. 同时, 本文提出的 n^- 埋层结构的有效漂移区为非矩形结构, 更增加了问题难度. 因此, 本文的优化设计主要通过二维数值仿真软件 MEDICI 进行.

在采用 n^- 型埋层的 LDMOS 中, 除了 p^- 降场层, n^- 型埋层的掺杂剂量和长度也是影响器件击穿电压的关键参数. 通过二维器件仿真软件 MEDICI 对该器件进行仿真可得 n^- 埋层长度 L_{nb} 与击穿电压的关系, 如图 3 所示. n^- 埋层的掺杂剂量为 $1.5 \times 10^{12} \text{cm}^{-2}$. 由图中可看出, n^- 埋层长度与击穿电压的关系存在优值. 在 n^- 埋层长度 L_{nb} 为 $120 \mu\text{m}$ 时 (该长度含 n^+ 漏区长度, n^- 埋层实际长度为 $100 \mu\text{m}$), LDMOS 的击穿电压最高, 达到约 1250V. 在最优值附近, L_{nb} 的增大和减小都会引起击穿电压的下降, 相比而言 L_{nb} 减小引起的击穿电压降低的程度较小一些.

研究不同 n^- 埋层长度 LDMOS 中的电势分布和电场分布可发现, 当 n^- 埋层长度减小时, 电力线逐渐在漏端集中, 外延层完全耗尽时, p^- 降场层表面靠近源端的部分区域未能耗尽. 击穿点虽然仍发生在漏端体内的外延/衬底上, 但由于电场曲率效应的作用, 衬底中耗尽区窄, 击穿电压远远低于理想的平行

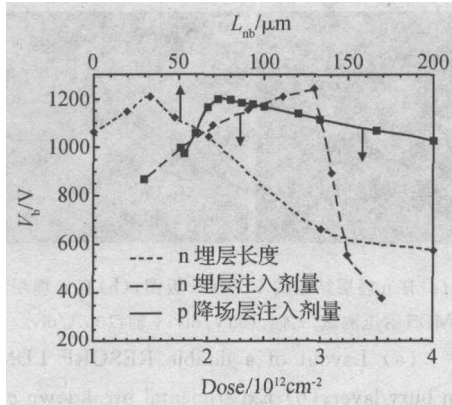


图 3 n 埋层长度和注入剂量, p⁻ 降场层注入剂量与器件耐压的关系

Fig. 3 Relationships for breakdown voltage versus length and dose of a bury layer, and breakdown versus dose of p⁻ layer

平面结的击穿电压. 该情况与不加入 n 埋层时的情况相同. 也就是说, 随着 L_{nb} 的减小 n 埋层的作用逐渐减弱. 当 n 埋层长度增大时, 会使 p⁻ 区表面靠近源极部分的电场升高. 随着 L_{nb} 的增大在栅电极末端将出现一个电场峰值, 并首先在此处发生雪崩击穿, 使器件的击穿电压急剧下降. 图 4 (a), (b) 分别为 n 埋层长度 L_{nb} 为 30 μm 和 120 μm 的 LDMOS 击穿时的电场分布.

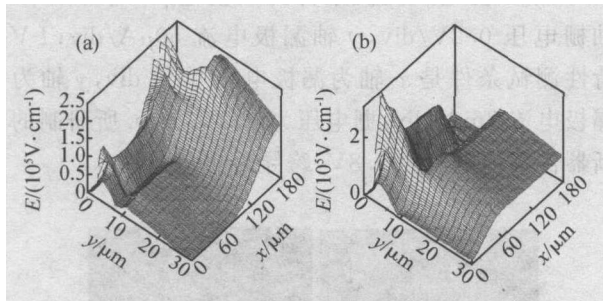


图 4 $L_{nb} = 30\mu\text{m}$ (a), $L_{nb} = 150\mu\text{m}$ (b) 时临界击穿时的电场分布

Fig. 4 3D electrical field distribution for $L_{nb} = 30\mu\text{m}$ (a), and $L_{nb} = 150\mu\text{m}$ (b) at the critical breakdown condition

n 埋层掺杂剂量与击穿电压的关系如图 3 所示. 考虑到当 n 埋层长度大于 120 μm 时, 器件耐压迅速下降, 实际设计时取 n 埋层的长度 L_{nb} 略小于 120 μm , 为 110 μm . 由图中可看出 n 埋层的掺杂剂量在 $1.7 \times 10^{12} \text{cm}^{-2}$ 时, LDMOS 的击穿电压有一个峰值. 当掺杂剂量降低时, n 埋层的作用降低, 电力线在器件的漏端集中, 源端 p⁻ 降场区表面出现非全耗

尽. 发生击穿时, 在衬底中的耗尽区宽度变窄, 击穿电压变低. 当掺杂剂量提高时, n 埋层不易耗尽, 在 n 埋层末端的电场升高, 并在该处首先发生击穿, 击穿电压急剧下降. n 埋层掺杂剂量的升高和降低都会破坏双 RESURF 条件, 使击穿电压降低, 所以工艺中对该参数要精确控制. 对所模拟的结构, n 埋层的掺杂剂量取值为 $1 \times 10^{12} \sim 1.8 \times 10^{12} \text{cm}^{-2}$ 比较适合. 通过调整 n 埋层掺杂剂量可提高 LDMOS 漂移区的杂质总剂量使其满足双 RESURF 条件; 通过调整埋层长度 L_{nb} 我们可调整沿漂移区的杂质剂量的分布, 使漂移区中的电场分布得到调整. 漂移区杂质总剂量的提高也可使 LDMOS 的导通电阻降低.

在双 RESURF 结构中 p⁻ 降场层 (含 P1, P2, P3 和环 1, 环 2) 的浓度分布 (注入剂量) 仍然是影响 LDMOS 击穿电压的关键参数之一. 由于 n 埋层的引入, p⁻ 降场层需做重新优化. p⁻ 降场层采用三环结构, 即在单区的 p⁻ 降场层与漏极间再加入掺杂浓度与 p⁻ 降场层相同的两个类似于场限环的 p⁻ 区时, p⁻ 降场层在漏端的电场会被降低, 可有效地提高 p⁻ 降场层中杂质剂量的选择范围. 因此只对三环均匀掺杂结构的 p⁻ 降场层的掺杂剂量对击穿电压的影响进行讨论. 图 3 同样给出了 p⁻ 降场层的掺杂剂量与 LDMOS 击穿电压的关系. 当 p⁻ 降场层的掺杂剂量为 $2.1 \times 10^{12} \text{cm}^{-2}$ 时 LDMOS 的击穿电压取得一个最大值为 1213V. 当掺杂剂量降低时, p⁻ 降场层很容易耗尽, 在器件表面栅电极处电场升高并在该处过早击穿. 当掺杂剂量升高时, 则导致 p⁻ 降场层不易耗尽, 在漏极的 p⁻ 降场层末端处电场升高, 并在该处过早击穿; 对于耐压要求大于 1000V 的 LDMOS 器件, 其 p⁻ 降场层的掺杂剂量选择范围为 $2.0 \times 10^{12} \sim 3.0 \times 10^{12} \text{cm}^{-2}$.

有 n 埋层结构的横向变掺杂双 RESURF LDMOS 与普通外延层厚度为 20 μm 的 LDMOS 进行比较. 当两种结构的漂移区长度都为 120 μm , 衬底浓度为 $1.2 \times 10^{14} \text{cm}^{-3}$, 外延层浓度为 $1.0 \times 10^{15} \text{cm}^{-3}$. 外延层厚度为 10 μm , 采用 n 埋层的 LDMOS 的击穿电压为 1213V. 外延层厚度为 25 μm 的 LDMOS 的击穿电压为 1285V.

在导通状态, 当栅极电压取 15V, 漏极电压为 100V. 图 5 为两种结构 LDMOS 通过 MEDICI 模拟得出的输出 $I-V$ 特性曲线. LDMOS 为圆形结构, 沟道的平均半径定为 170 μm , 则沟道宽度为 942 μm . 通过计算可得到 n 埋层结构薄外延 LDMOS 的导通

电阻为 451Ω , 厚外延 LDMOS 的导通电阻为 566Ω . 由以上的比较可知有 n 埋层结构的薄外延 LDMOS 的击穿电压与厚外延 LDMOS 的相当, 且其导通电阻还比厚外延 LDMOS 的小 100Ω . 所以在 $10 \mu\text{m}$ 厚度的外延层上采用 n 埋层结构制作耐压同为 1200V 的 LDMOS 时, 其器件性能略优于常规结构.

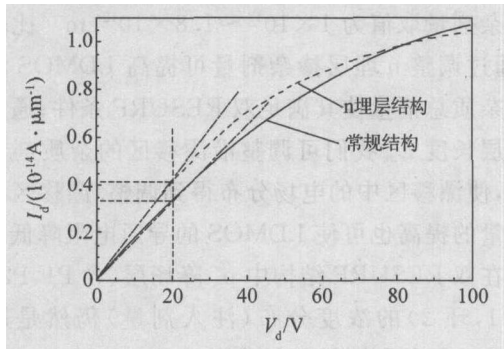


图 5 有 n 埋层 LDMOS 与常规结构 $F-V$ 特性比较 $V_g = 15\text{V}$, 漂移区长度都为 $150 \mu\text{m}$, 衬底浓度为 $1.2 \times 10^{14} \text{cm}^{-3}$, 外延层浓度为 $1.0 \times 10^{15} \text{cm}^{-3}$.

Fig. 5 $F-V$ characteristics for double RESURF LDMOS with n bury layer and conventional double RESURF LDMOS. Length of n-drift is $120 \mu\text{m}$ and concentration of substrate is $1.2 \times 10^{14} \text{cm}^{-3}$, concentration of epitaxial layer is $1.0 \times 10^{15} \text{cm}^{-3}$.

4 试验及结果

为了验证 n 埋层结构横向变掺杂双 RESURF LDMOS 器件, 设计了 $1000 \sim 1200\text{V}$ 结隔离高/低压兼容工艺. 该工艺除硼埋和 p^- 降场层形成工艺外, 均采用标准的 CMOS 工艺, 整个工艺掩膜版数为 15 张. 工艺中的关键参数利用工艺模拟软件 TSUPREM4 进行设计, 其中衬底浓度为 $1.2 \times 10^{14} \text{cm}^{-3}$; 外延层浓度为 $1 \times 10^{15} \text{cm}^{-3}$; n 埋层的掺杂剂量为 $1.5 \times 10^{12} \text{cm}^{-2}$; 漂移区长度为 $150 \mu\text{m}$; n 埋层长度 L_{nb} 为 $110 \mu\text{m}$. p^- 降场层采用分成三环的结构, 注入剂量为 $3 \times 10^{12} \text{cm}^{-2}$, 其浓度分布取为依据掩膜窗口呈横向变掺杂, 所设计的有 n 埋层结构的 LDMOS 版图如图 6(a) 所示.

借助国家模拟集成电路重点实验室的工艺线, 我们成功研制出该新结构器件, 并采用 QT2 晶体管特性图示仪, Tektronix TDS220 数字示波器及 3000V 高压探头、DF1641B 信号发生器、WYK3010B2 直流稳压电源, 对所研制器件进行测量. 图 6(b) 给出有 n 埋层的双 RESURF 结构 LDMOS 击穿电压的测试结果, 图中 x 轴 $100\text{V}/\text{div}$, y

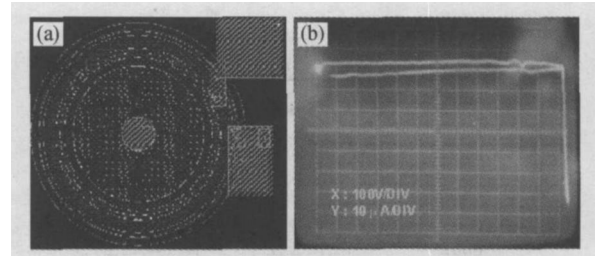


图 6 (a) 有 n 埋层结构的 LDMOS 版图; (b) 有 n 埋层结构的 LDMOS 耐压测试. x 轴: $100\text{V}/\text{div}$; y 轴: $10 \mu\text{A}/\text{div}$.

Fig. 6 (a) Layout of a double RESURF LDMOS with n bury layer; (b) Experimental breakdown curve of the LDMOS. x axis: $100\text{V}/\text{div}$, y axis: $10 \mu\text{A}/\text{div}$.

轴 $10 \mu\text{A}/\text{div}$, 其耐压为 1205V . 在正向阻断情况下漏电小于 $5 \mu\text{A}$, 且击穿图形较硬, 说明本文提出和研制的新结构器件具有较好的耐压特性. 为了加以比较, 我们也设计研制了 $20 \mu\text{m}$ 常规双 RESURF LDMOS 器件. 实测结果其耐压为 1225V , 与新结构器件耐压相当, 但其工艺难度较新结构器件难. 根据试验统计, 不同批次的 LDMOS 成品率平均在 90% 以上 (在耐压 $> 1000\text{V}$, 阈值为 $0.8\text{V} \pm 10\%$ 条件下), 这验证了所提出的新结构 LDMOS 器件及其优化设计和工艺设计的正确性.

图 7 给出 $F-V$ 特性测试结果和阈值电压测试结果. 其中阈值电压测试条件为漏极电压 $V_d = 6\text{V}$, x 轴栅电压 $0.2\text{V}/\text{div}$, y 轴漏极电流 $50 \mu\text{A}/\text{div}$; $F-V$ 特性测试条件是 x 轴为漏极电压 $50\text{V}/\text{div}$, y 轴为漏极电流 $2\text{mA}/\text{div}$, 栅电压为 $0.5\text{V}/\text{step}$. 所研制的新器件阈值电压为 0.8V , 跨导为 $4\text{mA}/\text{V}$.

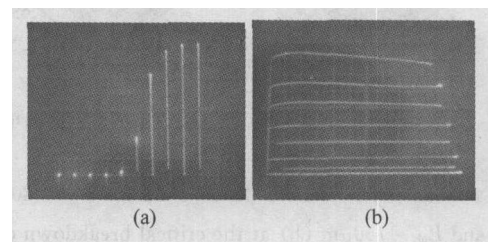


图 7 有 n 埋层结构的 LDMOS 特性测试结果 (a) 阈值电压测试结果, $V_{ds} = 6\text{V}$, x 轴栅电压 $0.2\text{V}/\text{div}$, y 轴漏电流 $50 \mu\text{A}/\text{div}$; (b) $F-V$ 特性测试结果, x 轴为漏电压 $50\text{V}/\text{div}$, y 轴为漏电流 $2\text{mA}/\text{div}$, 栅电压为 $0.5\text{V}/\text{step}$

Fig. 7 Measurement results for double RESURF LDMOS with n bury layer (a) Threshold voltage, $V_{ds} = 6\text{V}$, x axis: V_g $0.2\text{V}/\text{div}$, y axis: I_d $50 \mu\text{A}/\text{div}$; (b) $F-V$ characteristics, x axis: V_d $50\text{V}/\text{div}$, y axis: I_d $2\text{mA}/\text{div}$, V_g is $0.5\text{V}/\text{step}$

由于横向高压 LDMOS 器件主要应用于功率集成电路,因此作为对该器件的验证,我们在进行器件研制的同时也研制了采用该结构器件的高压功率集成电路(1000V 三相高压功率 MOS 栅驱动电路).该电路主要完成从数字信号到功率驱动的接口功能,其电路版图见图 8(a),电路输入输出特性见图 8(b).试验结果达到了电路对 1000V 工作电压的要求.

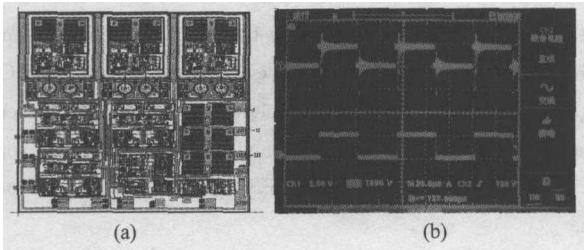


图 8 (a) 1200V 三相高压功率 MOS 栅驱动电路版图; (b) 测试结果: CH1 输入信号(5V/div), CH2 输出信号(1000V/div)
Fig. 8 (a) Layout of 1200V 3 phase high voltage driver circuits; (b) Measurement results, channel 1 is input (5V/div), channel 2 is output (1000V/div).

5 结论

采用有 n 埋层结构的横向变掺杂双 RESURF 结构在 $10\mu\text{m}$ 厚度的外延层上成功研制出耐压为 1200V 的高压 LDMOS,得到了与 $20\mu\text{m}$ 厚度的外延层普通双 RESURF LDMOS 相当的器件特性,并已成功用于 1200V 级功率集成电路中. 该结构器件

与常规 LDMOS 相比,由于采用了相对较薄的外延层,与标准 CMOS 工艺的兼容性得到了改善. 试验结果表明经结构和工艺优化的新结构 LDMOS 可以达到较佳的一致性和成品率.

参考文献

- [1] Appels J A, Vaes H M J. High-voltage thin layer devices. IEDM Tech Dig, 1979: 238
- [2] Ludikhuizen A W. High-voltage DMOS and PMOS in analog IC's. IEDM Tech Dig, 1982: 81
- [3] Serag E D Habib. The ALDMOST: A new power MOS transistor. IEEE Electron Device Lett, 1987, 8: 257
- [4] Sakai T, So K C, Shen Z, et al. Modeling and characterization of SIPOS passivated, high voltage, N- and P-channel lateral RESURF type DMOSFETs. Proc of ISPSD, 1992: 288
- [5] Charitat G, Bouanane M A, Rossel P. A new junction termination technique for power devices: RESURF LDMOS with SIPOS layers. Proc of ISPSD, 1992: 213
- [6] Terashima T, Yamashita J, Yamada T. Over 1000V n-ch LD-MOSFET and p-ch LIGBT with JI RESURF structure and multiple floating field plate. Proc of ISPSD, 1995: 455
- [7] Chen X B, Mawby P A, Salama C A T, et al. Lateral high-voltage devices using an optimized variational lateral doping. Int J Electron, 1996, 3: 449
- [8] Hossain Z, Imam M, Fulton J, et al. Double-resurf 700V N-channel LDMOS with best in class on-resistance. Proc of ISPSD, 2002: 137
- [9] Ludikhuizen A W. A versatile 700 ~ 1200V IC process for analog and switching applications. IEEE Trans Electron Devices, 1991, 38(7): 1582

Realization of A Novel 1200 V VLD Double RESURF LDMOS with n-Bury Layer *

Fang Jian¹, Zhang Zhengfan², Lei Yu¹, Qiao Ming¹, Li Zhaoji¹, and Zhang Bo¹

(1 *University of Electronic Science and Technology of China, Chengdu 610054, China*)

(2 *Sichuan Institute of Solid-State Circuits, Chongqing 400060, China*)

Abstract : A novel VLD double RESURF structure with n-bury layer is proposed in order to realize 1200V LDMOS on thin epitaxial layer. Compared with conventional double RESURF LDMOS ,process compatibility of the devices with standard CMOS process is improved ,because of using a thin epitaxial layer. The relationships between breakdown voltage and length and concentration of n-bury layer ,and concentration profile of p-layer also are analyzed by using 2D devices simulator MEDICI. Hence ,optimization designs for devices structure and its process are achieved. Finally ,1200V VLD double RESURF LDMOS with n-bury layer is realized and it is applied in 1200V power integrated circuits.

Key words : high voltage LDMOS; RESURF principle; variety lateral doping; breakdown voltage

EEACC: 2560L; 2560R

Article ID : 0253-4177(2005)03-0541-06

* Project supported by National Tenth 5- Year Military Electronic Pre-Research Program(No. 41308020405) and Research Plan of National Key Labroatory of Analog Circuits(No. 514390201030Z0201)

Received 2 May 2004 ,revised manuscript received 3 December 2004

© 2005 Chinese Institute of Electronics