

基于划分的力矢量布局算法^{*}

程 锋 毛军发

(上海交通大学电子工程系, 上海 200030)

摘要: 提出了一个全新的基于划分的力矢量布局算法. 针对大规模集成电路的布局问题, 采用基于并行结群技术的递归划分方法进行分解解决, 并结合改进的力矢量算法对划分所得的子电路进行迭代布局优化. 通过对 MCNC 标准单元测试电路的实验, 与 FengShui 布局工具相比, 该布局算法在花费稍长一点的时间内获得了平均减少 12% 布局总线长度的良好效果.

关键词: 布局算法; 划分; 结群; 力矢量法

EEACC: 2570 CCACC: 7410D

中图分类号: TN47 文献标识码: A 文章编号: 0253-4177(2005)03-0590-05

1 引言

随着集成电路规模越来越大, 超大规模电路的自动布局问题面临越来越严峻的考验. 一个好的布局算法既要能产生好的布局结果, 又要花费相对少的运行时间. 目前布局算法主要基于三种主流方法: (1) 以模拟退火法^[1] 为代表的迭代优化算法, 在获得高质量布局结果的同时却耗费了大量运行时间; (2) 将布局效果和花费时间进行折中的数学规划法^[2], 由于将布局问题抽象为数学模型, 近似的非精确模型造成的过分约束影响了布局效果; (3) 通过分解手段降低问题规模和难度的划分法^[3], 明显快于面向整体的迭代优化布局方案, 非常适合超大规模电路的布局应用. 然而, 由于纯粹的划分布局算法的最终优化目标是割线数最少, 即被分割开的区域间连线个数最少, 这与连线总长度最短的布局目标有偏差. 另外, 由于其强行分割电路并最终在划分所得很小的局部范围内进行单元布局, 缺乏全局观念, 必然也会影响电路最终的布局效果.

本文提出了一个基于划分的力矢量布局算法. 在划分过程中, 采用并行结群技术为划分提供依据, 该并行结群技术避免了以往结群方法^[4,5] 中因结群

种子选取的不同造成结群结果差异很大的不良现象. 在划分所得的各级子电路中, 采用改进的力矢量算法进行迭代优化布局, 使得电路的连线总长在接近全局优化的条件下得到较充分的优化. 本文提出的改进力矢量布局方法在确定单元目标位置时比力矢量松弛法更加灵活、有效, 它不仅避免了模拟退火法中因随机选取单元目标位置而盲目移动单元所造成的大量时间的浪费, 而且比划分算法更有效, 因为划分法在早期不完整和不准确的信息条件下就做出了不可逆转的决定.

2 布局算法

本文提出的基于划分的力矢量布局方法既降低了解决问题的算法规模, 又保证了解决问题的质量. 它包括以下三个步骤: 首先在并行结群算法的基础上将电路自顶向下递归划分, 并在层层划分所得的区域内插入位置固定的伪单元, 用来映射区域外有连接关系的实际单元; 然后在每个底层子电路即最终划分所得最小规模区域内, 进行初始迭代优化布局, 布局方法使用改进力矢量布局算法; 最后是自底向上的合并过程, 将二分所得的子电路两两合并成为上一级规模较大的电路, 并以此类推, 层层合并直

^{*} 国家自然科学基金(批准号: 90207010) 和国家高技术研究发展计划(批准号: 2002AA1Z1520) 资助项目

程 锋 女, 1976 年出生, 博士研究生, 研究方向是超大规模集成电路版图设计.

毛军发 男, 1965 年出生, 教授, 博士生导师, 从事电磁场与微波技术研究.

2004-04-07 收到, 2004-09-06 定稿

到恢复为最初的原始电路,在每一级子电路中都进行迭代布局优化,从而进一步改善布局质量。

2.1 并行结群技术

将结群方法运用于划分算法通常会产生好的效果,因为在划分过程中,各个群中相互连接紧密的单元往往不容易被分开。本节提出了一种新技术,我们称之为并行结群技术。在一次结群循环中,每个群只有一次与其他群进行结群的机会,如果错过了这次机会,只能等待下一个结群循环。这样每一对群结合生成的新群就是本次结群循环中最优的群。图 1 显示了一次并行结群循环的过程。其中, $CV_{ij} = \frac{C_{ij}}{T_i - C_{ij}} + \frac{C_{ij}}{T_j - C_{ij}}$ 是群 i 和 j 之间的结群连接度, $C_{ij} = \sum_{x \in i, y \in j} p(x, y)$ 是群 i 和 j 之间的连接度, $T_i = \sum_{x \in i, y \notin i} p(x, y)$ 是群 i 和其他群之间的外部总连接度, $p(x, y)$ 是单元 x 和 y 之间的连接度,即单元 x 和 y 之间存在 p 个线网。在开始结群之前,每个单元被看作一个独立的群,并拥有各自的结群待选队列,里面存放着与其有连接关系的群。一次结群循环直到群队列中剩下群的数目不多于一个才结束。结群循环不断重复执行,直至在新一轮结群循环中,群队列中没有任何两个群的结群连接度大于 0.3 才终止整个结群过程。

- (1) 从群队列中任选一个群 A。
- (2) 从群 A 的待选结群队列中选取结群连接度 CV_{AB} 最大的群 B。
- (3) 从群 B 的待选结群队列中选取结群连接度 CV_{BC} 最大的群 C。
- (4) If (A 与 C 是同一个群,并且 $CV_{AB} > 0.3$)
将 A、B 合并成新群,更新数据信息,并暂时将结成的新群从本次结群循环的群队列中剔除。
- (5) Else
暂时将群 A 从本次结群循环的群队列中剔除。
- (6) If (群队列中剩下群的数目多于一个)
重复执行步骤(1)。
- (7) Else
转入下一次结群循环。

图 1 一次并行结群循环的过程
Fig. 1 One parallel clustering loop

2.2 划分阶段

2.2.1 终端传递技术

由文献[6]最初提出的“终端传递”技术大大改进了划分布局算法的效果^[7]。此技术在被划分区域

内插入位置固定的“伪单元”,使得在区域划分时区域外部的连接信息也考虑在内,从而更好地指导划分过程。类似于终端传递的技术被引入本文的划分算法中,为第二阶段的迭代优化布局提供良好的环境。通常情况下,当电路被一分为二成 A 和 B 两个区域时,区域 A 中的线网不仅连接着本区域内的单元,还连接着区域 B 中的单元。假设有一单元 k 在区域 B 内,而区域 A 中的线网 K 连接着单元 k ,那么我们在区域 A 内引入一个伪单元 k ,使其在后面区域 A 的优化布局中映射实际单元 k 。 k 的位置被固定在“区域 A 内靠近区域 B 的边界中点处”。此做法既可以通过伪单元保存区域 A 外部连接信息使得其内部的迭代布局优化近似于全局性,又可以保证两区域内布局优化的独立性,从而加快迭代收敛速度,提高优化布局效率。

2.2.2 递归划分过程

在递归划分过程的每一层划分中,都会使用到第 2.1 节描述的结群方法。首先根据结群结果将原始电路二分为规模相近的两个子区域,并分别建立各自独立的单元集和线网集。独立的单元集确保只有区域内的单元才能参加本区域的布局优化,而独立的线网集使得区域内的线网不仅可以连接本区域内的单元,还可以连接用于映射区域外部单元的伪单元。接下来的递归划分如法炮制,并且在每一层划分所得的子区域内都建立伪单元,使得区域外的连接信息被层层传递,从而保证了子区域内近似全局性的布局优化。当划分所得的底层子电路规模小于 3000 个单元时,递归划分过程结束。

2.3 迭代优化布局

迭代优化布局是一种典型的自动布局算法,它在规模较小的电路布局中能获得很好的优化效果。力矢量松弛方法^[8]就是一个典型的通过不断确定单元移动目标位置的迭代优化布局算法,它将平面布局的二维问题转换为 x 轴和 y 轴两个方向上的一维布局问题来处理。本文对力矢量松弛布局方法进行了改进,采用改进的力矢量布局算法进行电路的迭代布局优化。

2.3.1 改进的力矢量布局算法

在本节算法分析中,只针对线网的 x 轴方向, y 轴方向上的做法类似。力矢量松弛算法的核心可描述为:若在 x 轴上有序地排列着 m 个位置固定的定点,其坐标分别为 $x_1, x_2, \dots, x_m (x_1 < x_2 < \dots < x_m)$ 。

现在 x 轴上有一动点 x , 欲使 $\sum_{i=1}^m |x - x_i|$ (x, x_i 表示动点 x 与定点 x_i 之间的直线距离) 最小, 则 x 点的最佳位置(或区间)在 (1) $[x_k, x_{k+1}]$ 中, 当 $k = (m/2)$, m 为偶数; (2) x_k 处, 当 $k = (m + 1)/2$, m 为奇数. 视将要调整位置的单元 a 为动点, 与单元 a 相连的每条线网的最左边和最右边单元为定点(不考虑单元 a), 通过力矢量松弛方法计算出单元 a 的目标位置. 然而此算法在确定定点时将单元 a 排除在线网之外, 这将导致对单元 a 位置调整的过分约束, 并且不良影响随着单元 a 上所连线网数目的增多而更加明显. 虽然文献[8]尝试在单元 a 的目标位置的邻域内同时与多个单元进行位置交换, 搜索范围仍因力矢量松弛算法中定点的不正确考虑而受到限制.

本文提出了适用于布局问题的改进力矢量法, 在优化线长的迭代过程中, 先后运用三种不同的选取定点的方法计算单元目标位置. 算法具体描述如下: 最初大范围的单元位置调整使用第一种方法. 图 2(a), (b), (c) 分别为线网 K 上单元 a 的三种不同位置情况. 在图 2(a) (或(b)) 中, 线网 K 的定点应取单元 c (或 e), 即通过上述力矢量方法将单元 a 拽入线网中, 从而获得最短的线网长度. 而在图 2(c) 中, 线网 K 的定点应为单元 f 和 g , 使单元 a 保持在线网中间, 从而保证最短的线网长度. 第二种方法是首先用力矢量松弛算法估算单元 a 的目标位置, 然后以此位置作为单元 a 的实际位置, 按照第一种方法选取定点. 此方法是在对单元大范围调整后进行较严谨的细致调整. 第三种方法应用于最后的小范围单元位置调整, 它的做法恰与第一种方法相反, 相对应的定点取单元 b, d, f 和 g . 此方法正好与前两种方法形成互补.

如果单元 a 上连接多条线网, 则每条线网按照上述单线网寻找定点的方法找到各自的定点, 然后将这些定点的集合应用于改进的力矢量法, 从而计算出单元 a 的目标位置.

2.3.2 迭代算法

一次迭代循环内每个单元只能移动一次, 该循环被称为“一次新布局状态的产生”. 图 3 显示了新布局状态的产生流程. 只有当线网总长度改变量 C 为负值时, 该新布局状态才被接受; 否则, 放弃该新布局状态, 并且重新产生一个布局状态. 图 3 描述的新布局状态的产生过程不断地被重复, 直到电

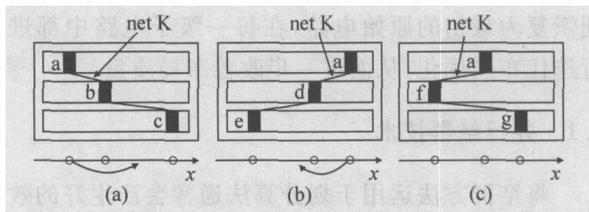


图 2 线网 K 上单元 a 的三种不同位置情况. 线网 K 连接三个单元, 并被投影到 x 方向上.

Fig. 2 Three location cases of cell a on net K . Net K is connected with three cells and is projected to x direction.

路中任意单元的位置调整都不能使线网总长改变值 C 为负值时, 布局优化到达局部最优, 则无条件地接受下一循环的所有单元位置调整. 也许在此无条件接受布局调整之前的最后一次布局结果不一定是最好的, 但这种波动式解决方案可以减少后续布局的总线长度. 基于这种启发式调整, 开始新一轮的局部寻优.

- (1) 任选一个迭代对象单元 a , 设其所在的行是 $row - a$.
- (2) 计算单元 a 的目标位置 x , 设其所在的行是 $row - b$, 并且 x 现是单元 b 所在的位置.
- (3) If (单元 a 和 b 在同一行内)
 - 计算由于行内交换造成的线网总长改变值 C .
- (4) Else if (将单元 a 放入行 $row - b$ 未使其行长超出限制)
 - 计算由于行间插入造成的线网总长改变值 C .
- (5) Else if (将单元 a 和 b 互换皆不会使两行的长度超出限制)
 - 计算由于行间交换造成的线网总长改变值 C .
- (6) Else
 - 重新进行步骤 (1).
- (7) If ($C < 0$)
 - 改变单元 a 的位置到 x , 并消除因其位置变化造成单元 a, b 所在行的单元重叠.

图 3 新布局状态产生流程

Fig. 3 Generation of a new state

在启发式迭代算法过程中, 一次局部寻优后的连线总长度并不总是比前一次的局部寻优所得连线总长度短, 整个优化迭代过程是以波动形式前进. 为了加快迭代速度并保证优化质量, 设置了局部寻优次数 L . 每当局部寻优次数达到 L 时, 当前连线总长度与 L 次前的连线总长度比较, 如果总长度变短, 继续该阶段寻找单元目标位置方式, 反之, 从本阶段的最优布局状态转入下一阶段的寻找单元目标位置方式, 直到第三阶段的寻找单元目标位置方式也不

能保持总线长度减少的趋势时,整个优化布局过程结束.若 L 太小,会使三个不同寻优阶段之间的转换太快,造成每个阶段的优化迭代不充分;相反,若 L 太大,则又会使每次寻优阶段花费时间过长且优化效果改善不明显.基于大量实验,将 L 设置为 30.

2.4 合并阶段

首先在划分所得的底层各个子区域中,使用第 2.3 节描述的改进力矢量算法进行初始迭代优化布局.然后将这些二分所得的子区域两两结合,合并恢复为上一级规模较大的区域.在恢复的较大区域内,单元的位置摆放按照结合的经迭代优化的两个子区域的最佳布局状态进行,并且删除两区域的伪单元,取而代之的是被映射的真实单元.如此自底向上层层合并,直到恢复为最初的原始电路.此合并阶段正是划分过程的逆过程,在合并过程中每一级区域都会进行迭代布局优化,它可以降低线网的跨区域连接对布局优化造成的影响,进一步改善布局质量.

3 实验结果

对 MCNC 标准单元测试电路^[9]进行实验,表 1 给出了测试电路的属性.采用半周长估算模型计算线网长度,以单元的左下点坐标为其位置信息.每个电路布局的行间距等于其单元高度.实验环境是 Windows2000 操作系统,1.5 GHz Pentium4 PC 机,标准 C 语言.

表 1 MCNC 标准单元测试电路

Table 1 MCNC standard cell benchmarks

测试电路	单元数	线网数	总行数
Fract	149	163	6
Primary1	752	904	16
Struct	1888	1920	20
Primary2	2907	3029	28
Industry2	12142	13419	72
Industry3	15059	21940	54
Avqsmall	21854	30038	80
Avqlarge	25114	33298	86

实验 1 是改进力矢量布局算法与力矢量松弛法的比较.针对不需要划分的较小规模电路实验,表 2 中的结果说明改进力矢量法在寻找单元目标位置时比力矢量松弛法更有效力.(力矢量松弛法中取 $\epsilon = 4$.)

表 2 改进力矢量法与力矢量松弛法在布局总线长度的比较 m

Table 2 Comparison of the total wire length from our algorithm and the FDR method m

测试电路	初始总线长度	优化后总线长度	
		力矢量松弛法	改进力矢量法
Fract	0.073	0.034	0.025
Primary1	1.680	1.153	0.744
Struct	0.896	0.588	0.363
Primary2	10.299	5.543	3.694

实验 2 将我们的算法(Ours)与名为 FengShui (FS)^[10,11]的布局工具在布局总线长度及运行时间上进行比较.FS 采用 k-way 划分技术,与当前许多布局工具相比能获得较短的布局总线长度.比较结果如表 3 所示,我们的布局算法获得的总线长度比 FS 的最多减少了 32%,平均减少了 12%;而比 FS 多花的运行时间在 1.5 倍之内.随着硬件设备的快速发展,这种为了获得一个好的布局结果而额外花费一些运行时间的做法是可以接受的.

表 3 我们的算法与 FS 在布局总线长度及运行时间的比较

Table 3 Comparison of the total wire length and running time from ours and FS

电路	总线长度/ m			运行时间/ s		
	FS	Ours	减少率/ %	FS	Ours	倍数
Fract	0.032	0.024	25	2	1	0.5
Primary1	1.018	0.695	32	46	43	0.9
Struct	0.380	0.356	7	20	30	1.5
Primary2	3.684	3.537	4	89	113	1.3
Industry2	15.408	13.920	10	396	524	1.3
Industry3	44.729	42.315	5	592	726	1.2
Avqsmall	5.960	5.713	4	1005	1172	1.2
Avqlarge	6.301	6.076	4	1078	1603	1.5

4 结论

本文提出了一个改进的力矢量迭代优化布局算法,它提供了一系列灵活、有效的单元位置调整方案,从而获得比力矢量松弛法更好的迭代优化结果.结合该迭代优化布局方法,开发了一个全新的基于划分的力矢量布局算法.该算法对于大规模电路的布局问题,采用基于并行结群技术的递归划分方法进行分解解决,既降低了算法的规模,又保证了解决问题的质量.在与 FengShui 布局工具比较时,我们的布局算法除花费稍长一点的时间外获得的布局总线长度平均减少了 12%.

参考文献

- [1] Sun W J , Sechen C. Efficient and effective placement for very large circuits. IEEE Trans Computer-Aided Design , 1995 , 14 (3) : 349
- [2] Hou Wenting , Yu Hong , Hong Xianlong , et al. A new congestion-driven placement algorithm based on cell inflation. Chinese Journal of Semiconductors , 2001 , 22 (3) : 275
- [3] Wang M , Yang X , Sarrafzadeh M. Dragon2000 : standard-cell placement tool for large circuits. Proc Computer-Aided Design Conference , 2000 : 260
- [4] Hauck S , Borriello G. An evaluation of bipartitioning techniques. IEEE Trans Comput-Aided Des Integr Circuits Syst , 1997 , 16 (8) : 849
- [5] Caldwell A E , Kahng A B , Markov I L. Improved algorithms for hypergraph bipartitioning. Asia South Pacific Design Automation Conference , 2000 : 661
- [6] Dunlop A E , Kernighan B W. A procedure for placement of standard-cell VLSI circuits. IEEE Trans Comput-Aided Des Integr Circuits Syst , 1985 , CAD-4 (1) : 92
- [7] Vygen J. Algorithm for large-scale flat placement. Proc Design Automation Conference , 1997 : 746
- [8] Goto S. An efficient algorithm for the two-dimensional placement problem in electrical circuit layout. IEEE Trans Circuits Syst , 1981 , CAS-28 (1) : 12
- [9] http://www.cbl.ncsu.edu/pub/Benchmark_dirs/LayoutSynth92/
- [10] <http://vlsicad.cs.binghamton.edu>
- [11] Yildiz M C , Madden P H. Global objectives for standard cell placement. Eleventh Great-Lakes Symposium on VLSI , 2001 : 68
- [12] Karypis G , Aggarwal R , Kumar V , et al. Multilevel hypergraph partitioning : application in vlsi domain. Proc Design Automation Conference , 1997 : 526

A Force Directed Placement Algorithm Based on Partitioning *

Cheng Feng and Mao Junfa

(Department of Electronic Engineering, Shanghai Jiaotong University, Shanghai 200030, China)

Abstract : A new force directed placement algorithm based on partitioning for standard cell circuit is presented. It applies a recursive partitioning based on parallel clustering to decompose the placement problem of large-scale circuits, and combines with an improved force directed approach to iteratively optimize those sub-circuits resulted from partitioning. A set of MCNC standard cell benchmarks is experimented and the results show that our placement algorithm produces 12 % of the total wire length on average lower than FengShui does within a little longer CPU time.

Key words : placement algorithm ; partitioning ; parallel clustering ; force directed method

EEACC : 2570 **CCACC :** 7410D

Article ID : 0253-4177(2005)03-0590-05

* Project supported by National Natural Science Foundation of China (No. 90207010) and National High Technology Research & Development Project of China (No. 2002AA1Z1520)

Cheng Feng female, was born in 1976, PhD candidate. Her research interests focus on VLSI layout design.

Mao Junfa male, was born in 1965, professor. He is engaged in research on electromagnetic and microwave technology.

Received 7 April 2004, revised manuscript received 6 September 2004

© 2005 Chinese Institute of Electronics