

pMOS 器件的热载流子注入和负偏压温度耦合效应*

刘红侠 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 研究了在热载流子注入 HCI(hot-carrier injection)和负偏温 NBT(negative bias temperature)两种偏置条件下 pMOS 器件的可靠性. 测量了 pMOS 器件应力前后的电流电压特性和典型的器件参数漂移, 并与单独 HCI 和 NBT 应力下的特性进行了对比. 在这两种应力偏置条件下, pMOS 器件退化特性的测量结果显示高温 NBT 应力使得热载流子退化效应增强. 由于栅氧化层中的固定正电荷引起正反馈的热载流子退化增强了漏端电场, 使得器件特性严重退化. 给出了 NBT 效应不断增强的 HCI 耦合效应的详细解释.

关键词: pMOS 器件; 热载流子注入; 负偏压温度不稳定性; 界面态; 氧化层固定正电荷

PACC: 7340Q; 7300; 7220J

中图分类号: TN386.3 **文献标识码:** A **文章编号:** 0253-4177(2005)05-1005-05

1 引言

MOS 器件中的热载流子注入 HCI(hot-carrier injection) 和负偏温 NBT(negative bias temperature) 效应是影响可靠性的重要因素. 对于目前采用的特征尺寸在 $0.25\mu\text{m}$ 以下工艺的 MOSFET, 其 HCI 和 NBT 可靠性分析成为高性能设计和高可靠性应用中的重要环节. 大量实验表明, 当器件尺寸进入深亚微米尺寸后, 器件的可靠性退化机制将发生显著的变化, 各种失效模式之间的相互耦合效应增强^[1-6].

MOS 器件中的 HCI 效应源于器件特征尺寸的不断缩小, 沟道中横向和纵向电场的增加. 在深亚微米尺度下, HCI 效应主要反映在沟道热载流子(channel hot-carrier, CHC) 效应^[7,8]. NBT 效应是由于在高温下(通常大于 100°C) 对 pMOS 器件栅极加大的负栅压偏置所造成的, 表现为阈值电压漂移不断增大, 亚阈值斜率不断减小等器件参数的变化^[9-14].

对于 HCI 和 NBT 这两种单独的效应, 尤其是 HCI 效应已有大量的研究, 但是对于 HCI 和 NBT

耦合效应对器件的作用则研究甚少. 在高温条件下工作时, 器件中会同时存在 HCI 和 NBT 效应. 因此, 在 HCI 和 NBT 共同作用下 pMOS 器件的可靠性问题显得非常重要. 本文主要研究了高温沟道热载流子模式下, HCI 和 NBT 共同作用对器件退化特性的影响. 研究结果表明, 由于栅氧化层中固定正电荷引起的正反馈的热载流子退化增强了漏端电场, 使得器件特性严重退化.

2 HCI 和 NBT 耦合效应的退化现象和正反馈机制

实验采用 $0.25\mu\text{m}$ 工艺技术的 pMOSFET 样品. 栅氧化层厚度为 7nm , 沟道宽度和长度分别为 $10\mu\text{m}$ 和 $0.5\mu\text{m}$. 在进行 NBT 效应测试时, 只给栅极施加电压应力, 源电极、漏电极和衬底电极接地; 在进行 HCI 测试时, 给栅极和漏极都施加电压应力, 应力后测量器件的漏电流、最大跨导、阈值电压和衬底电流. 实验仪器采用高精度半导体参数测试仪 HP4156C.

应力条件为: $V_G = -4.2\text{V}$, $V_D = -7\text{V}$, 应力温度为 120°C , 应力时间分别为 500s 和 19500s . 应力

*国家自然科学基金(批准号:60206006)和博士后基金(批准号:Q6312573)资助项目

刘红侠 女, 1968 年出生, 博士, 教授, 博士生导师, 主要从事深亚微米器件和电路可靠性研究.

郝 跃 男, 1958 年出生, 博士, 教授, 博士生导师, 主要从事深亚微米器件、电路建模和表征技术研究.

2004-06-13 收到, 2004-09-10 定稿

后 pMOSFET 的输出特性如图 1 所示. 图中 Pre 表示新器件的特性, Post1 和 Post2 分别表示应力 500s 和 19500s 后器件的退化特性. 从图中可以看出, 应力后器件的输出特性曲线降低, 表明输出电流减小. 应力 500s 后, 曲线的退化很小, 而应力 19500s 后, 输出曲线发生了严重的畸变, 随着漏电压的增加, 输出的漏电流并没有出现饱和, 而是连续增加, 表明器件退化已经非常严重.

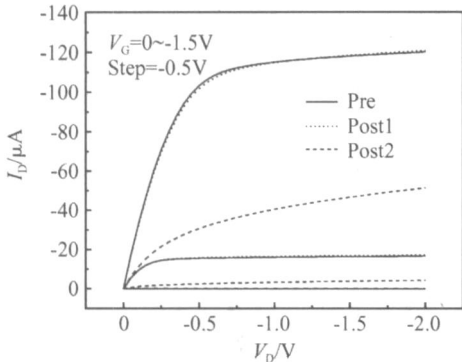


图 1 pMOSFET 应力前后的输出特性

Fig. 1 Output characteristics in pMOSFET before and after stress

pMOSFET 应力前后典型的饱和漏电流 I_{DSAT} 的退化如图 2 所示. 由图可见, 长时间应力后, 特性曲线向负栅压方向漂移, 器件的饱和漏电流有很大的退化, 而且随着应力时间的增长, 器件的关态电流大大增强. 这是由于器件在长时间的应力过程中, 界面态和氧化层电荷的产生引起了关态电流的增强.

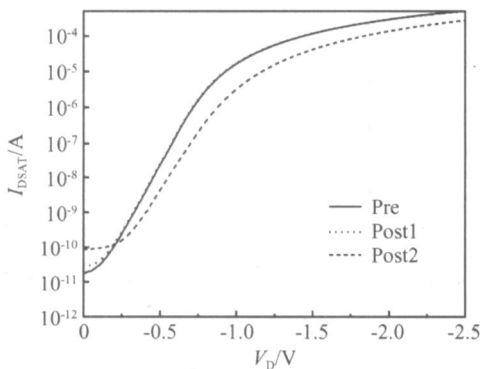


图 2 pMOSFET 应力前后饱和漏电流的退化

Fig. 2 I_{DSAT} degradation in pMOSFET before and after stress

pMOSFET 应力前后线性区跨导 G_{MLIN} 的退化分别如图 3 所示. 由图可见, 应力后器件的跨导特性曲线向负栅压的方向漂移, 在应力 500s 后, 线性区

跨导有比较小的退化. 应力 19500s 后, 线性区跨导的特性退化非常严重, 最大线性区跨导大大减小.

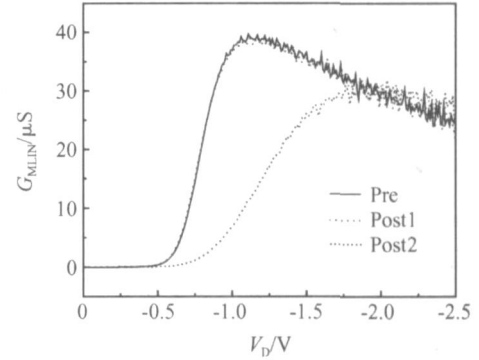


图 3 pMOSFET 应力前后线性区跨导的退化

Fig. 3 G_{MLIN} degradation in pMOSFET before and after stress

pMOSFET 应力前后衬底电流 I_{SUB} 的退化特性如图 4 所示. 由图可见, 随着应力时间的增加, 器件的衬底电流向负栅压的方向漂移, 500s 应力后, 衬底电流略微减小, 19500s 应力后, 衬底电流发生严重退化, 衬底电流大大增强, 最大衬底电流的退化量达到了 33.55%.

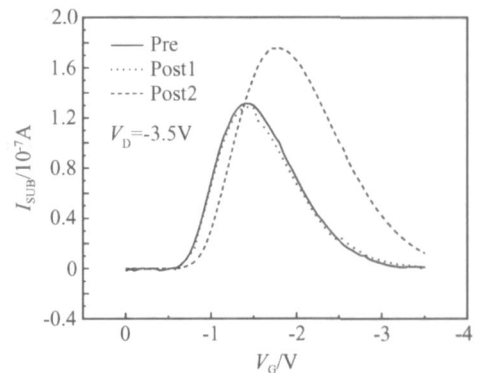


图 4 pMOSFET 应力前后衬底电流的退化

Fig. 4 I_{SUB} degradation in pMOSFET before and after stress

随后测量这两种效应随时间变化对器件参数的影响. 为了作对比, 分别测量了 NBT 应力、HCI 应力器件的典型电参数随应力时间的退化. 对于 HCI 效应, 对器件施加应力 $V_G = -4.25V$, $V_D = -1.0V$, 应力时间为 30000s. 采用采样模式进行测量, 采样的时间间隔为 $t = 1000, 4000, 7000, 10000$ 和 30000s. 测量的器件关键参数最大线性区跨导 G_{MMAX} 、饱和区漏电流 I_{DSAT} 和线性区漏电流 I_{DLIN} 随应力时间的漂移, 如图 5 所示. 从图中可以看出, 应

力后器件的最大线性区跨导、饱和区漏电流和线性区漏电流的退化随着应力时间的增长而增强,基本服从对数时间规律.随着应力时间的增加,器件特性的退化不断增强,跨导的退化最为严重.

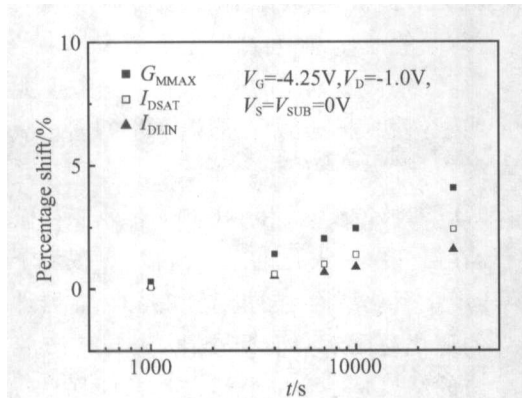


图 5 pMOSFET 最大线性区跨导、饱和漏电流和线性漏电流随时间的漂移(HCI 应力)

Fig. 5 G_{MMAX} , I_{DSAT} and I_{DLIN} shift in pMOSFET versus time(HCI stress)

对于 NBT 效应,在高温条件下 $T = 165^\circ\text{C}$,对器件施加应力 $V_G = -4.75\text{V}$,应力时间为 35000s,测量器件的关键参数最大线性区跨导 G_{MMAX} 、饱和区漏电流 I_{DSAT} 和线性区漏电流 I_{DLIN} 随应力时间的漂移,如图 6 所示.从图中可以看出,施加应力后,器件的最大线性区跨导,饱和漏电流和线性漏电流的退化随着应力时间的增长而增强,其中饱和区漏电流的退化最为严重.测量器件的三个关键参数随着应力时间为负向漂移(图中所示为测量参数的绝对值).与室温情况下 HCI 应力后器件的退化特性相比较,器件参数的退化偏离对数时间规律,基本服从

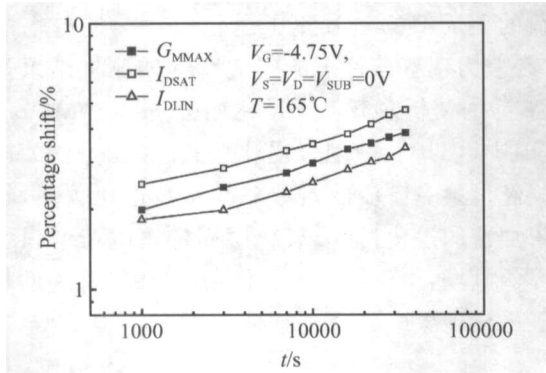


图 6 pMOSFET 的最大线性区跨导、饱和漏电流、线性漏电流随时间的漂移(NBT 应力)

Fig. 6 G_{MMAX} , I_{DSAT} and I_{DLIN} shift in pMOSFET versus time(NBT stress)

幂指数函数关系.随着应力时间的增长,退化不断增强,其中饱和区漏电流漂移量最明显,最大线性区跨导的变化次之,线性漏电流的退化最小.

图 7 给出了最大线性区跨导 G_{MMAX} 和饱和漏电流 I_{DSAT} 随应力时间的退化.从图中可以清楚地看到,热载流子的退化分为两个阶段.在第一阶段(小于 3000s),最大线性区跨导随着应力时间的退化遵循对数时间函数关系,而且最大线性区跨导的退化大于饱和区漏电流的退化,这和通常的热载流子退化结果是一致的.进入第二阶段以后(大于 3000s),饱和漏电流的退化很快超过了最大线性区跨导的退化而占据优势,这说明了高温条件下 NBT 效应开始起作用,两条退化特性曲线的斜率都明显增加,证明了在高温条件下,由于 NBT 效应的作用,出现了增强的热载流子退化效应.由于饱和漏电流的退化比最大线性区跨导的退化(对应界面态的产生)快,因此,在第二阶段,正电荷的产生对饱和漏电流的退化起主要作用.

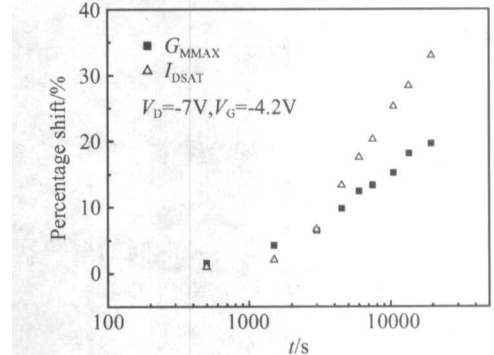


图 7 pMOSFET 的最大线性区跨导和饱和漏电流随时间的漂移

Fig. 7 G_{MMAX} and I_{DSAT} shift in pMOSFET versus stress time

阈值电压 V_{TH} 对氧化层中积累的电荷导致的栅电场变化特别敏感,因而 V_{TH} 可以作为器件特性退化的表征参数.栅氧化层在恒定栅电压的作用下,注入氧化层中的热载流子在氧化层中产生新的陷阱,使得氧化层中的界面陷阱和正负中性陷阱密度增大,这些陷阱可以俘获电子和空穴产生陷阱电荷.陷阱电荷密度的增大会改变阳极附近的电场强度,从而改变阈值电压的大小.以 pMOSFET 为例,若在电应力下栅氧化层中产生的陷阱电荷极性为正,则被栅极负电源接收到的电力线将有一部分源于氧化层中的正电荷,从而使源于沟道阳极的电力线减少,使阳极电场减弱.这时,若要在沟道中产生相同数量

的空穴,需要较高的负栅电压,因此,阈值电压的值增大.同理,若氧化层中产生负的陷阱电荷,则由于其能够吸收一部分阳极发出的电力线,所以需要较低的负栅电压,阈值电压的值会减小.

pMOSFET 的阈值电压随时间的退化特性如图 8 所示.随着时间的增加,阈值电压的退化单调增加,第一阶段结束时($t = 3000\text{s}$),阈值电压的退化量只有 60mV ,在第二阶段 NBT 效应开始起作用,由于碰撞电离在器件的漏端产生了大量的界面态和氧化层固定正电荷,阈值电压的退化迅速增强,第二阶段结束时($t = 19500\text{s}$),阈值电压退化量达到 270mV .

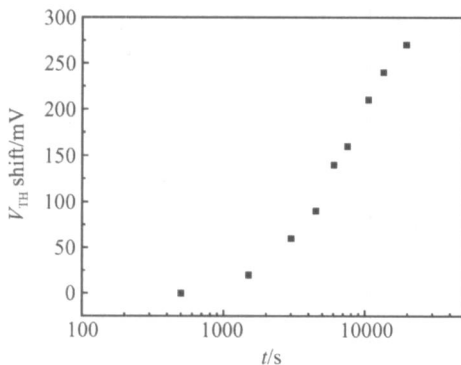


图 8 pMOSFET 阈值电压随时间的漂移

Fig. 8 V_{TH} shift in pMOSFET versus stress time

pMOSFET 最大衬底电流随时间的退化特性如图 9 所示.值得注意的是,衬底电流的退化在第一阶段首先减小,随着时间的增加,当进入第二阶段时,衬底电流迅速增大,而且衬底电流的增大在第二阶段表现得非常明显,最大衬底电流的退化量达到 33.55% .pMOSFET 最大衬底电流随着时间的退化呈现先减小、后增加的趋势,这与阈值电压的退化特性明显不同.

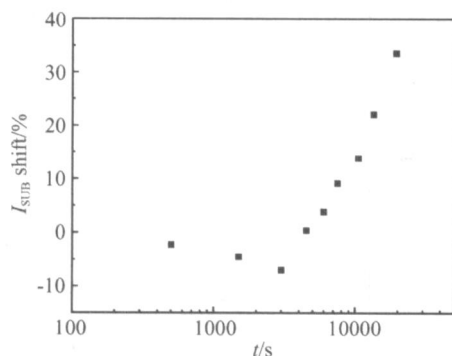


图 9 pMOSFET 的最大衬底电流随时间的漂移

Fig. 9 I_{SUB} shift in pMOSFET versus stress time

在应力的初始阶段,衬底电流的减小是与饱和漏电流的减小结果一致的,这与传统的热载流子效应的结果相同.随着热载流子退化效应的增强,进入到第二阶段后,由于氧化层中产生的正电荷的影响,漏端电场增加的很快,使得载流子的碰撞电离大大增强,随着时间的增加,在漏端产生了越来越多的热载流子,从而导致衬底电流的极大增加.这些实验结果充分证明了热载流子应力在漏端产生的固定氧化层正电荷的正反馈效应.

pMOS 器件的 HCI 和 NBT 耦合效应可做如下的解释.在器件特性退化的第一阶段,热载流子注入占优势,产生氧化层固定正电荷和界面态,器件线性区跨导的退化遵循对数时间规律,这与传统的热载流子效应的结果是一致的.随着应力时间的增加,进入到第二阶段后,NBT 效应开始起作用,器件饱和区漏电流的退化超过了线性区跨导的退化.由于 HCI 和 NBT 应力的共同作用,在器件的漏端产生了大量的界面态、氧化层空穴陷阱和氧化层固定正电荷,其中氧化层固定正电荷使得漏端电场增强.由于漏端电场的增强,将产生更多的热载流子,这些热载流子具有很高的能量,其中的一部分能够穿越氧化层,再在氧化层中产生大量的正电荷、界面态和氧化层陷阱,进一步增强了热载流子的退化,衬底电流也大大增加,氧化层固定正电荷主要来源于空穴陷阱俘获的空穴.

3 结论

本文深入研究了表面沟道 pMOSFET 的 HCI 和 NBT 的耦合退化模式,指出栅氧化层中固定正电荷的正反馈的热载流子退化导致漏端电场的增加.在应力偏置条件下的退化特性的测量结果显示 NBT 应力使得热载流子退化增强.提出 pMOSFET 的 HCI 和 NBT 的耦合退化模式.指出 pMOSFET 首先经过第一阶段的对数时间函数退化关系,然后进入加速的退化过程.氧化层固定正电荷增强了漏边界的电场,由于正反馈的作用,出现了加速的热载流子退化现象.

参考文献

- [1] Hook T B, Adler E, Guarin F, et al. The effects of fluorine on parametrics and reliability in a $0.18\text{-}\mu\text{m}$ $3.5/6.8\text{nm}$ dual gate oxide CMOS technology. IEEE Trans Electron Devices, 2001, 48(7):1346

- [2] Morifuji E, Kumamori T, Muta M, et al. New considerations for highly reliable PMOSFETs in 100nm generation and beyond. VLSI Technology, 2001:117
- [3] Ichinose K, Saito T, Yanagida Y, et al. A high performance 0.12 μ m CMOS with manufacturable 0.18 μ m technology. VLSI Technology, 2001:103
- [4] Haggag A, McMahon W, Hess K, et al. High-performance chip reliability from short-time-tests-statistical models for optical interconnect and HCI/TDDB/NBTI deep-submicron transistor failures. IEEE International Reliability Physics Symposium, 2001:271
- [5] Liu Hongxia, Hao Yue, Zhu Jiangang. Channel hot-carriers induced degradation behavior in SOI NMOSFET's. Chinese Journal of Semiconductors, 2002, 23(1):65(in Chinese) [刘红侠, 郝跃, 朱建纲. 沟道热载流子导致的 SOI NMOSFET's 的退化特性研究. 半导体学报, 2002, 23(1):65]
- [6] Liu Hongxia, Hao Yue, Sun Zhi. Hot-carrier effects in deep sub-micron MOSFET's. Chinese Journal of Semiconductors, 2001, 22(6):770(in Chinese) [刘红侠, 郝跃, 孙志. 深亚微米 MOS 器件的热载流子效应. 半导体学报, 2001, 22(6):770]
- [7] La Rosa G, Guarin F, Rauch S, et al. NBTI channel hot carrier effects in pMOSFETs in advanced CMOS technologies. IEEE International Reliability Physics Symposium, 1997:282
- [8] Bravaix A, Goguenheim D, Revil N, et al. Hot-carrier damage in AC-stressed deep submicrometer CMOS technologies. IEEE International Integrated Reliability Workshop Final Report, 1999:61
- [9] Yamamoto T, Uwasawa K, Mogami T. Bias temperature instability in scaled p⁺ polysilicon gate p-MOSFET's. IEEE Trans Electron Devices, 1999, 46(5):921
- [10] Blat C E, Nicollian E H, Poindexter E H. Mechanism of negative-bias-temperature instability. J Appl Phys, 1991, 69(3):1712
- [11] Fishbein B, Doyle B, Conran C. Thermal instability in p-channel transistors with reoxidized nitrated oxide gate dielectrics. IEEE Trans Electron Devices, 1992, 39(11):2672
- [12] Kimizuka N, Yamaguchi K, Imai K, et al. NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10- μ m gate CMOS generation. VLSI Technology, 2000:92
- [13] Chaparala P, Shibley J, Lim P. Threshold voltage drift in PMOSFET's due to NBTI and HCI. IEEE International Integrated Reliability Workshop Final Report, 2000:95
- [14] Sasada K, Arimoto M, Nagasawa H, et al. The influence of SiN films on negative bias temperature instability and characteristics in MOSFET's. International Conference on Microelectronic Test Structures, 1998:207

Coupled Effect of Hot-Carrier Injection and Negative Bias Temperature in pMOSFET's*

Liu Hongxia and Hao Yue

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The reliability of pMOSFET's under HCI(hot-carrier injection) and NBT(negative bias temperature) bias conditions is studied. The current-voltage characteristics and typical device parameters shift of pMOSFET's before and after stress are investigated. The results are compared with that of HCI and NBT stress. Measurements of degradation under two stress biases show that NBT stress at high temperature enhances hot-carrier degradation. A positive feedback hot-carrier degradation caused by positive fixed oxide charges increases the electrical field at the drain edge, which degrades the device characteristics seriously. A detailed explanation of NBT enhanced HCI is proposed.

Key words: pMOSFET's; hot-carrier injection; negative bias temperature instability; interface states; positive fixed oxide charges

PACC: 7340Q; 7300; 7220J

Article ID: 0253-4177(2005)05-1005-05

* Project supported by National Natural Science Foundation of China(No. 60206006) and Postdoctoral Foundation of China(No. Q6312573)

Liu Hongxia female, was born in 1968, PhD, professor, advisor of candidates. She mainly focuses on reliability of deep submicron devices and circuits.

Hao Yue male, was born in 1958, PhD, professor, advisor of PhD candidates. His research interests are modeling and characterization of deep submicron devices and circuits.

Received 13 June 2004, revised manuscript received 10 September 2004

© 2005 Chinese Institute of Electronics