

数字射频存储器用 DAC 静态参数的表征与测试

张有涛^{1,2} 夏冠群¹ 李拂晓² 高建峰² 杨乃彬²

(1 中国科学院上海微系统与信息技术研究所, 上海 200050)

(2 南京电子器件研究所, 南京 210016)

摘要: 分析并讨论了应用于相位体制数字射频存储器的 DAC 静态参数的表征方法. 提出用时间非线性 (TDNL 和 TINL)、幅度非线性 (ADNL 和 AINL) 以及相位非线性 (PNL) 来全面描述相位体制 DAC 的静态性能. 仿真结果证明上述静态参数对 DAC 的频域性能有着显著影响, 用它们表征相位体制 DAC 的静态性能是必要且可行的. 采用上述方法对利用标准 75mm GaAs MESFET 全离子注入工艺流片得到的 3bit 相位体制 DAC 进行了低频静态测试, 其静态参数优异, 性能良好.

关键词: 静态参数; 数模转换器; 非线性; 表征

EEACC: 2570A; 1265H; 7310Z

中图分类号: TN431.1

文献标识码: A

文章编号: 0253-4177(2005)04-0781-05

1 引言

相位体制数模转换器 (DAC) 的作用是将含有相位信息的数字码转换为具有特定相位的模拟信号, 而对输出模拟信号的具体幅度没有严格要求. 由于它的转换对象是相位量, 并且易于实现, 得到的信号频谱在理想情况下最大谐波位于 7 次谐波, 十分方便系统的后续处理, 所以被广泛应用于相位体制的数字射频存储器 (DRFM) 等系统中^[1~6]. 但是, 这种相位体制 DAC 的评价测试方法尚不完善, 未成体系. 本文依据传统的幅度 DAC 的参数分析方法结合相位 DAC 的特点, 分析并提出一套能够真实、有效反映相位体制 DAC 性能的静态参数, 并以 3bit 单片相位体制 DAC 为实例统计其静态参数, 结果表明其静态性能优异.

2 电路原理分析

利用南京电子器件研究所 75mm GaAs 工艺线标准 MESFET 离子注入工艺设计并流片得到 3bit

相位体制 DAC. 该相位体制 DAC 能够从 4 路数字信号重构出 2 路正交的正弦波信号. 芯片形貌照片如图 1 所示, 电路尺寸为 0.8mm × 0.8mm, 各功能模块已经在图中标示.

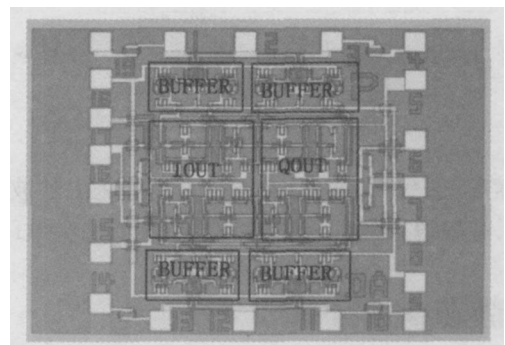


图 1 3bit 相位体制 DAC 芯片照片

Fig. 1 Chip photo of GaAs 3bit phase DAC

在分析静态参数时, 可以如同幅度 DAC 一样根据输入码流的时序直流扫描电路输入端, 观察电路输出端的直流电位变化. 同样, 为方便起见, 通常也可以直接输入低频信号, 用示波器观察其输出波形, 而后统计分析其静态参数. 测试时需要送入 4 路占空比 1:1 的方波信号, 每相邻 2 路信号之间各延

张有涛 男, 1979 年出生, 博士研究生, 主要研究方向为 GaAs 超高速集成电路.

夏冠群 男, 1941 年出生, 研究员, 主要研究领域为化合物半导体器件与电路.

李拂晓 男, 1963 年出生, 研究员, 主要研究领域为化合物半导体器件与 MMIC.

2004-05-20 收到, 2004-08-21 定稿

迟 1/8 周期^[4]. 输入信号时序如图 2 所示, 重构 50kHz 正弦波输出信号如图 3 所示. 图中时基为 4μs/div, 幅度基为 100mV/div, 均在 50 Ω 负载下测试.

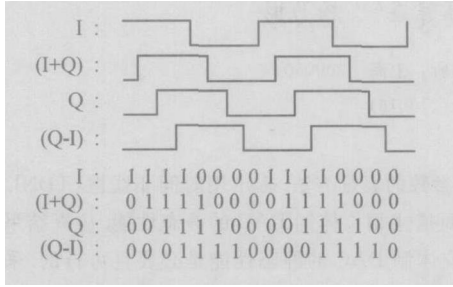


图 2 3bit 相位体制 DAC 输入信号时序
Fig. 2 Input signal of 3bit phase DAC

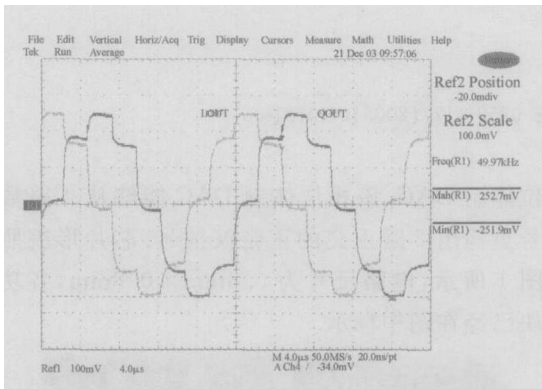


图 3 50kHz 正弦波重构输出
Fig. 3 Reconstruction sine wave at 50kHz

静态参数测试的目的即是为了能上述波形中快速、有效地得到可反映电路静态性能的参数.

3 静态参数分析

对于 3bit 相位体制 DAC, 为了得到理想的谐波性能, 需要控制输出信号的阶跃幅度比例为 $(\sqrt{2} - 1)$ (实际近似为 3/7), 此时输出正弦波信号的最大谐波理论上在 7 次谐波, 幅度为 -16.7dBc, 没有 2 次谐波, 3 次谐波幅度为 -57dBc. 这样的谐波性能十分方便以后的信号处理. 从图 3 可以看出, 两路正交的输出信号除相位以外其他各参数都相同, 且都具有上述的幅度阶跃比例. 相位体制 DAC 输出信号的电压台阶幅度变化以及台阶的时序都决定信号的频域特性. 根据相位体制 DAC 工作的特点, 在时序上, 每一次的幅度阶跃持续时间都对应 1/8 周期的相位间隔, 因此理想情况下是均匀分布的. 在电平上, 阶跃幅度的比例是固定的. 因此, 类似于传

统的幅度 DAC^[8,9], 结合上述相位体制 DAC 的工作特点, 可以从时序以及阶跃幅度两个方面用线性度参数来描述实际的相位体制 DAC 的工作情况, 并以此评判相位体制 DAC 的静态性能, 并可间接判断其频域性能. 实际的相位体制 DAC 由于设计、布局不理想及制造工艺的偏差常常会使其输出在上述两方面出现偏差^[7]. 图 4 是 3bit 相位体制 DAC 的理想转移曲线和实际转移曲线.

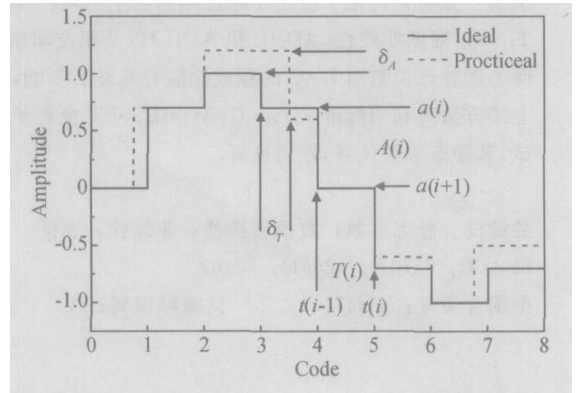


图 4 相位体制 DAC 的理想转移曲线(实线)和实际转移曲线(虚线)
Fig. 4 Ideal transfer curve (line) and practical transfer curve (dot) of phase DAC

在时间域, 如同幅度 DAC, 可定义时域微分非线性 (TDNL) 参数来描述相位体制 DAC 在时间上每个均匀的相位态反映在输出正弦波的每个阶跃是否均匀; 定义时域积分非线性 (TINL) 参数来描述相位体制 DAC 实际输出正弦波每个阶跃翻转的时间点偏离理想输出的程度. 同样, 在幅度域, 可定义幅度微分非线性 (ADNL) 参数来描述相位体制 DAC 输出正弦波信号的每个台阶幅度偏离理想台阶幅度的程度; 定义幅度积分非线性 (AINL) 参数来描述相位体制 DAC 实际输出正弦波的每个相位态对应的电平值偏离理想电平值的程度. 其中, TDNL 和 TINL 可用相对于单个相位码时间段 (最低有效位, 对于 3bit DAC 为 1/8 周期) 的比例来衡量. 由于相位体制 DAC 输出信号幅度阶跃的不均匀, 所以实际统计时需要将台阶高度的偏差与对应理想值归一化后再进行统计.

如图 4 所示, 假定输出信号某个相位码对应的实际持续时间为 $T(i)$, 发生码翻转的前一时刻为 $t(i)$, 理想情况下的对应持续时间为 T , 码翻转的时刻为 $t(i)$, 则在该相位码下的时间域 DNL 和 INL 分别为:

$$\begin{cases} T(i) = t(i) - t(i-1) \\ \text{TDNL}(i) = \frac{T(i) - T}{T} = \frac{x}{T} \\ \text{TINL}(i) = \frac{t(i) - t(i)}{T} \end{cases} \quad (1)$$

式中 $i = 1, 2, \dots, 8, t(0) = 0$, 为时间起点. TDNL 和 TINL 为归一化数值, 单位 LSB 即为相位码元周期 T .

同样假定输出信号某个相位码对应的实际幅度阶跃为 $A(i)$, 实际电平值为 $a(i)$, 理想情况下对应的幅度阶跃为 $A(i)$, 电平值为 $a(i)$, 则在该相位码下的幅度域 DNL 和 INL 为:

$$\begin{cases} A(i) = a(i+1) - a(i) \\ \text{ADNL}(i) = \frac{A(i) - A(i)}{A(i)} = \frac{a}{A(i)} \\ \text{AINL}(i+1) = \text{AINL}(i) + \text{ADNL}(i) \\ \text{AINL}(1) = 0 \end{cases} \quad (2)$$

式中 $i = 1, 2, \dots, 8$. ADNL 和 AINL 为相对各自阶跃幅度的归一化数值, 单位 LSB, 表示该相位码下的幅度偏离理想的程度.

由 (1), (2) 式所定义的相位体制 DAC 转移函数线性度变量就可以完全反映 DAC 输出静态特性与理想情况下的偏移程度, 且可以间接反映重构正弦波的质量. 根据 3bit 相位体制 DAC 的工作原理, 分别模拟在某一频率下不同的 TDNL, TINL 和 ADNL, AINL 情况下输出重构正弦波的频谱谐波特性.

由于相位体制 DAC 的主要目的就是重构具有一定相位和频率的正弦波, 所以其最重要的频域参数为总谐波失真比 (THD) 和无杂散动态范围 (SFDR), 这两个参数就可以基本反映信号的频谱形状. 对于 3bit 相位体制 DAC, 理想情况下其 SFDR 值为 16.7dBc, 最大谐波位于 7 次谐波, 没有 2 次谐波, 3 次谐波幅度为 -57dBc. DAC 重要的特点在于对近区 (7 次谐波前) 谐波的压制特性, 这也是其被方便地用于相参信号处理的原因. 所以, 如图 5(a) 所示, 统计 2~6 次谐波压制特性随 TDNL 和 ADNL 变化的情况, 对于每次 DNL 值分析 10 次, 取平均值作为对应的 THD 值 (THD6). 由图可见, 随着时间域或幅度域非线性程度的增加, 输出信号的 THD6 值变差. 时间域的 TDNL 对 THD 参数的影响要高于幅度域 ADNL 的影响. 当 TDNL 和 ADNL 大于 0.1LSB 时, THD6 都近似以 2dBc/

0.1LSB 的速度变差. TDNL 和 ADNL 的影响与此类似. 因此, 随着时间域和幅度域非线性的增加, 3bit 相位体制 DAC 的重构信号近区压制特性变差. 图 5(b) 给出 TDNL 和 ADNL 对 SFDR 值的影响. 由图可见, DNL 对于输出信号的 SFDR 值影响不大. 但是, 仿真发现, 随着非线性的增加, 峰值谐波的位置逐渐前移, 不再是 7 次谐波. 因此, 虽然 SFDR 值变化不大, 但是信号的质量已经严重地下降, 系统的后续信号处理十分不便. 考察输出信号 2 次谐波与基波的幅度比例 (SFDR2), 如图 5(b) 右轴所示. 对于 TDNL 及 ADNL, SFDR2 近似以 2.5dBc/0.1LSB 的速度随着非线性的增加而变差. TINL 和 AINL 对 SFDR2 的影响与 DNL 的情况相似. 所以, 通过对上述非线性参数的统计, 可以大致分析出 DAC 输出信号的质量.

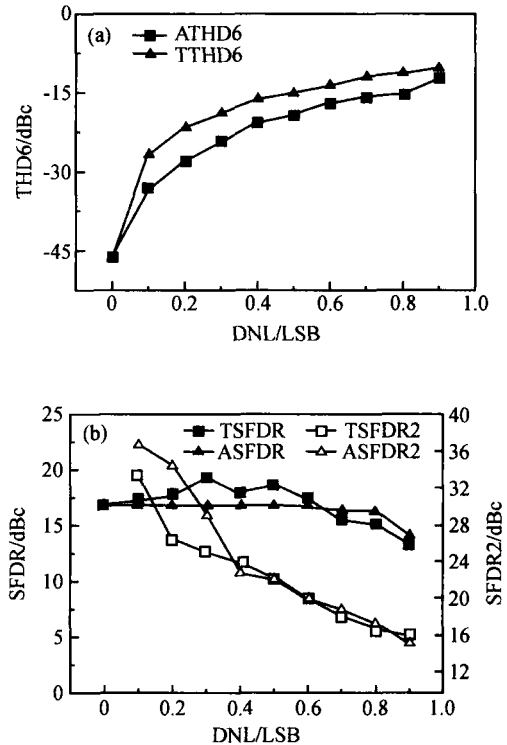


图 5 静态参数对相位体制 DAC 输出频谱特性的影响 (a) THD; (b) SFDR
Fig. 5 Affection to THD (a) and SFDR (b) of static parameters

此外, 作为相位体制 DAC 的另一重要特点在于正交双路输出. 在每个码元周期中, 可用两路输出信号 (I, Q) 的相位差偏离正交的程度来衡量. 假定第 i 码元 I, Q 信号的相位为 Phase, 那么此相位码元对应的相位非线性 (PNL) 可表示为:

$$PNL(i) = \text{Phase}(I(i)) - \text{Phase}(Q(i)) - \frac{\pi}{2}$$

从此数值即可看出整个重构信号周期内各码元对应时刻双路输出信号的正交性。

至此,可通过幅度域非线性参数 AINL 和 ADNL,时间域非线性参数 TINL 和 TDNL,相位域非线性参数 PNL 来综合表征相位体制 DAC 的静态参数,并能完全反映重构信号的质量。

4 3bit 相位体制 DAC 静态参数测试

图 3 为 3bit 相位体制 DAC 输入 50kHz 方波时的输出波形。根据上述分析方法,可以方便地统计出 I、Q 双路输出一个周期 8 个相位态对应的时间域、幅度域和相位域非线性参数,结果如图 6、7 所示。

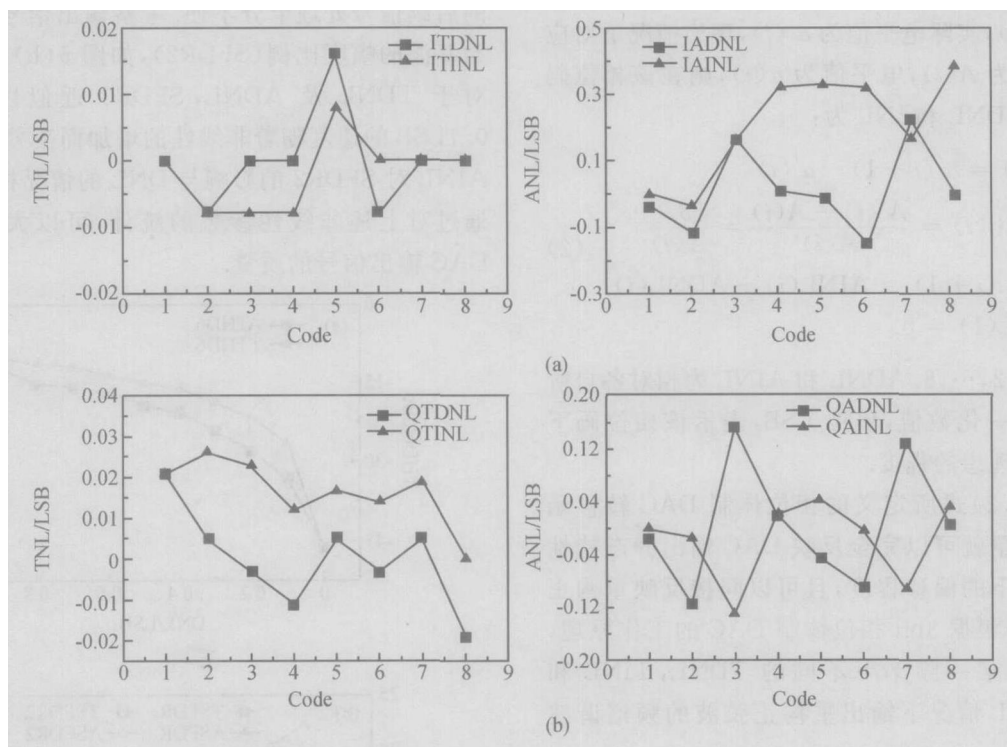


图 6 3bit 相位体制 DAC 50kHz I/Q 输出信号非线性参数 (a) I 输出信号;(b) Q 输出信号

Fig.6 Nonlinear parameters of 3bit phase DAC at 50kHz (a) I output signals;(b) Q output signals

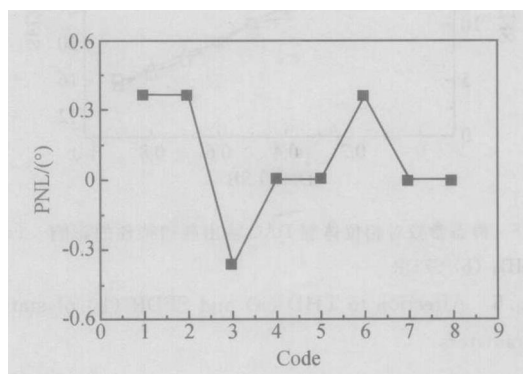


图 7 3bit 相位体制 DAC 50kHz I/Q 输出正交特性

Fig.7 I/Q output orthogonal characteristics of 3bit phase DAC at 50kHz

从图中可以统计出该 3bit 相位体制 DAC 的静态参数,如表 1 所示。

表 1 3bit 相位体制 DAC 的静态特性

Table 1 Static characteristics of 3bit phase DAC

Channel	Parameter	Value
	I channel	TDNL
TINL		< ±0.008LSB
ADNL		< ±0.22LSB
AINL		< ±0.38LSB
Q channel	TDNL	< ±0.021LSB
	TINL	< ±0.026LSB
	ADNL	< ±0.16LSB
	AINL	< ±0.13LSB
Orthogonality		< ±0.4°

所以,利用 GaAs MESFET 常规工艺流片得到的 3bit 相位体制 DAC 具有较好的静态参数,尤其是其正交性能优异,可应用于 3bit 数字射频存储器中。

5 结论

提出了一种描述相位体制 DAC 静态性能的表征方法. 仿真结果证明文中所述静态参数对 DAC 的频域性能有着显著影响, 用它们表征相位体制 DAC 的静态性能是必要且可行的. 采用上述方法对利用南京电子器件研究所标准 75mm GaAs MES-FET 全离子注入工艺流片得到的 3bit 相位体制 DAC 进行了低频静态测试. 其静态参数尤其正交性能优异, 性能良好, 可应用于 3bit 数字射频存储器中.

参考文献

- [1] Gilbert B K. Design and fabrication of a digital RF memory using custom designed GaAs integrated circuits. GaAs IC Symposium, 1985:173
- [2] Schnaitter W M, Lewis E T, Gordon B E. A 0.5-GHz CMOS digital RF memory chip. IEEE J Solid-State Circuits, 1986, 21(5):720
- [3] Wordworth G B, Clark D G. Gigahertz bandwidth multibit phase sampling and reconstruction of microwave signals. IEEE MTT-S Digest, 1986:371
- [4] Vu T T, Hattis J M. A GaAs phase digitizing and summing system for microwave signal storage. IEEE J Solid-State Circuits, 1989, 24(1):104
- [5] Gold D, Ur J. Method for reduction of harmonics, caused by coarse quantization, suitable for digital radio frequency memory. Electron Lett, 1993, 29(4):411
- [6] Herskovitz D. A sampling of digital RF memories. Journal of Electronic Defense, 1998:51
- [7] Feng S, Sauereer J, Seitzer D. Mismatch of current sources and accuracy of D/A converters in 0.5 μ m GaAs/GaAlAs HEMT technology. IEEE International Symposium on Circuits and Systems, 1992, 1:224
- [8] Wikner J J, Tan N. CMOS data converters for communications. USA: Kluwer, 2000
- [9] Wikner J J. Studies on CMOS digital-to-analog converters. PhD Dissertation, Sweden: Linköping University, 2001

Static Performance Characterization and Testing of DAC for Digital Radio Frequency Memory

Zhang Youtao^{1,2}, Xia Guanqun¹, Li Fuxiao², Gao Jianfeng², and Yang Naibin²

(1 Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

(2 Nanjing Electronic Devices Institute, Nanjing 210016, China)

Abstract: This paper analyzes the characterization of DAC's static performance in detail, which is widely utilized in phase DRFM, using such parameters as time nonlinear parameters (TDNL, TINL), amplitude nonlinear parameters (ADNL, AINL) and phase nonlinear parameter (PNL). Simulation result shows that it is necessary and feasible to use those nonlinear parameters to describe the phase DAC's static and frequency performances. This method is used to describe the static performance of a GaAs phase DAC fabricated by standard 75mm full ion-implanted GaAs MESFET process. Test results show that this phase DAC's static performance is excellent.

Key words: static parameter; digital to analog converter; linearity; characterization

EEACC: 2570A; 1265H; 7310Z

Article ID: 0253-4177(2005)04-0781-05

Zhang Youtao male, was born in 1979, PhD candidate. His research interest is in GaAs VHSIC.

Xia Guanqun male, was born in 1941, professor. His research interest includes GaAs devices and circuits.

Li Fuxiao male, was born in 1963, professor. His research interest includes compound semiconductor devices and MMICs.

Received 20 May 2004, revised manuscript received 21 August

©2005 Chinese Institute of Electronics