

芯片叠层封装的失效分析和热应力模拟

顾 靖 王 瑛 陆 震 俞宏坤 肖 斐

(复旦大学材料科学系, 上海 200433)

摘要: 通过高温高湿加速实验对双芯片叠层封装器件的失效进行了研究, 观察到存在塑封料与上层芯片、BT 基板与塑封料或贴片胶的界面分层和下层芯片裂纹等失效模式. 结合有限元分析对器件内热应力分布进行了计算模拟, 分析了芯片裂纹的失效机理, 并从材料性能和器件结构角度讨论了改善叠层封装器件可靠性的方法.

关键词: 叠层封装; 高温高湿加速试验; 分层; 芯片裂纹; 有限元模拟

EEACC: 0170J; 0170N

中图分类号: TN306

文献标识码: A

文章编号: 0253-4177(2005)06-1273-05

1 引言

现代便携式电子产品对微电子封装提出了更高的要求, 其对更轻、更薄、更小、高可靠性、低功耗的不断追求推动微电子封装朝着密度更高的三维封装方式发展. 芯片叠层封装(stacked die package)是一种得到广泛应用的三维封装技术, 叠层封装不但提高了封装密度, 同时也减小了芯片之间的互连导线长度, 从而提高了器件的运行速度, 而且通过叠层封装还可以实现器件的多功能化^[1].

芯片叠层封装就是把多个芯片在垂直方向上累叠起来, 然后再进行封装. 由于这种结构的特殊性, 芯片和基板之间、芯片和芯片之间的互连是叠层封装的关键. 现在普遍是以引线键合方式实现叠层封装的互连, 其方式主要有两种: 一种是金字塔型的叠层封装, 使用大小不同的芯片, 上层芯片的面积要小于下层, 这样下层芯片表面就有足够的面积和空间可以用来进行引线键合; 另一种是使用大小相同的芯片, 通过在上下层芯片之间加入一层垫片(spacer)以便于下层芯片的引线键合, 垫片是一块面积比上下层芯片小的普通硅片. 使用这两种结构都可以制造出多层芯片的叠层封装^[1, 2].

为避免对现有工艺进行大的改动, 叠层封装一

般通过减薄芯片的厚度来保证总的封装厚度不变, 但芯片厚度的减小会造成芯片刚度减小, 易于变形, 在热处理过程中芯片内应力集中点甚至会造成芯片的破坏^[3]. 此外, 由于塑封料厚度的减小, 阻止水汽侵入芯片和塑封料界面的能力减弱, 水汽的侵入会促使裂纹的产生和扩展.

有关芯片叠层封装可靠性和失效分析的报道较少, 主要涉及电、机械、热方面的模型^[4], 用有限元法分析叠层芯片焊点可靠性^[5]、芯片间贴片胶溢出高度的影响等^[6]. 本文对经过高温高湿加速实验后的叠层芯片封装的失效进行了研究, 分析了界面分层和芯片裂纹这两种失效模式, 并对叠层封装元器件历经的热处理过程进行有限元分析, 结合有限元模拟结果, 从材料性能和器件结构角度, 分析了影响可靠性的各种因素.

2 实验及模拟

2.1 实验

本实验采用两块芯片叠层封装器件, 叠层封装结构为金字塔型, 使用两块大小不同的芯片, 其特征尺寸如表 1 所示.

顾 靖 男, 1980 年出生, 硕士研究生, 主要从事电子封装器件可靠性及有限元模拟研究.

肖 斐 男, 博士, 副教授, 主要从事电子封装材料与工艺研究及失效分析. Email: feixiao@fudan.edu.cn

2004-08-12 收到, 2005-02-05 定稿

表 1 叠层芯片封装的特征尺寸

Table 1 Key dimensions for two die stacked CSP

上层芯片(长×宽×高)	8.86mm×6.2mm×0.175mm
下层芯片(长×宽×高)	10.59mm×8.88mm×0.185mm
贴片胶(上下层芯片之间)	35 μ m
贴片胶(下层芯片和基板之间)	52 μ m
封装尺寸(长×宽×高)	14mm×10mm×1.4mm

实验器件首先进行高温高湿加速实验,条件为 85 / 60 %RH, 120h, 然后进行 3 次回流, 回流峰值温度为 217 $^{\circ}$ C. 加速实验前后都用 Hitachi Fine SAT FS200 超声波显微镜进行观察, 扫描方式为透射模式, 判断实验器件内部是否有分层出现, 超声波显微镜的探头频率为 25MHz. 所有分层界面和分层裂纹截面都在 Olympus BX51M 光学显微镜下直接观察.

2.2 模拟

叠层封装有限元模拟的网格划分如图 1 所示, 考虑到对称性, 模型为 1/2 器件, 采用 2D 8 节点平面应变模型. 整个计算模型包括 8368 个单元, 25477 个节点. 器件的尺寸取自表 1, 实验观察到的贴片胶边缘基本为圆弧形, 模拟中假设圆弧半径为贴片胶厚度的两倍. 考虑到金线和焊球对器件热应力的影响很小, 并且实验观察到的主要脱层破坏区域不包括金线和焊球部分, 因此在模型中忽略金线和焊球的影响. 模拟中使用的材料参数由供应商提供或取自文献[5, 7, 8], 列于表 2.

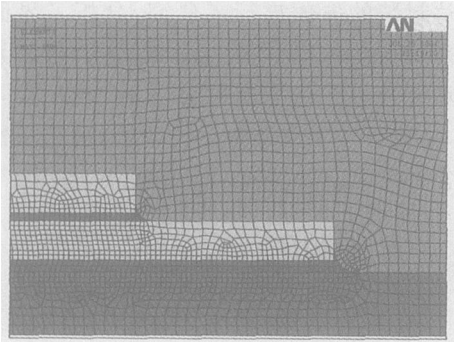


图 1 叠层封装的有限元网格(局部)

Fig. 1 Finite element meshes for stacked die package

表 2 有限元模拟中采用的材料参数

Table 2 Material parameters used in FE simulation

材料	杨氏模量 /MPa	泊松比	热膨胀系数 / $10^{-6} \text{ } ^{\circ}\text{C}^{-1}$	来源
硅芯片	165500	0.25	2.3	Refs. [7, 8]
贴片胶	866	0.35	169	Ref. [5]
BT 基板	2450	0.19	14	供应商
塑封料	15513	0.25	10	Ref. [5], 供应商

3 结果与讨论

实验中共包括 53 个相同的叠层封装元器件, 经过加速实验及三次回流后, 经超声波显微镜观察, 及光学显微镜对分层样品剖面进行进一步分析, 可以观察到两种分层模式和下层芯片上的裂纹, 器件失效模式列于表 3. 由于部分样品存在一种以上失效模式, 所以三种失效模式百分比的总和超过 100%.

表 3 老化实验后器件的失效模式

Table 3 Failure modes of the units after HAST

失效模式	超声波显微镜观察	剖面光镜观察	所占比例
分层类型	出现大面积阴影	上层芯片和环氧塑封料之间分层	89% (47/53)
分层类型	在下层芯片的边角处有阴影	下层芯片的边角处分层	25% (13/53)
芯片裂纹	在下层芯片区域出现阴影	下层芯片上出现了裂纹	30% (16/53)

分层类型 出现在上层芯片和环氧塑封料之间, 超声检测可以观察到大面积阴影. 图 2 是分层器件截面的光镜照片, 这种分层会造成上层芯片上方的塑封料产生裂缝, 可以从器件表面直接观察到这种裂缝. 沿分层处剖开器件并观察硅分层界面, 发现界面处既存在界面破坏也有内聚破坏模式, 表明这种分层可能由上层芯片和塑封料之间存在的微小空洞所导致, 在高温高湿加速实验中, 由于湿、热的作用导致微裂纹扩展, 从而造成界面处的分层^[9].

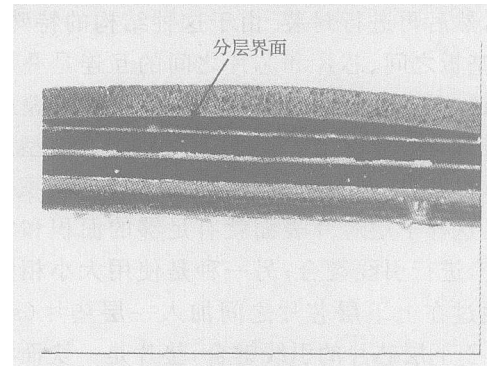


图 2 上层芯片和塑封料之间的分层

Fig. 2 Delamination between the top die and molding compound

分层类型 出现在靠近下层芯片边缘的 BT 基板界面, 超声检测在下层芯片的边角处观察到阴影. 图 3 是这种分层截面的光镜照片, 这类分层和单层

芯片封装中的爆米花 (popcorn) 现象类似, 主要位于下层芯片的边角处, 并且沿着 BT 基板和塑封料、芯片和贴片胶的界面扩展.

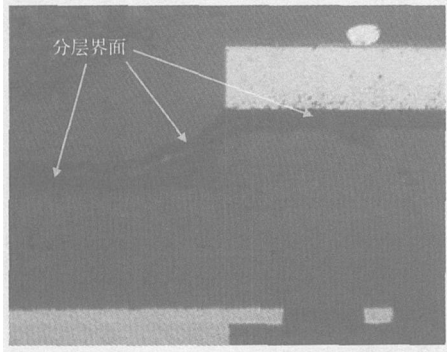


图 3 下层芯片和 BT 基板之间的分层

Fig. 3 Delamination between the bottom die and BT substrate

除了上述两种分层以外, 在超声检测中可以看到在下层芯片区域有阴影, 明显与完好样品不同, 然后对照阴影位置对样品做剖面, 发现下层芯片上出现裂纹, 这部分器件约占 30% (图 4). 由于塑封料和硅片间热膨胀系数 (CTE) 严重失配, 在高温过程中, 上下层芯片尺寸上的差异会造成应力在下层芯片上位于上层芯片的边缘处集中, 可能导致下层芯片的裂纹.

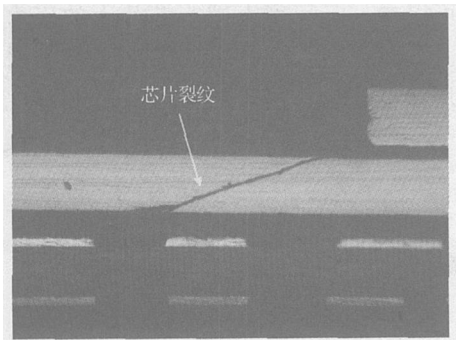


图 4 下层芯片的裂纹

Fig. 4 Crack on the bottom die

单芯片封装经高温高湿加速实验后在芯片上产生裂纹并不常见, 而对于双层芯片叠层封装中出现的芯片断裂, 需要进一步研究. 为了研究导致芯片裂纹的主要原因, 利用 ANSYS 有限元分析软件对器件在回流过程中的热应力分布情况进行了模拟, 模拟针对的是裂纹产生前的状态, 假设材料内部没有微裂纹和空洞, 因而, 没有湿气在高温回流时在缺陷

中产生的内部高压, 器件中的应力只与湿、热膨胀相关. Wang 的计算分析表明, 热膨胀应力在高温回流时与湿膨胀应力相比占主导地位^[10], 所以本文对器件在回流过程中应力的模拟中忽略了湿气对器件的影响, 只考虑热应力的影响.

图 5 为 217 回流温度时封装器件内热应力的分布情况, 可以看出此时应力主要集中在下层芯片上, 位于上层芯片的边缘处, 这表明图 4 中芯片裂纹的萌生与模拟的高应力位置对应.

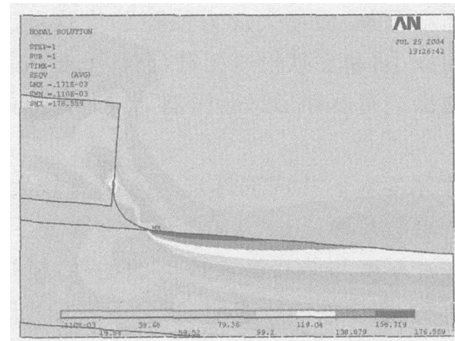


图 5 等效应力的分布

Fig. 5 Von Mises stress distribution

为进一步理解不同材料特性和器件结构对芯片上热应力的影响, 利用有限元方法分析了塑封料 CTE、贴片胶溢出高度、芯片厚度等对芯片上应力分布及其数值大小的影响.

塑封料和芯片的 CTE 失配是造成下层芯片上位于上层芯片边缘处应力集中的主要原因, 降低塑封料的 CTE 可以减小应力^[4, 12]. 有限元模拟结果如图 6 所示, 芯片最大热应力随塑封料 CTE 的减小而减小, 说明减小塑封料 CTE 确实可以有效降低芯片上的应力. 模拟芯片最大热应力与贴片胶 CTE 间的

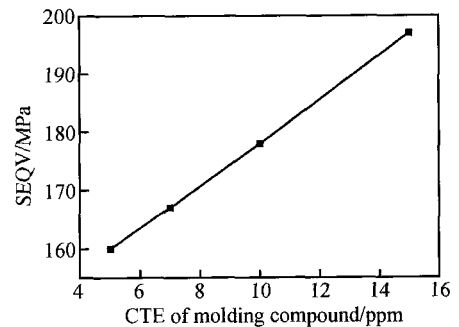


图 6 下层芯片上最大应力和塑封料热膨胀系数的关系

Fig. 6 Maximum stress on the bottom die versus CTE of the molding compound

关系得到同样的结果. 对于常用的贴片胶和塑封料体系, 在现有水平上再大幅减小其 CTE 的难度较大, 因此, 除进一步提高材料性能外, 还可以通过改变器件结构, 如芯片厚度等, 更好地降低芯片上的应力^[4].

实验观察发现, 下层芯片与基板间贴片胶的溢出高度较小, 约为贴片胶厚度的 2 倍, 而上下层芯片之间贴片胶的溢出高度变化较大, 为贴片胶厚度的 2~6 倍. 模拟贴片胶溢出高度和下层芯片上等效应力间的关系, 发现应力集中点均位于贴片胶边缘处, 与溢出高度无关, 而最大应力值随贴片胶溢出高度的增加而减小, 和文献报道相符合^[6]. 上述结果表明贴片胶溢出的高度和形态会影响下层芯片上的热应力.

芯片厚度对芯片内部热应力水平有较大影响, 首先在上层芯片厚度 (175 μm) 不变的情况下, 研究了下层芯片厚度和芯片最大应力的关系. 模拟结果如图 7 所示, 图中的曲线表明, 减少下层芯片厚度引起芯片内应力水平上升, 而当下层芯片厚度减小至 150 μm 时, 芯片上的应力开始明显增加.

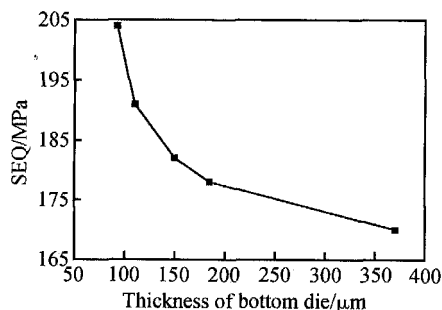


图 7 下层芯片最大应力和下层芯片厚度的关系

Fig. 7 Maximum stress on the bottom die versus the thickness of the bottom die

图 8 显示了总厚度和下层芯片最大应力的关系, 模拟时假设上下芯片厚度相同. 从图中的曲线可看出, 同时减小上下芯片的厚度也会增加下层芯片上应力, 并且当芯片厚度小于约 100 μm 时, 应力急剧增加. 因此, 在叠层封装中芯片的减薄应控制在一定范围内.

上层芯片宽度与芯片上最大应力关系的模拟表明, 上层芯片宽度对应力值影响很小, 因此, 上层芯片只要给下层芯片留出足够空间进行引线键合即可, 无需控制其大小.

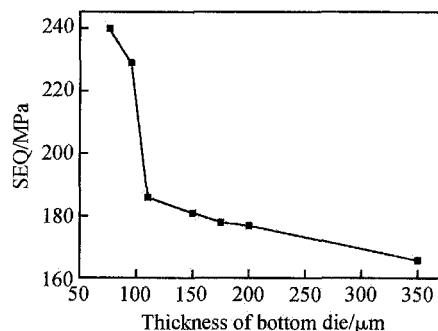


图 8 下层芯片最大应力与芯片厚度的关系

Fig. 8 Maximum stress on the bottom die versus the thickness of the die

4 结论

通过对芯片叠层封装高温高湿加速实验及有限元模拟研究可得出以下结论:

(1) 经过高温高湿加速实验, 芯片叠层封装除了出现单芯片封装中也会出现的界面分层外, 还会在下层芯片上位于上层芯片的边缘处产生裂纹, 芯片裂纹主要是由于塑封料、贴片胶与芯片之间巨大的 CTE 失配造成的.

(2) 从材料性能角度, 减小塑封料和贴片胶的 CTE 可以有效减小芯片应力.

(3) 从封装结构(芯片尺寸)角度, 增加下层芯片的厚度可以在一定程度上减小芯片上的应力; 而同时减薄上下层芯片厚度会造成芯片内应力增加, 尤其当芯片厚度减小到 100 μm 以下时, 应力会急剧增加; 而上层芯片宽度对下层芯片内应力影响很小, 可以忽略.

参考文献

- [1] Wu L, Wang Y P, Hsiao C S. Innovative stack-die package S2BGA. IEEE ECTC, 2002: 250
- [2] Garcia E A, Chiu C P. Compact modeling approaches to multiple die stacked chip scale packages. 19th IEEE SEMI-THERM Symposium, 2003: 160
- [3] Kiyono S S, Yonehara K, Graf R S, et al. Consideration of mechanical chip crack on FBGA packages. IEEE ECTC, 2001: 193
- [4] Kiyono S S, Yamada T, Yonehara K. Consideration of chip circuit damage on DSC-FBGA packages. IEEE ECTC, 2002: 246
- [5] Zahn B A. Finite element based solder joint fatigue life predictions for a same die size-stacked-chip scale-ball grid array

- package. 2002 SEMI/ IEEE IEMT, 2002:274
- [6] Jin Wei ,Sang Wenbin ,Zhang Qi ,et al. Investigation of adhesive fillet height in SCSP by finite element methods. Chinese Journal of Semiconductors ,2004 ,25 (2) :232 (in Chinese) [金纬 ,桑文斌 ,张奇 ,等. 有限元方法对 SCSP 粘结剂溢出的研究. 半导体学报 ,2004 ,25(2) :232]
- [7] Liu Sheng ,Mei Yuhai. Behavior of delaminated plastic IC packages subjected to encapsulation cooling ,moisture absorption ,and wave soldering. IEEE Trans Compon ,Packag Manuf Technol A ,1995 ,18(3) :634
- [8] Tay A A O ,Lin T Y. Influence of temperature ,humidity and defect location on delamination in plastic IC packages. 1998 InterSociety Conference on Thermal Phenomena ,1998 :179
- [9] Liu P ,Cheng L ,Zhang Y W. Interface delamination in plastic IC packages induced by thermal loading and vapor pressure ——A micromechanics model. IEEE Trans Adv Packag , 2003 ,26(1) :1
- [10] Wang Jun ,Xiao Fei. The delamination of solder ball involving moisture and thermal effect in IC package. 5th International Conference on Electronic Packaging Technology (ICEPT) , Shanghai ,2003 :91
- [11] Awad E ,Ding Hanyi ,Graf R S ,et al. Stacked-chip packaging electrical ,mechanical ,and thermal challenges. IEEE ECTC , 2004 :1608
- [12] Kousaka T ,Suzuki N ,Yasuda M. Influence of material combination on warpage and reflow crack resistance of PBGA. 1998 IEEE/ CPMT Electronic Packaging Technology Conference , 1998 :296

Failure Analysis and Thermal Stress Simulation in a Stacked Die Package

Gu Jing , Wang Jun , Lu Zhen , Yu Hongkun , and Xiao Fei

(Department of Materials Science , Fudan University , Shanghai 200433 , China)

Abstract : The failure analysis of a stacked die package under a highly-accelerated temperature and humidity stress test is performed. The different failure modes ,delaminations ,and die cracks are studied and discussed. By taking advantage of finite element analysis (FEA) ,the thermal stress distribution in the stack-die package is achieved and the effect of different CTE and die thickness is studied. The simulation results indicate the crack propagation site is in accordance with that of experiment results. Suggestions for alleviating failure in a stacked die package are also obtained by reducing the thermal stress in the package.

Key words : stacked die package ; HAST ; delamination ; die crack ; finite element analysis

EEACC : 0170J ; 0170N

Article ID : 0253-4177(2005)06-1273-05

Gu Jing male ,graduate student. He is engaged in research on electronic packaging reliability and finite element analysis.

Xiao Fei male ,associate professor. He is engaged in research on electronic packaging materials ,processing technologies ,and failure analysis. Email :feixiao @fudan.edu.cn

Received 12 August 2004 ,revised manuscript received 5 February 2005

©2005 Chinese Institute of Electronics