

一种用于 SRAM 快速仿真的模型

张 锋 周玉梅 黄令仪

(中国科学院微电子研究所, 北京 100029)

摘要: 根据静态随机存储器(SRAM)电路及版图的设计特点,提出了一种新的可用于 SRAM 设计的快速仿真计算模型.该模型仿真快速准确,能克服 Spice 仿真软件对大容量 SRAM 版图后仿真速度较慢的缺点,在很大程度上缩短了设计周期.同时,它的仿真结果同 Synopsys 公司的 Nanosim 软件仿真结果相比偏差小于 5%.该模型在龙芯号 CPU 的 SRAM 设计中得到了应用;芯片采用的是中芯国际 0.18 μm CMOS 工艺.流片验证了该模型对于大容量的 SRAM 设计是准确而有效的.

关键词: SRAM; 网表; 版图后仿真; 寄生效应

EEACC: 2570A; 1280; 1265D

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2005)06-1264-05

1 引言

在微处理器领域,高速的 SRAM 作为高速缓存(cache)已被广泛地使用^[1].微处理器中 cache 的速度、面积与功耗是决定微处理器性能的重要指标,因此,SRAM 的高速度、低功耗设计一直都是整个微处理器设计中的关键环节.目前,有许多高速、大容量的 SRAM 被成功设计^[2-6],其技术也很快地被应用于微处理器领域.

由于 SRAM 的设计基本上采用的是全定制的设计流程^[7],这就决定了它的整个设计实现过程离不开大量的晶体管级的仿真. Hspice 作为高精度的晶体管级的仿真软件在工业界已被长期认可并得到广泛应用.但是, Hspice 存在着仿真速度较慢的缺陷,更适用于对中小规模的电路进行仿真.而对于一个只有 1kb 容量的 SRAM 来讲,它所包含的晶体管的数量通常会达到几万个,这使得应用 Hspice 对其进行仿真就比较困难.目前几家 EDA 公司相继推出了基于大规模电路晶体管级的 Spice 仿真软件,其中包括 Hsim(Nassda 公司), Ultrasim(Cadence 公司), Nanosim(Synopsys 公司)等,这些软件都比

Hspice 的仿真速度快几十倍.它们的出现在一定程度上解决了对 SRAM 这种大规模电路进行快速仿真的问题.但是,目前新软件的仿真速度也并不令人满意,原因有二:一方面是由于 SRAM 的容量增加很快;另一方面工艺尺寸的不断减小使得寄生参数增多,寄生参数的数量已远远超过了器件本身的数目,很大程度上增加了后仿真网表文件的容量.这两方面的原因使得那些高速度的 Spice 仿真软件要想得到精确的仿真结果就不得不进行更加繁重的公式计算,最终导致仿真速度仍旧缓慢.

本文针对 SRAM 的电路结构,提出了一种新的快速仿真计算模型,这种模型构造简单,实现容易.把该技术应用于龙芯号 CPU 中 SRAM 的设计过程中,验证了该技术在很大程度上缩短了仿真周期,大大提高了仿真效率.

2 SRAM 的仿真计算模型

SRAM 电路结构主要由两部分组成^[8],一部分是数据通路,包括写驱动电路、核心存储单元和灵敏放大器;另一部分是地址通路,主要包括译码电路.以一个容量大小为 4kb, 6 位读写地址,单口的

张 锋 男,1977 年出生,博士研究生,研究方向为 CMOS 电路高速、低功耗设计.

周玉梅 女,研究员,博士生导师,从事混合信号集成电路设计.

黄令仪 女,研究员,从事 VLSI 数字电路设计.

2004-08-17 收到,2004-11-08 定稿

SRAM 为例,它的布局结构如图 1 所示.从图中可以看出,核心存储单元的面积最大,原因是它的重复单元多,由 4096 个存储单元构成.

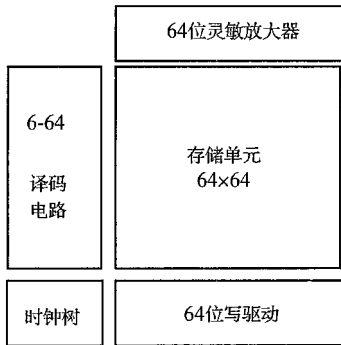


图 1 一个 4kb 的 SRAM 结构框图

Fig. 1 Architecture figure of a 4Kb SRAM

SRAM 电路中存储单元的结构多半采用的是六管单元设计,如图 2 所示.对于一个含有 4096 个存储单元,容量为 4kb 的 SRAM 来说,存储单元中就含有 24576 个晶体管,如果再加上译码电路、写驱动电路以及灵敏放大器电路中的晶体管,整个 SRAM 电路大约由 3 万多个晶体管组成.如此多的晶体管使得像 Hspice 这样的仿真软件已无法对其进行快速电路仿真,因此只能采用其他高速的 Spice 软件进行仿真.

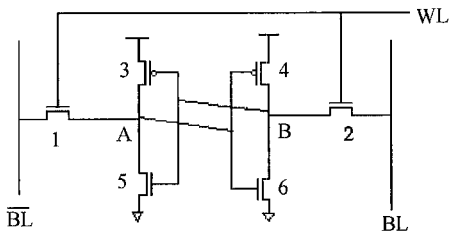


图 2 一个六管单元

Fig. 2 One cell of six transistors

我们采用 Synopsys 的 Nanosim 仿真软件^[9](注:已证明 Nanosim 与 Hspice 相比,前者的仿真速度大约是后者的 20 倍以上,而仿真精度相差不超过 5%),在 SUN 工作站 Blade2000 的硬件环境下,对 4kb 的 SRAM 进行电路前仿真和版图后仿真,仿真激励对电路扫描了三个时钟周期,试验得出电路前仿真时间为 6min,版图后仿真时间为 40min.

由仿真时间结果可以看出,在 0.18 μm CMOS 工艺条件下,电路的前仿真与版图的后仿真时间相差很大.原因是在 0.18 μm 工艺条件下,连线的延迟

已接近于器件的延迟,金属连线以及晶体管的寄生效应非常明显,假如将版图的所有寄生参数进行提取并加以统计便可以看出,4kb 的 SRAM 电路中寄生的电阻、电容数量已远远超过了晶体管本身的数目,从而导致仿真计算量加大、仿真时间延长.同时,在 SRAM 电路设计过程中还存在另外一个问题:由于 SRAM 电路是一个多端口的时序电路,要准确地测试并提取出各种所需要的时序信息,必须进行几十次甚至上百次的后仿真,但后仿真时间过长就会使整个设计工作不得不消耗大量的时间和硬件资源.

本文根据以上出现的问题,提出了一种新的可用于版图后仿真的高速仿真计算模型,如图 3 和 4 所示.

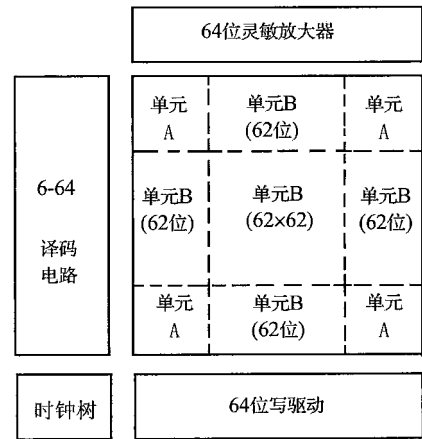


图 3 4kb 的 SRAM 仿真计算模型

Fig. 3 Simulation and test model of 4kb SRAM

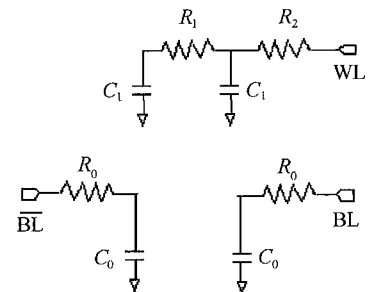


图 4 存储单元的等效电路模型

Fig. 4 Equivalent circuit model of memory cell

仍以上述的 4kb 的 SRAM 为例,并假定它的存储单元采用的是图 2 中常见的六管单元设计.图 3 中给出了这种 SRAM 的快速仿真模型,由图中可看出其结构较特殊,它的存储单元分为两种类型——

单元 A 和单元 B. 单元 A 只有四个,分布在存储阵列的四个角上,它们仍然是图 2 中的六管存储单元的版图. 而单元 B 与单元 A 大不相同,它的一种结构如图 4 所示,它是六管单元版图的等效电路. 单元 B 是一个经过精确提取出的等效电路模型,并不是一个版图,也就是说,原来大量的存储单元的版图被它们的等效电路模型替代了. 如果要进行后仿真,可以先取四个角上的单元,删掉单元 B 所处位置的版图,提取剩余版图的寄生参数与网表,然后与替代单元 B 的网表整合在一起,便有了后仿真所需的网表.

由图 3 不难看出,这种模型是版图与电路的综合体,是把很大一部分版图用等效电路取代,由于这种等效电路含有很少的器件数目从而大大减少了版图后提取的寄生参数,使仿真速度加快.

3 原理及参数的选取

首先,这种精简的 SRAM 结构模型能够保证所需仿真数据的完整性. 这是由 SRAM 存储单元的位置和电路结构所决定的. 如图 5 所示, A_y, B_y, C_y, D_y 分别代表写操作所经过的四条路径, A_x, B_x, C_x, D_x 分别代表读操作的四条路径. 由于时钟是从整个电路的左下方引入,这就决定了无论是写操作还是读操作,它们的关键路径只可能是上述四条路径中的一条. 如果要计算一个写操作的时间,就取写操作的最长路径. 如图所示,写操作的最长路径只可能是 B_y ,这是因为时钟信号到达 B, D 所在单元的这一列最慢,所以它们触发的时间最晚,同时 B 单元又距离写驱动电路最远,信号到达的时间也就最长;同理,读操作的最长路径可能是 D_x 或 B_x 中的一条,这是因为 A, B 所在单元这一行距离时钟最远,但是它们距离灵敏放大器是最近的,而 C, D 所在单元这一行与 A, B 这一行的路径恰恰相反,又因为 B, D 单元距离译码电路最远,所以关键路径只可能是 B_x, D_x 中的一条,具体采用哪一条最后要靠仿真来确定.

此外,由于 SRAM 是一个时序电路,对其进行描述的性能参数中还必须包括各个端口的建立与保持时间,而这种精简的电路模型包含了所有需要测试的数据通路,原理同上.

上述说明,这种精简的电路模型保存了所有需要仿真的信息.

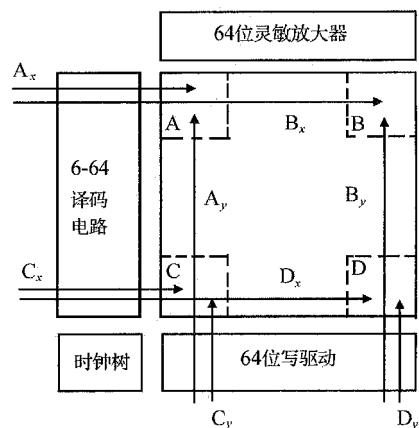


图 5 关键路径分析

Fig. 5 Analysis of critical path

其次,由于在仿真过程中,所有的数据都是通过读写图 5 中单元 A, B, C, D 所获得的,因此所有的等效电路模型并不需要保存数据或读取数据的行为,模型只是起到真实地负载替代的作用. 要准确地对这种精简的 SRAM 电路模型进行仿真,就要保证这种等效电路模型能够包含所需要的对应六管存储单元版图的全部信息. 以图 6 中所示的一个六管单元的版图为例,说明这种等效电路模型的计算原理.

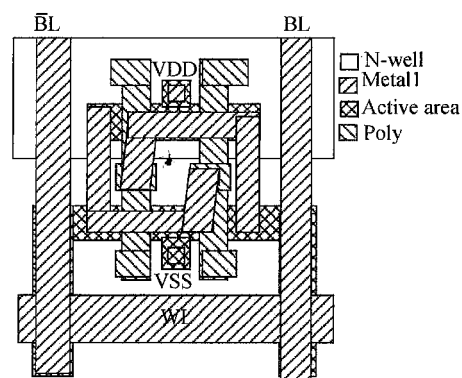


图 6 六管单元的版图

Fig. 6 Layout of six transistors

图 4 所示的等效电路模型可分为两部分,一部分是针对字线的等效模型(以下简称字线模型),另一部分是针对位线的等效模型(以下简称位线模型).

字线模型中包括电阻 R_1, R_2 以及电容 C_1 . 图 6 中的字线 WL 一般会是一条很长的金属连线,因为它要横穿 64 个存储单元,所以它的寄生电阻很大. R_1 表示 WL 从另一个存储单元进入下一个单元时

连线的等效电阻, R_2 则是图 2 中连接晶体管 1 和晶体管 2 栅极之间金属的等效电阻. 需要计算的等效电阻值, 只要根据特定工艺条件下金属的方块电阻以及版图中金属的宽度, 便可计算. 字线模型中的电容 C_1 所等效的, 是图 2 中的晶体管 1 和 2 的栅和沟道之间的氧化层电容, 也就是晶体管 1 和 2 对字线的负载. 电容值 C_1 可通过公式 (1) 和 (2) 计算得到^[10].

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \quad (1)$$

其中 C_{ox} 是单位面积的栅氧化层电容. 在上式中 $\epsilon_0 = 8.85 \times 10^{-14} \text{ A} \cdot \text{S}/(\text{V} \cdot \text{cm})$ 为真空电容率, $\epsilon_{ox} = 3.9$, 为二氧化硅相对介电常数.

$$C_1 = C_{ox} WL \quad (2)$$

其中 W 表示晶体管的沟道宽度; L 表示晶体管的沟道长度.

根据图 4 所示, 位线模型包括电阻 R_0 和电容 C_0 . 由于位线同字线一样, 贯穿整个 64 个单元, 所以金属连线的延迟很大而不能被忽略. R_0 是金属连线的等效电阻, 它所等效的是图 6 中所示的, 从另外一个存储单元进入到下一个单元的晶体管 1 或 2 的源极的金属连线 BL 或 \overline{BL} , R_0 的计算可采用上述字线模型中计算 R_1, R_2 的方法.

位线模型中电容 C_0 是图 2 中晶体管 1 和 2 的源极等效电容. 由于源/漏区的电容主要表现为源/漏区与衬底之间的结电容, 所以可以根据以下公式计算得到.

$$C_{diff} = C_j L_s W + G_{sw} (2L_s + W) \quad (3)$$

其中 L_s 是源/漏区的长度; W 是源/漏区的宽度; C_j 是单位面积的源/漏结电容; G_{sw} 是单位长度的源/漏侧壁电容.

4 仿真结果

在龙芯 号 CPU 的设计中, 我们采用全定制的方法, 设计了一个 64 位、工作频率 500MHz、容量 4kb 的 SRAM, 工艺条件为中芯国际 0.18 μm CMOS 工艺. 流片验证芯片可以稳定的工作在 300MHz 以上, 充分说明所设计的 SRAM 设计仿真准确, 工作性能稳定.

为了验证该方法的准确性和可靠性, 在同样的硬件环境下, 还是采用 Nanosim 仿真软件, 把此种模型测出的结果和所用仿真时间, 同最终整个版图

后仿真的结果和仿真时间分别进行了对比, 表 1 中列出了几项典型数据的对比结果. 此外, 我们还对大量的数据进行了仿真测试, 结果表明这种模型的最大仿真偏差没有超过 5%, 而仿真所用时间几乎只是原来的 1/3. 目前整个芯片已通过了流片验证, 这充分说明, 仿真测试的结果是准确可靠的.

表 1 仿真结果对比

Table 1 Contrast of simulation results

	全仿真	模型仿真	仿真偏差
写数据端建立时间/ ns	0.32	0.31	3.2 %
仿真所用时间/ min	28	10	
写数据延迟时间/ ns	1.25	1.20	4.0 %
仿真所用时间/ min	28	10	
读写地址建立时间/ ns	0.20	0.19	5.0 %
仿真所用时间/ min	32	12	
读出数据延迟时间/ ns	1.15	1.10	4.3 %
仿真所用时间/ min	40	15	

为了进一步说明这种测试方法的有效性, 还进行了如下试验. 分别设计了 64 位容量为 2, 4, 8, 16kb 的 SRAM, 进行了两种方法的版图后仿真时间对比, 时间对比结果如图 7 所示. 根据对比可以看出, 这种等效的 SRAM 仿真计算模型使版图后仿真时间大为缩短, 尤其是对于那些容量很大的 SRAM 设计, 能节省更多的仿真时间.

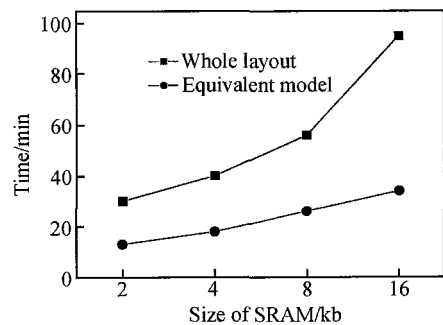


图 7 仿真时间对比

Fig. 7 Contrast of simulation time

以上表明, 这种等效的 SRAM 仿真计算模型是准确而有效的.

5 结论

由于 SRAM 采用的是全定制的设计方式, 在 0.18 μm 工艺条件下, 版图的设计与验证以及版图的电路后仿真都会消耗很多的时间和资源, 效率很

低.而本文所论述的等效 SRAM 仿真模型使得在设计初期便可节省大量的版图设计和验证工作,并且这种仿真模型具有仿真误差小,仿真速度快等优点,在实际应用中有推广价值.

参考文献

- [1] Patterson D A , Hennessy J L . Computer architecture a quantitative approach . China Machine Press , 1999 : 485
- [2] Murakami S , Fujita K , Ukita M , et al . A 21mW 4-Mb CMOS SRAM for battery operation . IEEE J Solid-State Circuits , 1991 , 26(11) : 1563
- [3] Nambu H , Kanctani K , Yamasaki K , et al . A 1.8-ns access , 550-MHz , 4.5-Mb CMOS SRAM . IEEE J Solid-State Circuit , 1998 , 33(11) : 1650
- [4] Park H C . A 833-Mb/s 2.5V 4-Mb double-data-rate SRAM . 1998 IEEE Int Solid State Circuits Conf Dig Tech , 1998 : 356
- [5] Liu Xinyu , Han Zhengsheng , Zhou Xiaoyin . CMOS/ SOI 64Kb SRAM . Chinese Journal of Semiconductors , 2001 , 22 (1) : 47 (in Chinese) [刘新宇 , 韩郑生 , 周小茵 . CMOS/ SOI 64 Kb 静态随机存储器 . 半导体学报 , 2001 , 22(1) : 47]
- [6] Hirose T , Kuriyama H , Murakami S , et al . A 20-ns 4-Mb CMOS SRAM with hierarchical word decoding architecture . IEEE J Solid-State Circuits , 1990 , 25(5) : 1068
- [7] Krishnamurthy N , Martin A K , Abadin M S . Validation of PowerPC™ custom memories using symbolic simulation . VLSI Test Symposium , 2000 : 9
- [8] Amrutur B S , Horowitz M A . Fast low-power decoders for RAMS . IEEE J Solid-State Circuits , 2001 , 36(10) : 1506
- [9] Synopsys Corporation . Nanosim userguide , 2002
- [10] Rabaey J M . Digital integrated circuits —— A design perspective . Beijing : Tsinghua University Press , 1999 : 47 (in Chinese) [Rabaey J M . 数字集成电路设计透视 . 北京 : 清华大学出版社 , 1999 : 47]

A New Fast Simulation and Calculation Model Based On SRAM

Zhang Feng , Zhou Yumei , and Huang Lingyi

(Institute of Microelectronics , Chinese Academy of Sciences , Beijing 100029 , China)

Abstract : This article presents a new fast simulation and calculation model for SRAM , which is based on the characteristics of SRAM 's circuits and layout . This model simulates the post-layout of SRAM fast and accurately , compared to slow simulation of Spice software , and decreases , the design period greatly . Meanwhile , the simulation results have fewer errors than 5 % compared to the results of the Synopsys nanosim simulation . The model has been applied in the Godson CPU SRAM design ; the chip uses the SMIC 0.18 μ m technology . The taped-out chip shows that the model is accurate and effective to the large capacity SRAM design .

Key words : SRAM ; netlist ; simulation of post-layout ; parasitism effect

EEACC : 2570A ; 1280 ; 1265D

Article ID : 0253-4177(2005)06-1264-05

Zhang Feng male , was born in 1977 , PhD candidate . His research interests are high-speed and low-power CMOS circuits design .

Zhou Yumei female , professor , advisor of PhD candidates . Her research interests are in mixed-signal circuits design .

Huang Lingyi female , professor . Her research interests are in VLSI circuits design .

Received 7 August 2004 , revised manuscript received 8 November 2004

©2005 Chinese Institute of Electronics