

在 SOI 基上设计实现 D/A 驱动的高压 LDMOS 开关电路*

雷 宇 方 健 张 波 李 肇 基

(电子科技大学微电子与固体电子学院, 成都 610054)

摘要: 设计实现 SOI 基上带有 D/A 驱动的高压 LDMOS 功率开关电路, 利用 D/A 变换的灵活性, 运用数字电路与高压模拟电路混合设计方法, 实现数字控制的耐压为 300V 的 LDMOS 功率开关电路. 该功率集成电路芯片的实现, 为 SOI 高压功率开关电路提供了一种更为方便快速的数字控制设计方法, 同时也为功率系统集成电路提供了一种有效的实验验证, 从而证实了功率系统集成的探索在理论上以及工程上具有一定的可行性.

关键词: D/A 驱动电路; 绝缘体上硅; LDMOS; 高压开关电路

EEACC: 1280; 2560

中图分类号: TN4 文献标识码: A 文章编号: 0253-4177(2005)06-1255-04

1 引言

近年来, 由于绝缘体上硅(SOI)材料具有良好的器件隔离性、抗辐照性、低的寄生效应, 越来越受到人们的关注, 也取得了很多研究成果^[1]. 目前 CMOS 的集成电路几乎都是在体硅衬底上实现的^[2], 以 SOI 为材料的高压集成电路设计是近年来芯片设计的又一趋势. 这是因为 SOI 技术在很多方面优于体硅技术, 例如 SOI 无门锁效应, 源、漏寄生电容小, 易生成浅结.

基于上述的优点, 在 SOI 材料上设计实现高压 LDMOS 器件已成为这个领域的研究热点之一^[3,4]. 横向双重扩散 MOS(LDMOS)晶体管, 在高压集成电路中已经获得了较为广泛的应用. 高压 LDMOS 是多子导电器件, 也是一种可以集成的纵向高压功率器件^[5]. 结合高压功率器件的发展, 最近在这一领域中, 一些研究者提出了系统功率集成的理论, 并进行了一定的探索研究, 数字电路设计方法与高压功率器件的结合, 仍然是系统功率集成发展的新需要和新方向. 找出一种可靠的设计方法将两者结合, 形

成片内系统, 可以充分地扩展系统高压功率电路应用的方便性、灵活性、通用性和可集成性.

在本文设计的高压功率集成电路中, 就运用了这样的设计思路和理论方法. 我们利用新型的 LDMOS 器件, 这一器件采用 RESURF 技术来提高击穿电压, 结合此器件, 采用与之相兼容的工艺, 从而在国内首次实现了 SOI 基上带有 D/A 驱动的高压 LDMOS 功率开关电路. 在这一设计过程中, 高压开关电路的驱动采用频率和脉宽可调的 D/A 驱动电路, D/A 电路的设计是采用自上而下(top-down)的设计方法. 在 SOI 的衬底上实现了以 D/A 为驱动的 LDMOS 高压功率开关电路.

2 LDMOS 高压开关电路

图 1 是 LDMOS 高压开关电路. 整个电路都是工作在高压区, 可以承受 300V 的耐压. 整体功能完成低压开关信号到高压开关信号的转换. 电路分 3 部分: 第 1 部分是电压转换电路; 第 2 部分是滤波整形电路; 第 3 部分是输出端功率驱动电路.

高压开关电路工作的形式是: 高压 LDMOS 管

*国家自然科学基金, 总装预研和国防重点实验室(批准号: 41308020210)资助项目

雷宇男, 硕士研究生, 主要从事大规模集成电路与系统、专用集成电路与系统研究.

方健男, 副教授, 主要从事高压功率器件与专用集成电路研究.

2004-07-25 收到, 2004-09-02 定稿

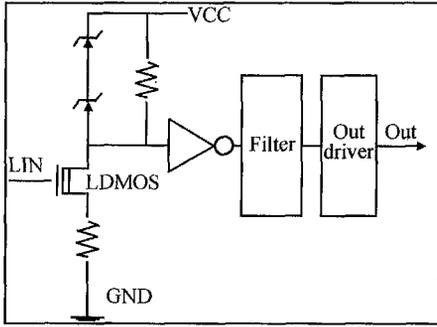


图 1 LDMOS 高压开关电路

Fig. 1 LDMOS high voltage switch circuit

的导通和关断由低压驱动信号 LIN 控制. 经过 LDMOS 管漏端的倒相器, 将低压开关信号转换成高压开关信号; 在经过第 2 部分整形滤波电路后, 可以得到输出波形良好的开关信号; 最后为了驱动功率负载, 增强开关信号的驱动能力, 加入了输出驱动电路^[6].

为了方便地控制和调节高压开关输出信号的频率和脉宽, 本芯片中集成了一个 D/A 的数字驱动电路.

3 D/A 驱动电路设计实现

设计频率和脉宽可调的 D/A 驱动电路, 是为了利用数字电路控制的灵活性, 根据实际应用中中对电路开关速度和频率的要求, 能够进行方便快速的调节. 我们采用数字电路自上至下的方法来设计一个 4 位的 D/A 驱动电路. 图 2、3 是驱动电路端口示意图.

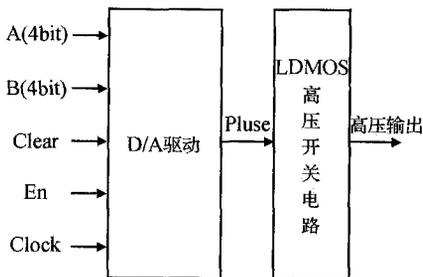


图 2 驱动电路示意图

Fig. 2 Diagram of driver circuit

D/A 驱动电路相关引脚功能如下:

A(4bit) 四位数据输入 —— 调节驱动输出信号频率; B(4bit) 四位数据输入 —— 调节驱动输出信号

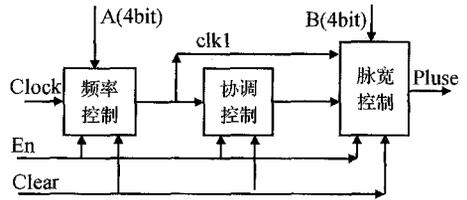


图 3 D/A 驱动电路框图

Fig. 3 Diagram of D/A driver circuit

脉宽; EN 使能信号 —— 控制电路工作; CLEAR 清零信号 —— 使输入数据清零; Clock 时钟输入 —— 给电路提供时钟.

D/A 驱动电路是通过 A 端口的输入数据, 控制脉冲 (pluse) 信号频率. 通过 B 端口的输入数据, 对脉冲信号的占空比进行调节. 从而产生输出频率和脉宽可以调节的低压开关信号脉冲, 将它作为高压 LDMOS 管的输入, 以便灵活控制高压开关电路.

实现如上功能的驱动电路, 首先是要用 VHDL 语言来描述^[7] 电路功能 (即电路行为级描述), 并对电路进行功能仿真. 功能仿真无误后, 由逻辑综合工具进行逻辑综合, 得到数字逻辑门级电路, 再进行逻辑门级电路仿真. 为了使驱动电路和高压电路工艺兼容, 要用与之兼容的工艺设计数字电路逻辑门, 将这样的逻辑门带入设计的门级电路图, 就可以自动实现 D/A 驱动电路. 最后用数字电路设计的自动布局布线功能, 完成版图设计^[8].

在此芯片中, 以数字电路的设计思想设计了 D/A 驱动电路, 其输出作为以模拟电路设计思想设计的高压开关电路的输入, 这一数模混合电路的芯片设计, 为高压开关电路提供了方便的数字控制方法, 整个芯片的实验测试也取得了较为满意的结果.

高低压电路混合集成时会带入相互干扰问题. 在设计电路时, 引入数字电路, 本身就可以在在一定程度上避免干扰带来的不利因素, 数字电路最突出的优点就是有很强的抗干扰能力, 工作时始终处于“1”或者“0”状态. 再加上本芯片有较高的工作电压 (10 ~ 20V) 和必要的滤波电路设计, 可以使因干扰而产生的小信号不至于对电路的功能产生影响, 同时投产结果也证实了他们间的干扰不明显.

4 芯片测试结果

图 4、5 是实际测试 D/A 驱动电路的输出波形. 在实验中, 所选取的输出波形占空比分别是 6.4%

和 31.4%。Ch2 显示的是 D/A 输出的开关信号，Ch1 显示的是经高压 LDMOS 开关电路输出的开关信号。由 D/A 驱动电路产生的数字开关信号很好地驱动了高压 LDMOS 开关电路。驱动电路可工作的最高频率为 1.5MHz，工作电压在 5~15V 之间。

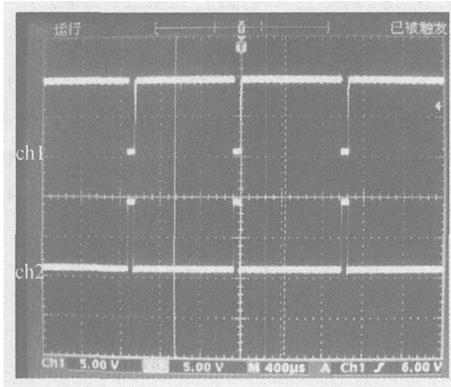


图 4 驱动电路输出波形

Fig. 4 Test waveform of driver circuit output

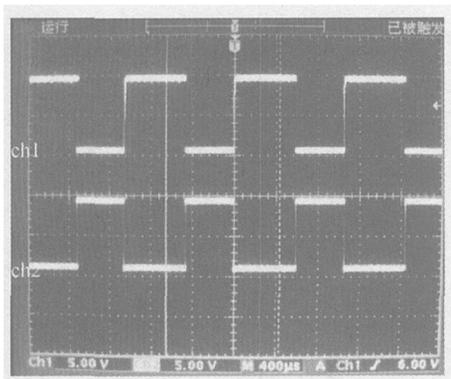


图 5 驱动电路输出波形

Fig. 5 Test waveform of driver circuit output

高压测试结果，测试时 D/A 驱动电路输出信号的占空比为 50%，LDMOS 高压开关电路工作耐压可以达到 300V。测试得到高压端输出开关信号如图 6 所示，输出端最高输出电压是 310V，最低输出电压是 300V。

5 总结

本文设计开发了一种在 SOI 基础上，单片集成 D/A 数字驱动控制的 LDMOS 高压功率开关电路，实现了数字控制和高压模拟电路混合的集成芯片设计，对于功率系统集成电路的理论实现进行了一次

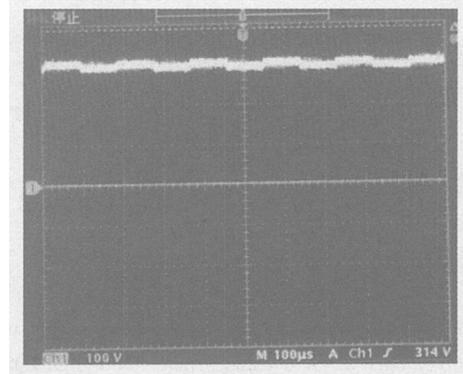


图 6 高压端输出测试结果

Fig. 6 Test waveform of high voltage output

初步的工程探索，实验证明该芯片具有较为满意的测试结果。

参考文献

- [1] Amberetu M A , Andre C , Salama T. 150-V class superjunction power LDMOS transistor switch on SOI. Proceedings of the 14 International Symposium on Power Semiconductors Devices and ICs, 2002 :101
- [2] Blanaer G , Sumner R. A CMOS high voltage controller integrated circuit. IEEE Trans Nucl Sci, 1998 ,45(3) :798
- [3] Luo Luyang , Fang Jian , Luo Ping , et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors ,2003 , 24 :194 (in Chinese) [罗卢杨 , 方建 , 罗萍 , 等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报 ,2003 ,24 :194]
- [4] Yang Hongqiang , Guo Lina , Guo Chao , et al. Accurate analysis of thin-film SOFLDMOS combined with resistive-field-plate. Chinese Journal of Semiconductors ,2003 ,24(9) :977 (in Chinese) [杨洪强 , 郭丽娜 , 郭超 , 等. 具有电阻场板的薄膜 SOFLDMOS 的精确解析. 半导体学报 ,2003 ,24(9) :977]
- [5] He Jin , Zhang Xing. Analytical model of surface field distribution and breakdown voltage for RESURF LDMOS transistor. Chinese Journal of Semiconductors ,2001 ,22(9) :1102
- [6] Razavi B. Design of analog CMOS integrated circuits. McGraw-Hill Companies , Inc ,2001
- [7] Hou Boheng , Gu Xin. VHDL hardware description language and digital logical circuit design. Xi'an: University of Electronic Science and Technology of Publishing Company ,1999 (in Chinese) [侯伯亨 , 顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西安: 电子科技大学出版社 ,1999]
- [8] Hastings A. The art of analog layout. Prentice-Hall , Inc ,2001

A High Voltage LDMOS Switch Circuit with a D/ A Driver in SOI Material *

Lei Yu , Fang Jian , Zhang Bo , and Li Zhaoji

(*Institute of Microelectronics, University of Electronic Science and Technology of China, Chengdu 610054, China*)

Abstract : A high voltage LDMOS power switch circuit with a D/ A driver in the SOI material is designed. By taking advantage of the convenience of D/ A transform ,a 300V LDMOS power switch circuit with digital control by digital circuit and the high voltage circuit design method is realized. The realization of a power integrate circuit provides not only a fast and convenient design method for the SOI high voltage power switch circuit ,but also a valid experiment for a system power integrate circuit. It confirms the possibility of a system power integrate circuit in that theory and engineering.

Key words : D/ A driver circuit ; SOI; LDMOS; high voltage switch circuit

EEACC : 1280 ; 2560

Article ID : 0253-4177(2005)06-1255-04

* Project supported by the National Natural Science Foundation of China ,the Military Research of the State Key Lab(No.41308020210)

Lei Yu male ,master candidate. He is engaged in research on VLSI and ASIC.

Fang Jian male ,professor. He is engaged in research on high voltage power devices and ASIC.

Received 25 July 2004 ,revised manuscript received 2 September 2004

©2005 Chinese Institute of Electronics