

具有片上数字控制频率调谐的 9MHz 有源 RC 滤波器

吴恩德 姚金科 王志华

(清华大学电子工程系, 北京 100084)

摘要: 讨论了适用于无线局域网零中频收音机的 4 阶切比雪夫有源 RC 滤波器, 为消除工艺偏差和环境变化对截止频率的影响, 提出片上数字控制频率调谐电路. 采用 TSMC-0.25 μ m 1P5M CMOS 工艺进行制造, 测得调谐锁定时, 滤波器的截止频率为 9MHz, 通带增益为 0dB, 增益波动小于 1dB, 带外抑制在 30MHz 处小于 -40dB, 通带内噪声小于 -142dBm/Hz, 当两输入信号的功率为 -10dBm 时, 三阶交调小于 -70dBm.

关键词: 有源 RC 滤波器; 片上频率调谐; 无线局域网

EEACC: 1270E; 1285; 2570D

中图分类号: TN431.1 文献标识码: A 文章编号: 0253-4177(2005)06-1250-05

1 引言

无线局域网(WLAN)是建立在无线通信技术和计算机网络技术基础上的新兴移动通信系统,有巨大的发展潜力和市场空间.用 CMOS 工艺实现的 WLAN 零中频接收机,由于其易于集成而受到广泛关注.在零中频接收机中,射频信号经过射频滤波器、低噪声放大器(LNA)后,与正交的本振信号混频形成 I、Q 两路,每个支路分别经低阶滤波器、可变增益放大器和连续时间滤波器后馈送给基带芯片.连续时间滤波器的主要作用是滤除带外噪声,保证足够的动态范围;并且不需要片外离散器件,实现与基带芯片的无缝连接.

集成连续时间滤波器主要分为有源 RC、MOSFET-C 和跨导-电容(G_m -C)三种类型.尽管 G_m -C 滤波器工作频率高、功耗低,但是线性度较差^[1,2].许多技术被用于提高滤波器线性度,代价是增加总功耗^[3~5].有源 RC 滤波器的线性度高,工作频率和功耗主要受限于其中使用的运算放大器^[2],由于工艺的发展和设计方法的提高,目前可以设计出低功耗

的宽带运算放大器.

为满足 WLAN 接收机整体性能要求所设计的连续时间滤波器:通带增益为 0dB,带宽为 9MHz,通带积分噪声小于 -60dBm,输入三阶交截点大于 10dBm.考虑到无线局域网接收机对于线性度要求较高,这里选取有源 RC 滤波器,并且采用 4 阶切比雪夫(Chebyshev)形式.

2 宽带全差分运算放大器

运算放大器的带宽是影响有源 RC 滤波器性能的关键因素.在传统的全差分运算放大器设计中,一般都采用 Miller 补偿^[6].Miller 补偿虽然分裂两个极点保证运算放大器的稳定,但也在输出端引入寄生电容,降低第二主极点,制约运算放大器的带宽提高.这里采用前向补偿来保证运算放大器的稳定,从而增加带宽,减小功耗.

图 1 是前向补偿两级级联的运算放大器^[7].差分对 P1、P2 构成前馈通路,将频率响应中的高频部分的相位延迟拉回到 90°,以保证有足够的相位裕度.差分对 P3、P4 和 P5、P6 形成级联运算放大器;

吴恩德 男,1973 年出生,博士研究生,研究方向为射频和模拟集成电路设计.

姚金科 男,1973 年出生,博士研究生,研究方向为连续时间滤波器设计.

王志华 男,1960 年出生,博士,教授,主要从事集成电路设计与测试,CAD 最优化技术方向的研究.

2004-09-11 收到,2004-10-19 定稿

MOS 管 MR1, MR2 工作在电阻区, 形成第一级差分对的局部共模反馈, 这样可以保证有较大的电阻和较小的寄生电容; 电阻 R_3, R_4 形成第二级差分对的局部共模反馈, 这样可以保证有较好的线性度. 它的频率传输函数为:

$$H(s) = - \frac{(g_{m,P1} R_3 + g_{m,P3} g_{m,P5} R_3 / g_{ds,MR1}) (1 + s / z_1)}{(1 + s / p_1) (1 + s / p_2)}$$

其中包含两个极点:

$$p_1 \cong g_{ds,MR1} / C_{g,P5}$$

$$p_2 \cong 1 / R_3 C_L$$

和一个零点:

$$z_1 = p_1 + g_{m,P3} g_{m,P5} / g_{m,P1} C_{g,P5}$$

C_L 是运算放大器的负载电容. 为保证稳定性和宽频带, 要求 $p_1 < z_1 < p_2$ 而且 z_1 和 p_2 尽可能接近.

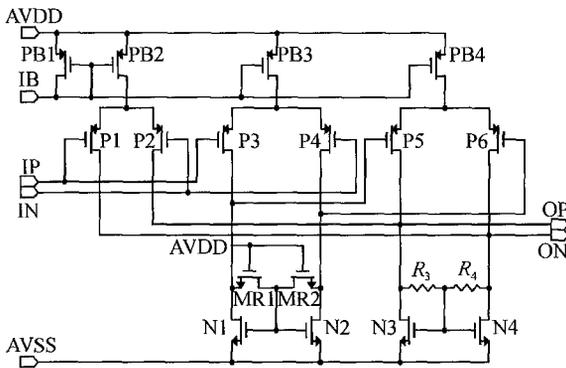


图 1 全差分运算放大器

Fig. 1 Full differential operational amplifier

图 2 给出了运算放大器频率响应的仿真结果, 负载为 1pF 电容和 10k 电阻并联, 它的直流增益为 60dB, 单位增益带宽为 237MHz, 相位裕度为 33.7°. 由于前向补偿电路引入零点, 相位曲线存在上翘.

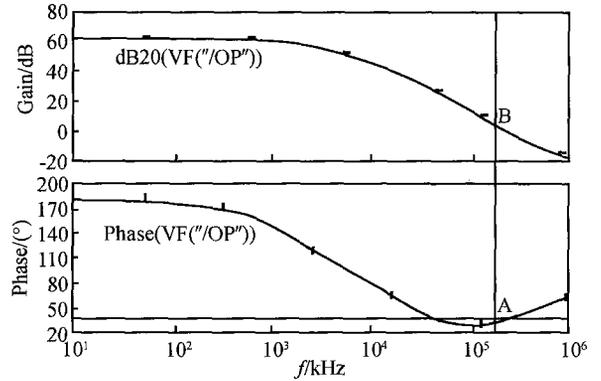


图 2 运算放大器的频率响应曲线

Fig. 2 Frequency response curve of operational amplifier

3 从滤波器与在片频率调谐

图 3 是采用信号流图模拟无源网络综合得到的 4 阶切比雪夫低通滤波器^[8], 这种方法虽然复杂, 但是对于器件偏差的灵敏度低. 其中电容采用如图 4 所示的开关电容阵列, 开关由频率调谐锁定后的逻辑信号同时控制. 电阻和电容值如图中的表所示, 电容是经过版图提取和仿真考虑管子寄生电容后调整得到的.

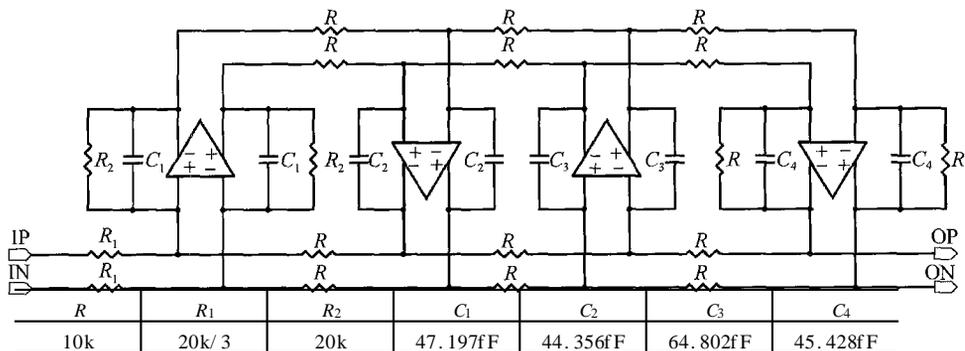


图 3 4 阶切比雪夫滤波器的总体结构

Fig. 3 Total architecture of 4th order chebyshev filter

由于电路制造过程中的工艺偏差以及外界环境温度的变化, 使得集成的电阻、电容值与设计值偏差

较大, 从而引起较大的滤波器时间常数的偏差, 因此必须设计片上频率调谐环来消除这种偏差, 实现精

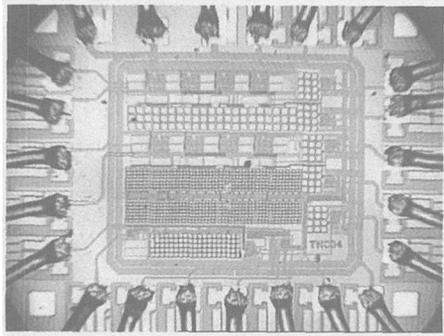


图 6 滤波器的芯片照片

Fig. 6 Die photograph of filter

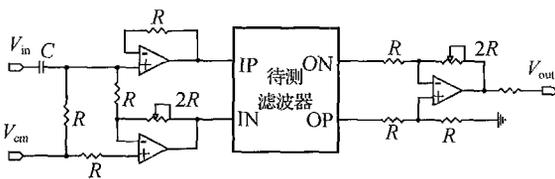


图 7 滤波器的测试电路原理图

Fig. 7 Schematic for filter testing

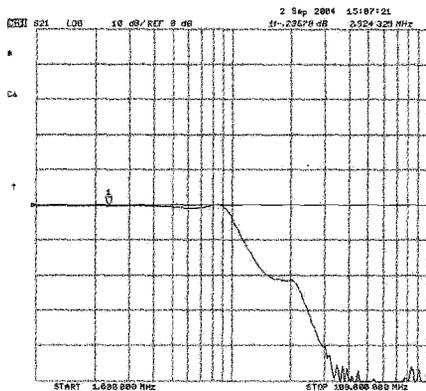


图 8 滤波器频率响应测试结果

Fig. 8 Measured frequency response of filter

图 9 是频谱分析仪 Agilent-8563 给出的三阶交调 (IMD3) 特性, 两个输入信号的功率为 - 10. 17dBm, 频率分别为 5MHz 和 6MHz, 测得三阶交调信号 - 70. 2dBm, 据此可以估算出输入三阶交调截点为 19. 85dBm.

图 10 是频谱分析仪 Agilent-8563 给出的噪声特性, 在通带内基本为白噪声, 频谱密度为 - 142dBm/ Hz, 通带积分噪声为 - 72. 5dBm.

5 结论

本文采用 TSMC-0. 25 μ m 1P5M CMOS 工艺设

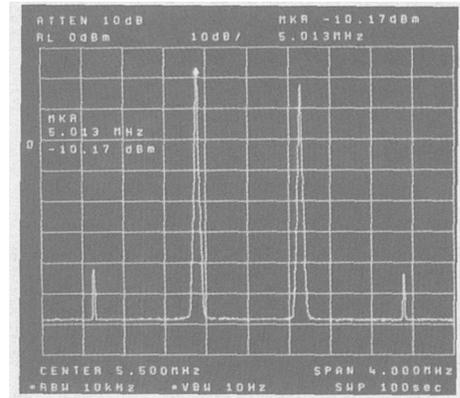


图 9 双音输入情况下滤波器的三阶交调特性

Fig. 9 Measured 3rd order inter-modulation characteristic of filter using two tones

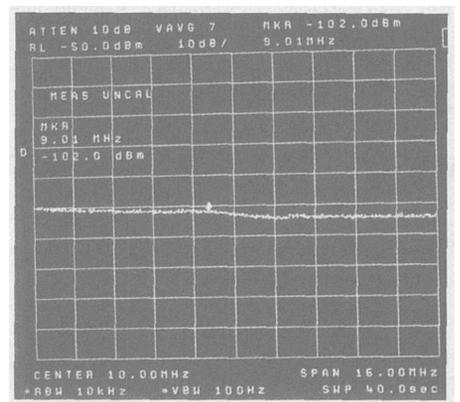


图 10 滤波器的噪声特性

Fig. 10 Measured noise characteristic of filter

计适用于无线局域网收信机的 4 阶切比雪夫滤波器, 为消除由于工艺偏差造成的截止频率偏差, 提出数字控制在片频率调谐电路. 芯片测试结果如表 1 所示, 该设计完全满足收信机对滤波器的指标要求.

表 1 芯片的总体性能

Table 1 Summary of measured results

工艺	TSMC-0. 25 μ m
芯片面积	1.0mm \times 1.2mm
电源电压	2.7 ~ 3.3V
功耗	11. 9mW
截止频率(调谐锁定时)	9MHz
阻带抑制	< - 20dB @20MHz < - 40dB @30MHz
噪声	< - 142dBm/ Hz
IMD3	< - 70dBm @Pin1 = Pin2 = - 10dBm

致谢 感谢清华晶芯微电子有限公司和美国 RFIC 公司对芯片制造的资助.

参考文献

- [1] Ma Dequn , Cui Fuliang , He Jie , et al. Design considerations and implementation for low power transconductance-capacitance filter with on-chip automatic tuning. Chinese Journal of Semiconductors ,2004 ,25 (9) :1186 (in Chinese) [马德群,崔福良,何捷,等.低功耗自适应跨导-电容带通滤波器电路实现.半导体学报,2004,25(9):1186]
- [2] Silva-Martinez J , Steyaert M , Sansen W. High performance CMOS continuous-time filters. Boston: Kluwer Academic Publisher ,1993
- [3] Chang Z Y , Haspelagh D , Verfaillie J. A highly linear CMOS G_m -C bandpass filter with on-chip frequency tuning. IEEE J Solid-State Circuits ,1997 ,32 (3) :388
- [4] Silva-Martinez J , Steyaert M , Sansen W. A 10.7MHz 68dB SNR CMOS continuous-time filter with on-chip automatic tuning. IEEE J Solid-State Circuits ,1992 ,27 (12) :1843
- [5] Huang Q T. A MOSFET-only continuous-time bandpass filter. IEEE J Solid-State Circuits ,1997 ,34 (8) :147
- [6] Razavi B. Design of analog CMOS integrated circuits. Boston: McGraw-Hill ,2001
- [7] Harrison J , Weste N. A 500MHz CMOS anti-alias filter using feedforward op-amps with local common-mode feedback. IEEE International Solid-State Circuits Conference ,2003
- [8] Durham A M , Hughes J B , Redman-White W. Circuit architectures for high linearity monolithic continuous-time filter. IEEE Trans Circuits Syst : Analog and Digital Signal Processing ,1992 ,39 (9) :651
- [9] OPA2354 , OPA356 Datasheet. USA : TI Inc ,2004
- [10] HP8753ES user guide. USA : HP Inc ,1992

9MHz Active-RC Filter with On-Chip Digital Controlled Frequency Tuning

Wu Ende , Yao Jinke , and Wang Zhihua

(Department of Electronic Engineering , Tsinghua University , Beijing 100084 , China)

Abstract : This paper discusses a 4th order Chebyshev active-RC filter for a zero-IF receiver of wireless-LAN and ,to avoid variance of technology and environment effects on cut-off frequency ,proposes an on-chip digital controlled frequency tuning circuit. The filter is fabricated by TSMC-0.25 μ m 1P5M CMOS technology. Measurement results show that when tuning locked ,the cut-off frequency of the filter is 9MHz ,the passband gain is 0dB with ripple less than 1dB ,the rejection at 30MHz is less than -40dB ,the noise in pass-band is less than -142dBm/Hz ,and when the power of both input signals are -10dBm ,3rd intermodulation is less than -70dBm.

Key words : active RC filters ; on-chip frequency tuning ; WLAN

EEACC : 1270E ; 1285 ; 2570D

Article ID : 0253-4177 (2005)06-1250-05

Wu Ende male ,was born in 1973 ,PhD candidate. His research interests include RF and analog integrated circuits design.

Yao Jinke male ,was born in 1973 ,PhD candidate. His research interests include design of continuous-time filters.

Wang Zhihua male ,was born in 1960 ,PhD ,professor. His research interests include design and testing of integrated circuits ,optimization technique in CAD.

Received 11 September 2004 ,revised manuscript received 19 October 2004

©2005 Chinese Institute of Electronics