第 23 卷第 11 期　　半 导 体 学 报　　Vol. 23, No. 11
2002 年 11 月　　CHINESE JOURNAL OF SEMICONDUCTORS　　Nov., 2002

超深亚微米集成电路中的互连问题——低 k 介质与 Cu 的互连集成技术

王阳元　康晋锋

(北京大学微电子学研究所, 北京　100871)

摘要: 半导体集成电路技术的发展对互连技术提出了新的需求, 互连集成技术在近期和远期发展中将面临一系列技术和物理限制的挑战, 其中 Cu 互连技术的发明是半导体集成电路技术领域中具有革命性的技术进展之一, 也是互连集成技术的解决方案之一. 在对互连集成技术中面临的技术与物理挑战的特点和可能的解决途径概括性介绍的基础上, 重点介绍和评述了低 k 介质和 Cu 的互连集成技术及其所面临关键的技术问题, 同时还对三维集成互连技术、RF 互连技术和光互连技术等 Cu 互连集成技术之后的可能的新一代互连集成技术和未来互连技术的发展趋势给予了评述和展望.

关键词: 互连集成技术; 互连的限制和挑战; 低 k 介质; Cu 互连; 三维集成互连; RF 互连; 光互连

EEACC: 2570

中图分类号: TN405.97　　**文献标识码**: A　　**文章编号**: 0253-4177(2002)11-1121-14

1　半导体集成电路技术的发展和对互连的需求

自半导体集成电路技术发明以来, 集成电路产业一直以指数增长率迅猛发展, 集成电路产业的迅猛发展得益于半导体集成电路技术的不断更新换代. 集成电路技术的进步和更新换代是以所加工的最小线条尺寸(称之为特征尺寸)的缩小、硅片尺寸的增加和芯片集成度的增加为标志的. 其中特征尺寸的缩小最为关键, 因此, 集成电路技术时代以其所加工的特征尺寸来称谓. 器件尺寸的缩小和芯片集成度的提高, 一方面使器件和电路的性能得到提高, 另一方面使单位电路功能的生产成本下降, 这是推动微电子集成电路技术能够按指数规律发展的原动力. 目前, 集成电路技术已经发展到 0.15~0.13μm 技术时代. 按照国际半导体工业协会 2001 年修订发布的"国际半导体技术发展规划"(International Technology Roadmap for Semiconductors)[1], 到 2005 年半导体集成电路技术将进入 100nm 技术时代, 到 2014 年将进入 35nm 技术时代. 特征尺寸的缩小在使器件门延迟减小的同时, 也使得互连性能降低, 这是因为特征尺寸的缩小将导致互连引线横截面和线间距的减小, 电阻、电容、电感引起的寄生效应将会严重影响电路的性能, 包括信号传输延迟的增加和信号传输畸变显著.

为了解决互连引线电阻随特征尺寸缩小而显著增加的问题, 互连引线系统一般采用高纵横比的引线设计, 即增加引线金属层厚度的方法, 但由此可能会带来互连引线间串扰的增加. 实际上, 当集成电路技术发展到深亚微米技术时代以后, 互连已成为确定集成电路性能、封装密度、可靠性、制造产率和成本的最重要因素之一. 当集成电路进入到纳米技术时代时, 互连将成为制约集成电路性能提高和成本下降的主要因素. 需要指出的是, 随着技术的进步和特征尺寸的缩小, 互连引线的线间距和互连的密度增加, 同时所需的互连引线的层数也增加, 如图 1 所示[2].

互连延迟随着集成电路技术的进步, 在集成电路系统延迟中所占的比例越来越大, 从 250nm 技术开始, 互连延迟已超过器件的门延迟, 成为主要的系统延迟因子(如图 2 所示). 集成电路中的互连, 从其

2002-07-10 收到

©2002 中国电子学会

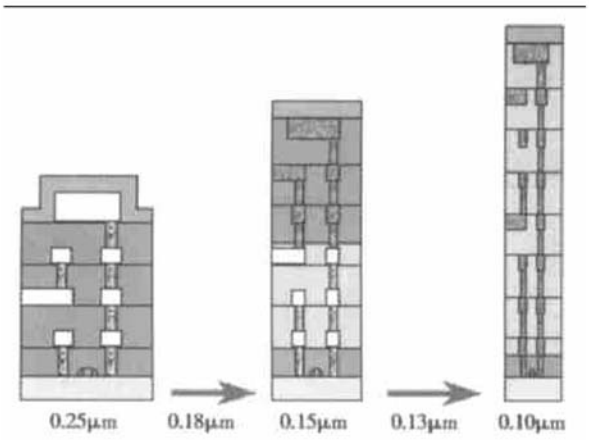

图 1 集成电路技术时代从 0.25μm、0.15μm 变化到 0.1μm，其所需的互连引线层数从 4 层、6 层增加到 8 层[2]

Fig. 1 A schematic cross section view of interconnect technology evolvement at different generations from 0.25μm to 0.10μm[2]

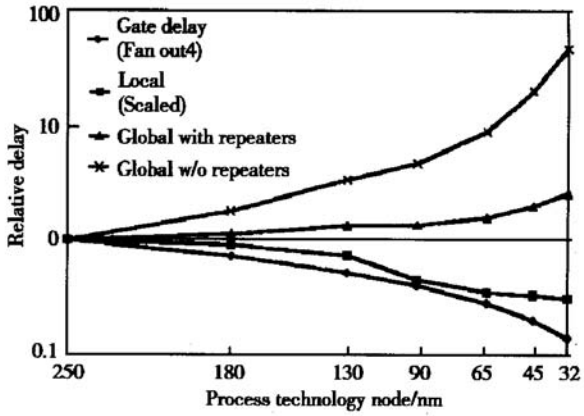

图 2 互连延迟与技术时代(特征尺寸)的依赖关系[1]

Fig. 2 Delay for local and global wiring versus feature size[1]

线长和功能方面划分，可分为全局互连、中级互连、局域互连三种. 局域互连为一个执行单元或功能模块内的栅和晶体管提供互连，通常位于互连金属引线层的第一及第二层内；中级互连是为功能模块内的时钟信号等传输距离较长的信号提供互连的，其典型长度为 3~ 4mm；全局互连是为功能模块之间的时钟和信号提供互连引线的，其长度常达芯片周长的二分之一，通常位于互连引线层的最上一层或二层. 在实际的互连系统设计中，局域互连由于长度很短，互连延迟很小，通常选择很细的尺寸设计(特征尺寸)；而中级互连相对较长，为了减小其互连延迟，提高集成度，其引线尺寸较局域互连线的要宽和高；由于全局互连很长，因此它是主要的互连延迟因素，其尺寸要采用宽的尺寸设计以尽可能减小其互连延迟. 而且，随着技术的进步，在全局互连中需要引入缓冲驱动器(buffer or repeater)来减小互连延迟，但由此将带来功耗和芯片面积的增大. 图 2 示出不同技术时代的门延迟和互连延迟数据[1].

当集成电路技术的发展进入到亚 100nm 技术时代以后，微电子技术将面临着两个方面即器件和互连技术的挑战[3]. 对于器件(如 CMOS 技术)来说，这些挑战包括：漏感应的势垒降低效应(DIBL, drain-induced-barrier lowering)、栅介质的直接隧穿效应(gate direct tunneling)、迁移率降低效应(mobility degradation)以及可靠性等问题；而对于互连技术来说，导线电阻率的降低、新型互连材料的集成、互连引线和通孔(via) 图形的加工、芯片平坦化的控制和高可靠性等方面的实现将是严峻的挑战. 需要指出的是，对于器件，一旦所面临的问题得到解决，器件尺寸缩小后带来的是器件门延迟的减小和性能的提高；而对于互连来说，即使尺寸缩小所带来的技术和物理问题能够得到很好的解决，但尺寸缩小后带来的将是单位长度互连延迟的增加和互连性能的降低，这是互连技术不同于器件技术的特点之一.

随着工作频率的增加，电感效应将增加，为此需要增加新的金属或接地层来屏蔽电感. 随着电源电压的减小，时钟和信号引线层的串扰成为一个重要问题. 设计者正在采用在每一层导电层中增加线的间距和厚度的引线体系方案来减轻互连延迟对性能的影响.

2 互连集成技术的挑战

随着集成电路技术的发展，对互连集成技术不断提出新的要求. 在未来的互连集成技术的发展中，将面临一系列的挑战. 这些挑战，包括近期和远期两个方面.

互连技术中所面临的技术和物理限制的挑战主要有[3]：

(1) 基本的物理极限，包括信号传输速度极限、传输信号的能量极限和噪声极限. 信号传输速度极限起源于信号的传输速度不可能超过光速 c，因此，信号对于相互间距离为 L 的发射器和接收器，其间

信号传输的时间 $\tau > L/c$. 传输信号的能量极限来自于 Shannon 通讯定理的限制, 即在一个信号通道中, 能够容纳的信号通讯能力存在一个极大值. 按照 Shannon 通讯定理, 可以推导出, 为保证信号的正确传输, 信号最小电压为 $V_{dd,min} = \frac{2E}{q} = \frac{2kT\ln 2}{q} \approx 0.036V$. 热噪声极限产生的原因是, 在数字电路中, 为了保证数据的正确接收, 二进制数间的转换能量需要高于热噪声能量, 由此给出对电路最小高电平值 V_n 的限制: $V_n = \left(\frac{\mu_0}{\epsilon_0}\right)^{1/4}\sqrt{\frac{4kT}{T_{rise}}}$, 其中 μ_0 和 ϵ_0 分别是真空磁导率和介电常数, k 为 Boltzmann 常数, T 是绝对温度, T_{rise}是接收器的带宽.

(2) 材料的限制. 因为介质介电常数最小值为 1, 同时导体的特征尺寸在小于 50nm 时, 由于量子效应和结构效应等引起的散射作用, 使得其电导率性能显著下降, 从而限制了互连性能的改善. 在 50nm 技术时代, 特征尺寸效应如电子的表面散射会增加有效电阻率, 因此可能会需要发展新的导体技术.

(3) 器件和电路的限制. 随着器件特征尺寸的缩小、电路集成度和工作速度的提高, 器件和电路的速度及串扰的性能将遭遇电阻、电容和电感效应的影响. 为了减小电阻效应, 可以采用高纵横比截面尺寸的设计, 但由此会带来电容和电感的增加. 同时, 随着器件和电路速度的提高, 电容和电感效应也变得显著, 因此这些本征的又互为矛盾要求的效应将对器件和电路提出限制.

(4) 系统的限制. 来自于系统级的延迟不仅包括传输信号的相位延迟, 还包括由于信号传输损耗引起的信号畸变延迟. 为了克服来自于系统级的限制, 需要在系统的结构等方面提出改进, 如采用三维器件集成的系统结构, 或发展新的互连模式, 如光互连、RF 互连、垂直集成互连等新的互连技术, 或者在系统的设计和封装技术方面进行创新.

近期的挑战(1999~ 2005 年), 主要来自于新的互连材料及其集成技术的快速引进、互连线特征尺寸的控制、互连结构和工艺的可靠性问题等. 与低 k 介质结合的 Cu 互连技术是主要的研究课题. 在 Cu 互连技术中, 新的低 k 介质和金属/势垒层/籽晶层的 CVD 淀积、界面污染和粘附性、力学和电学参数的稳定性和可经受的热过程(thermal budget) 是主要的技术特征. 这些技术需求由于被不同功能的互连金属层混合在一起, 使得互连复杂性控制变得非常困难; 而对于尺寸控制, 无论是在当前或未来的技术中, 都是一个关键的问题. 为了实现好的尺寸控制性能, 通常需要高性能的检测技术, 包括高效检测高纵横比结构的图形和在线检测粘附性和缺陷等技术.

在远期的技术时代中, 将需要新的设计或技术解决方案(如共平面波导、自由空间 RF、光互连) 来克服传统互连的性能限制. 随着工作频率的增加, 电感效应增加, 需要增加新的金属或地平面层来屏蔽电感. 随着电源电压的减小, 时钟和信号引线层的串扰成为一个问题; 设计者正在采用在每一层导电层中增加线的间距和厚度的引线体系方案来减轻互连延迟对性能的影响.

随着新材料如多孔低 k 介质和 CVD 金属的引入, 尺寸控制在高密度间距、高纵横比互连层加工中变得越来越关键. 在 20~ 50nm 技术时代, 特征尺寸效应如电子的表面散射会增加有效电阻率, 因此可能会需要发展新的导体技术. 在未来的芯片技术时代, Cu 与低 k 材料仍将会得到应用, 但对全局互连来说, 通过引入新材料来改善系统互连的性能已不能满足集成电路技术进一步发展的要求, 需要发展新的互连模式, 如光互连、RF 互连、三维集成互连等新的互连技术, 同时需要在设计和封装技术方面进行创新.

3　Cu 与低 k 介质互连集成技术

采用新的低电阻率金属互连材料和低介电常数互连介质材料(称为低 k 介质材料) 是提高互连性能的有效途径之一. 基于大马士革结构(Damascene) 的 Cu 互连技术的发明是互连技术研究方面的一个重大突破, 也是微电子技术领域的一次具有革命性的技术进步.

在所发现的导电材料中, 金属 Cu 是除了超导体外电导率最高的两种金属材料之一; 此外, 由于 Cu 比 Al 有更好的电迁移特性, 因此, Cu 互连技术的应用将改善集成电路的可靠性. 利用 Cu 作为互连金属材料替代传统的 Al 是人们一直希望实现的目标. 但由于一些关键的问题一直得不到很好的解决, Cu 互连技术研究进展缓慢, 以至许多人曾悲观地认为, 在集成电路中 Cu 互连技术可能是无法实现的. 问题之一是 Cu 的污染问题. Cu 是半导体的深能级杂质, 对半导体中的载流子具有强的陷阱效

应, 同时 Cu 在 SiO_2 介质中的扩散很快, 从而使 SiO_2 的介电性能严重退化; 另一个问题是 Cu 引线图形的加工问题, 由于一直难以找到可以刻蚀 Cu 金属薄膜材料的化学剂和刻蚀手段, 而仅仅利用传统的互连加工工艺, 一直难以实现 Cu 的互连引线图形加工.

Cu 互连集成技术的突破是随着化学机械抛光(chemical mechanical polishing, CMP) 技术的发明、大马士革工艺结构的提出和势垒层材料技术的发展而取得的. 人们研发出可以阻挡 Cu 扩散的势垒层材料技术成功地解决了 Cu 污染问题; 而大马士革结构与 CMP 技术结合, 成功地解决了 Cu 引线图形的加工问题. 如图 3(a) 所示, 在传统的 Al 互连工艺技术中, 互连引线的图形加工是: (1) 首先在介质层上淀积金属层 Al; (2) 然后光刻形成互连引线的光刻胶掩膜图形; (3) 以光刻胶作掩膜, 刻蚀形成金属互连引线的图形. 与之相对应的是如图 3(b) 中示出了 Cu 引线图形的加工工艺: (1) 首先在介质层上利用光刻胶加工形成互连引线图形; (2) 以光刻胶作掩膜对介质层刻蚀形成沟槽型的互连引线图形; (3) 去掉光刻胶; (4) 在沟槽中淀积一薄的势垒层材料后, 再将金属 Cu 淀积填充到沟槽中; (5) 利用化学机械抛光将沟槽外的 Cu 磨蚀掉, 形成互连线图形; (6) 最后, 在 Cu 的 CMP 工艺之后再淀积一层势垒层材料, 从而将铜连线包封起来. 显然, CMP 技术和势垒层技术方面的发明为 Cu 互连技术的突破提供了技术方面的基础, 而具有技术创新方案的大马士革结构工艺的提出, 是 Cu 互连技术得以实现的保证. Cu 互连集成技术的发明在集成电路工艺技术方面是一项具有里程碑性质的进步, 是工艺材料技术的进步与创新技术方案相结合的产物.

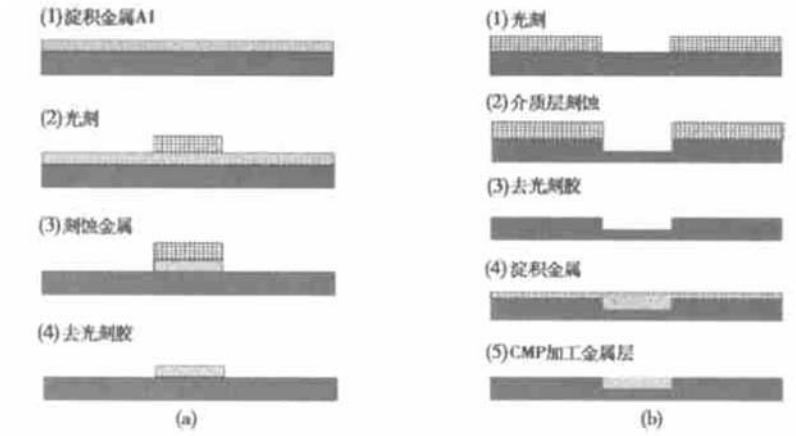

图 3 传统的 Al 互连工艺与大马士革结构的 Cu 互连工艺示意图

Fig. 3 Schematics of conventional Al interconnect structure and Damascene structure

由于低的电阻率, 利用 Cu 取代 Al 可使互连延迟减小 40%, 而低 k 介质材料的应用可使互连电容降低, 因此 Cu 和低 k 介质互连材料的采用, 在不改变设计规则的前提下, 可使互连的性能得到很大的改善. 此外, 采用了双大马士革结构的 Cu 互连集成工艺, 实现了连接通孔和互连引线的同时淀积, 因而减少了互连工艺步骤和时间, 这使制造成本得以降低. 当集成电路技术推进到 0.18μm 技术时代以后, 铜互连集成技术将成为半导体制造厂家需要面对的技术挑战之一[4], 而当技术进步到 0.13μm 以下技术时代时, 低 k 介质的采用也将成为重要课题[5], 因此, 应用低 k 互连介质层的铜互连集成技术已成为目前必须要发展的新型互连技术.

下面我们将首先介绍双大马士革结构的工艺集成方案和主要的工艺流程, 然后对 Cu 互连关键技术问题给予介绍和评述.

3.1 Cu 互连的双大马士革集成技术方案和工艺流程

双大马士革结构(dual Damascene) 工艺是 Cu 互连集成技术将普遍采用的工艺方案, 具有互连引线(wiring) 沟槽与互连通孔同时淀积填充的特点, 而且只需进行导电金属层的 CMP 工艺. 图 4 示出一种典

型的双大马士革结构 Cu 互连集成工艺流程图.

具体工艺步骤为: (1) 在前层的互连层平面上淀积一薄的刻蚀停止层, 如 SiN; (2) 淀积厚的互连介质层材料, 如 SiO_2 或低 k 介质材料; (3) 光刻形成引线沟槽的光刻胶掩膜图形; (4) 以光刻胶作掩膜在介质层上刻蚀形成引线沟槽; (5) 去光刻胶掩膜; (6) 光刻形成通孔的光刻胶掩膜图形; (7) 以光刻胶作掩膜刻蚀通孔, 由于刻蚀停止层高的刻蚀选择性, 通孔刻蚀过程将在停止层自动停止; (8) 除去光刻胶掩膜; (9) 除去刻蚀停止层; (10) 利用清洁工艺, 在有效清洁 Cu 金属表面的氧化层和介质通孔、沟槽和表面的刻蚀残留(主要是 Cu 离子) 后, 溅射淀积金属势垒层和 Cu 籽晶层; (11) 利用电镀等工艺进行填充淀积直至通孔和沟槽中填满 Cu 为止; (12) 利用 CMP 去除沟槽和通孔之外的 Cu, 在进行有效清洁后淀积介质势垒层材料, 然后开始下一互连层的制备.

图 5 示出 IBM 利用亚 0.25μm 技术制备的 6 层 Cu 互连的表面和剖面结构图.

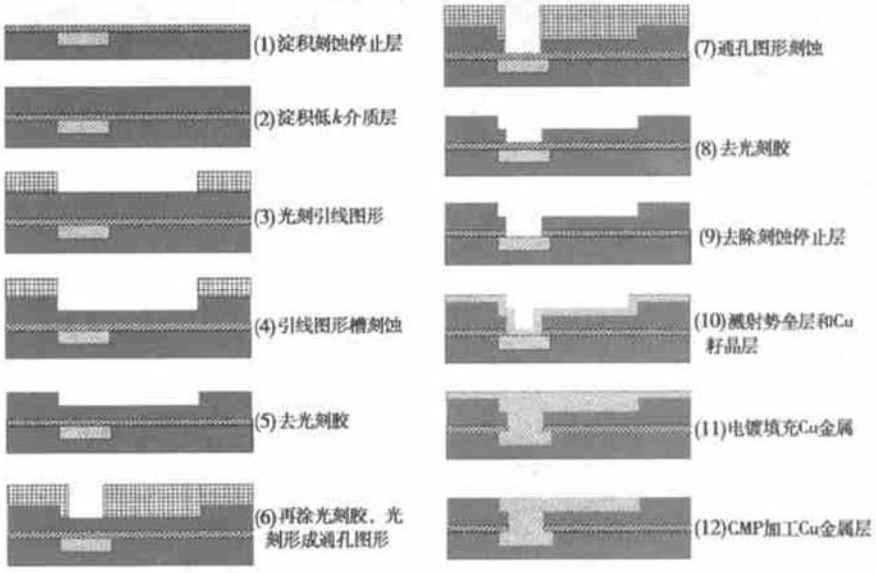

图 4　自对准的双大马士革结构工艺流程图

Fig. 4　Typical process flow of self-aligned dual Damascene interconnect

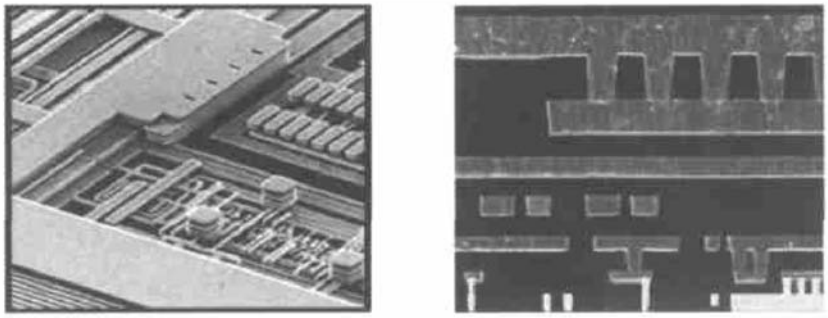

图 5　IBM 利用亚 0.25μm 技术制备的 6 层 Cu 互连结构表面和剖面结构图

Fig. 5　Top and cross views of 6 levels Cu interconnect wiring layers fabricated with 0.25μm technology by IBM

3.2　铜互连集成技术中的关键技术问题

在大马士革结构的 Cu 互连集成工艺中的关键的技术主要有: (1) 双大马士革结构的形成技术; (2) Cu 金属淀积技术; (3) 低 k 介质材料技术; (4) 势垒层材料技术; (5) Cu 的 CMP 平整化技术; (6) 低 k 介质和 Cu 互连技术中的可靠性问题.

3.2.1　双大马士革结构的形成技术[4]

双大马士革结构的Cu互连技术中,通孔和引线沟槽填充淀积同时进行,在填充淀积Cu金属层以前,需要首先形成互连通孔和引线沟槽结构.目前有多种工艺方案形成该结构,不同的方案对工艺和性能有不同的影响,因此需要对此进行优化设计,从工艺设计角度考虑,希望结构的形成方案对光刻的对准误差不敏感.由于在0.18μm及其以下技术中,设计通孔与互连引线时,尺寸之间是没有相互包容的,即在交叉部分通孔与沟槽具有相同的尺寸.这意味着,光刻工艺的套刻和对准误差,将会造成通孔与互连引线之间图形的不完全重叠,如图6所示.这种通孔与引线的不完全重叠有可能造成通孔电阻的增加或产率的损失,因此,双大马士革结构的形成技术方案需要对这种不重叠现象有较高的容限.目前人们提出的工艺实现方案主要有:自对准的双大马士革结构工艺(self-aligned dual Damascene)、通孔先形成的双大马士革结构工艺(via first dual Damascene)和沟槽先形成的双大马士革结构工艺(trench first dual Damascene)[4].

自对准的双大马士革结构工艺流程的主要优点是对通孔图形和引线沟槽图形的光刻都是在平整平面内进行,因而容易光刻.但在介质层刻蚀过程中会带来如下一些问题:在同时满足好的CD控制和高的刻蚀选择性方面,工艺窗口较窄;通孔和引线沟槽图形的光刻对套刻误差的敏感性高;尽管通过优化设计可使这种敏感性降低,但由此需要增加中间的SiN停止层的厚度,使线间电容增加.

通孔先形成的双大马士革结构(VF)工艺流程是在淀积介质层后,首先刻蚀形成通孔图形,然后再进行互连引线沟槽的光刻和刻蚀.该结构的优点是较自对准的大马士革结构有较大的工艺容限,由于是先刻蚀形成通孔,通孔的尺寸不受套刻误差的影响,因此通孔电阻没有增加.VF结构工艺需要解决的问题是:(1)在进行高纵宽比(aspect ratio)通孔刻蚀时,刻蚀工艺对薄的刻蚀停止层需要有高的选择性;(2)由于在介质层中没有引入中间停止层,所以在进行引线沟槽刻蚀时,会在引线与通孔图形交叠处形成小的台面结构.

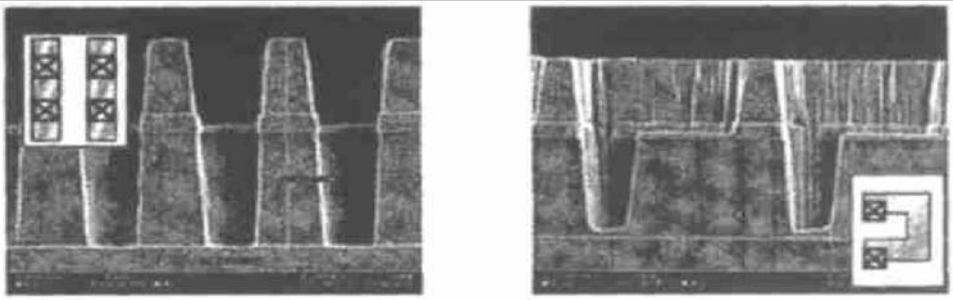

图6 自对准的双大马士革结构的线沟槽与通孔在对准和不对准情形下对加工工艺的影响 左图为完全对准的情形,右图为存在不对准误差的情形[4].

Fig.6 Sensitivity of the self-aligned dual Damascene scheme to via/line misalignment No misalignment (left), bottom nitride not reached with 30% overetch for 120nm misalignment (right)[4]

引线沟槽先形成的双大马士革结构(TF)的工艺流程与VF结构的工艺过程正好相反,即首先刻蚀形成引线沟槽图形,然后再进行通孔图形的光刻和刻蚀.由于TF结构是首先刻蚀形成沟槽,因此在对通孔图形进行光刻时,会带来技术上的困难.这主要是因为在对通孔图形光刻时,由于引线沟槽的存在,很容易造成光刻胶表面的不平整,这种不平整会造成曝光光束与光刻胶表面的不垂直,会引起曝光光束的折射,这种折射会在光刻胶掩膜上形成倾斜的孔洞.这在通孔的各向异性刻蚀中会降低加工尺寸CD控制.

3.2.2 Cu金属淀积技术

Cu金属的淀积是Cu互连技术中重要的工艺,主要用于对通孔和沟槽的填充,它不仅影响到互连的可靠性,而且对通孔和沟槽中Cu的电导率有影响.Cu薄膜的淀积方法有多种,包括物理气相淀积(physical vapor deposition, PVD)、化学气相淀积(chemical vapor deposition, CVD)、电镀(electroplating)、化学镀(electroless-plating)等多种方法.选择Cu淀积填充工艺,需要满足:(1)实现无空洞

的通孔和沟槽填充淀积; (2) 淀积的 Cu 薄膜具有低且稳定的电阻率; (3) 不会造成后步工艺的 Cu 污染; (4) 具有好的电迁移特性.

在大马士革结构的 Cu 互连集成工艺中, 目前采用的淀积方法是, 首先利用 PVD 技术中的溅射方法, 淀积一薄的势垒金属层和 Cu 的籽晶层, 然后利用电化学(电镀或化学镀) 或 CVD 的方法进行 Cu 金属的通孔和沟槽填充, 经过约 400℃退火后, 进行 Cu 的 CMP 和清洁工艺. Cu 籽晶层是为了满足利用电镀或化学镀方法大规模填充 Cu 的需要而淀积的. 基于保证通孔和沟槽有理想的图形结构, 溅射淀积势垒层和籽晶层时要求是保形淀积. 为了保证有高的淀积速率, 在对通孔和沟槽的填充时均采用 CVD、电镀或化学镀等高淀积速率的方法. 实验显示, 完全采用溅射方法填充形成的通孔和沟槽中, Cu 由于容易形成空洞, 所以可靠性并不好, 其发生电迁移失效的几率远远大于电镀或化学镀方法. 尽管 CVD 方法是集成电路工艺中最常用的淀积技术之一, 但由于其所淀积的 Cu 的可靠性比用电镀或化学镀方法淀积的要差, 因此在 Cu 互连集成工艺中, 目前普遍采用电镀或化学镀的方法向通孔和沟槽结构中填充 Cu.

为了实现对通孔和沟槽等凹型结构的完全填充, 籽晶层的选择非常关键. 基于保证高的可靠性和产率及低电阻的通孔淀积, 通孔的预清洁工艺、势垒层和籽晶层的淀积工艺, 通常需要在不中断真空的条件下, 在同一个淀积系统中完成.

化学镀方法是一种利用电解液的电化学反应淀积 Cu 薄膜的工艺, 与电镀工艺不同的是无需外接电源, 它是通过金属离子、还原剂、复合剂、pH 调节剂之间在需要淀积的表面进行电化学反应实现 Cu 的淀积.

由于 CVD 技术是集成电路中常用的淀积工艺, 在淀积填充 Cu 时如果采用 CVD 工艺, 比采用电镀或化学镀工艺与 CMOS 工艺有更好的兼容性. 因此, 研究在 Cu 互连集成技术中如何利用 Cu 的 CVD 工艺, 一直是一个研究课题. 然而, 当 CVD 工艺淀积很厚的 Cu 导电薄膜时, 容易形成空洞, 电迁移性能较差, 如何优化制备工艺, 发展无空洞的厚膜淀积工艺, 是 Cu-CVD 工艺的一个重要研究内容.

Cu 填充后的退火工艺非常重要. 研究表明[6], 电镀填充的 Cu 金属层存在自退火效应, 该效应可导致 Cu 薄膜的电阻率下降 18%～20%, 对电镀淀积后 Cu 薄膜进行退火处理, 观察到了类似的现象. 进一步的研究表明, 电镀 Cu 薄膜的电学和力学性能与其微结构有关, 性能稳定的电镀 Cu 薄膜与其最终形成的稳定微结构有关. 实验显示, 为了使电镀淀积的 Cu 的方块电阻、表面硬度和 CMP 的磨蚀率等性能达到稳定, 需要经过高于 150℃的退火温度和 60s 以上的退火过程.

3.2.3　低 k 介质材料及其淀积技术

Cu 互连的低 k 介质层材料中一般包括低 k 介质层材料、刻蚀停止势垒层材料. 所谓的低 k 介质材料是指介电常数比 SiO_2 低的介质材料. 采用低 k 互连介质, 可以减小 RC 互连延迟, 从而改进集成电路的速度性能. 所谓的刻蚀停止势垒层主要是为了满足低 k 介质层的刻蚀和后步 Cu 的 CMP 工艺需要而引入的介质势垒层材料. 它一方面是作为停止层材料使用, 保证刻蚀或 CMP 过程进行到该层时, 工艺过程停止; 另一方面, 是作为势垒层材料使用, 保护介质层材料不会受到刻蚀和 CMP 工艺及环境因素对低 k 介质性能的影响.

对于低 k 材料, 除了其低的 k 值可以保证获得小的互连电容外, 还需要满足下列条件: (1) 拥有足够好的材料特性, 如好的热性能、好的介电性能和好的力学性能等; (2) 与其它的互连材料如 Cu 及势垒层材料的性质兼容; (3) 能够与 IC 工艺兼容如后步的清洁、刻蚀、CMP、热处理等工艺; (4) 能够高纯度地淀积, 且工艺成本低; (5) 能够在器件特定工作条件下, 在产品寿命期间内高可靠性地工作.

低 k 介质的淀积工艺主要有旋涂工艺(spin on) 和 CVD 工艺. 其中, 旋涂工艺具有工艺简单、缺陷密度比较低、产率高、工艺成本低、易于平整化、无需使用危险气体等优点; 而 CVD 工艺具有与 IC 工艺兼容, 所采用的反应淀积气体材料的成本较旋涂液体材料的成本要低等优点, 其缺点是需要使用价格较高的设备, 适用的材料受到限制等.

目前研究的低 k 介质材料, 按其 k 值的范围可分为三类: (1) $k=2.8\sim3.5$; (2) $k=2.5\sim2.8$; (3) $k\leqslant2.0$, 它们分别满足不同技术时代的需求[7~9].

k 值在 2.8～3.5 之间的低 k 材料, 主要有 HSQ (hydrogen silses quioxanes) 薄膜、氟化的氧化物 (fluorinated oxide films)、低 k 的 SOG 旋涂玻璃 (spin-on glass) 三种材料.

k 值在 2.5～2.8 间的低 k 材料有许多种, 基于旋涂工艺和 CVD 工艺的材料都已经被发展. 其中,

基于旋涂工艺的低 k 介质材料主要有 PAE(poly arylene ether)、含氟的聚酰亚胺(fluoro-polyimides)、BCB(bis-benzocyclobutanes)、有机硅氧烷聚合物(organo-siloxane polymer)等[8,9].

目前研究的 k 值小于 2.0 的极低 k 介质材料主要有多孔型气凝胶薄膜材料、石英气凝胶(porous silica aerogel)薄膜材料和多氟的特富龙薄膜材料(polyfluorotetraethylene, PTFE)等. 多孔型材料主要是多孔石英气凝胶材料, 它有高的热稳定性、低的热膨胀率、好的刻蚀选择性等特点, 成为吸引人的低 k 互连介质的候选者, 而多孔的有机聚合物薄膜也在研究之中. 成功制备极低 k 值($k=1.1$)的多孔石英气凝胶已有报道[10]. 从极低 k 值的介质材料的发展趋势来看, 多孔型有机聚合物材料是有希望的候选者之一.

低 k 介质材料的通孔和沟槽的刻蚀及刻蚀后的清洗问题是低 k 介质材料技术中关键的工艺之一. 对于介质的刻蚀工艺, 要求其: (1) 与低 k 介质材料制备工艺兼容; (2) 对刻蚀停止层材料有高的选择性; (3) 能形成垂直图形; (4) 对 Cu 无刻蚀和腐蚀; (5) 刻蚀的残留物易于清除. 刻蚀的残留物可能是被刻蚀的介质材料, 也可能来源于刻蚀工艺, 它们需要利用清洁工艺有效去除.

低 k 介质刻蚀后的清洗工艺有干法和湿法两种方法, 其清洗机制包括物理和化学清洗两种方式. 物理机制的清洗主要是利用清洗剂如去离子水等对残留物的物理冲刷作用, 清除表面残留物. 化学机制的清洗需要利用清洗剂与残留物的化学反应, 使得残留物形成易挥发或易溶解的产物. 为了获得好的清洗效果, 通常需要物理清洗和化学清洗相结合, 要求清洗工艺既能有效清洁残留物又不对低 k 介质和通孔底层 Cu 表面造成缺陷损伤.

在材料研究取得进展的前提下, 研究低 k 介质在双大马士革结构 Cu 互连的集成工艺, 是低 k 介质/Cu 互连技术的基础. 目前, 这方面的研究已经取得重要进展. 据 IBM 在 2000 年的报道, 它们利用旋涂的有机介质材料 SiLK 作为互连介质层, 已经开发成功了适用于 0.13μm 技术的低 k 介质/Cu 互连集成技术[11]. 利用其他低 k 介质材料集成的 Cu 互连工艺也有所报道, 如 Zhao 报道了利用旋涂的有机介质材料($k=2.2$)作为互连介质的双大马士革 Cu 互连集成技术[12]; 早在 1997 年, 德州仪器(TI)公司就报道了将 k 值为 1.8 的多孔石英气凝胶成功集成到双大马士革结构的 Cu 互连系统的实验结果[13].

3.2.4 势垒层材料技术

势垒层材料包括介质势垒层和导电势垒层两种, 其主要功能包括防止 Cu 扩散和改善 Cu 的附着性, 作为 CMP 和刻蚀工艺的停止层, 保护 Cu 薄膜不受工艺和环境等因素造成的氧化和腐蚀等效应致使其电学性能降低等. 对于介质势垒层材料, 要求它具有低的介电常数、好的刻蚀选择性、好的抗扩散性能. 由于一般介质势垒层材料的介电常数比低 k 介质材料要高, 为了尽可能减小势垒层材料引入而带来的介质电容的增加, 必须采用尽可能低 k 值的势垒层材料. 介质势垒层材料主要有 SiN、SiC、SiOCH、SiONCH 等[14~17]. 基于介质势垒层的作用要求有如下一些特征: (1) 具有低的介电常数, 以减小互连电容; (2) 对刻蚀或 CMP 工艺具有高的选择性, 以满足刻蚀和 CMP 停止层的要求; (3) 具有好的抗 Cu 扩散的性能, 以避免 Cu 离子向介质层扩散; (4) 具有好的抗氧化的能力, 以保护 Cu 薄膜表面不被氧化; (5) 具有保护 Cu 和介质层不受工艺和环境因素影响的能力, 以避免 Cu 和介质层性能下降. 实际上低 k 介质层是一多层结构, 低 k 介质一般是淀积在 CVD 的 SiN 薄膜上, 根据工艺和结构的需要, 往往在低 k 介质层中需要插入介质势垒层, 这些介质势垒层的作用可以防止低 k 介质在工艺过程或环境中吸潮而影响性能.

导电势垒层材料的作用一方面是为了防止 Cu 的扩散, 另一方面则是为了保证有高可靠的电学接触. 作为导电势垒层材料, 要求具有: (1) 保形的通孔和沟槽淀积性能; (2) 好的势垒性能; (3) 低的通孔电阻; (4) 与 Cu 有好的粘附性; (5) 与 Cu 的 CMP 工艺兼容. 目前所研究的导电势垒层材料有 WN、TiN、Ta、TaN、$TaSi_xN_y$ 等[18~21]. 比较而言, TaN 和 Ta 比 TiN 有更好的势垒层特性, 而 TaN 较 Ta 与介质层有更好的粘附性和防 Cu 离子扩散性能.

由于通孔和沟槽淀积金属势垒层和 Cu 籽晶层时, CVD 淀积比溅射方法具有更好的保形淀积特征, 因此, 利用 CVD 方法淀积金属势垒层材料的工艺正在研究. Intel 公司的研究人员最近报道了利用 CVD 方法淀积 WN、TaN、TiN 的研究结果[21]. 结果显示, CVD 淀积的金属势垒层较溅射势垒层材料有更好的成核结晶性能和较为平整的表面, 并改善了粘附性.

3.2.5　CMP 平坦化技术

Cu 的 CMP 是一个关键技术. CMP 技术主要是为了满足半导体集成电路制造中平坦化需要而发明的工艺技术, 其基本工艺元素是磨盘和磨料. 磨盘由浇铸的聚亚安酯(polyurethane) 等薄片构成, 磨盘的硬度和孔度是其重要参数. 在许多情况下, CMP 中往往要两个磨盘同时使用, 其中较硬的磨盘能形成好的局部平整度, 而较软的磨盘可提供大面积的磨蚀均匀度. 对于磨料来说, 要求具有高的磨蚀率、好的平整度、局部的薄膜均匀性、高的选择性. 磨料中包含有反应剂(氧化剂) 和摩擦剂. 摩擦剂颗粒的硬度一般要与所磨蚀的材料有粗略相同的硬度. 磨料的化学成份及其酸碱度、摩擦剂颗粒的尺寸、形状、浓度等是重要的参数. CMP 的基本工艺过程是利用电机装置推动磨盘并辅以稀释的磨料, 通过磨盘的力学作用和磨料的化学作用首先使被磨抛的材料表面形成易于磨蚀的薄膜层, 然后利用磨料中摩擦剂(一些硬度高的微细颗粒) 的摩擦作用磨蚀掉. CMP 技术中磨盘、磨料与被磨抛材料之间的相互作用机制非常复杂, 具体的物理、化学和力学作用机制目前尚不清楚. 目前, 一般认为, 对金属进行 CMP 的机制是, 首先在金属薄膜表面形成氧化物, 然后利用 CMP 磨料中的摩擦剂将形成的氧化物磨蚀掉. 为了保证尽可能高的加工效率和尽可能小的工艺缺陷, 磨盘材料和磨料配比成份需要精心选择, 对不同金属进行 CMP 所需的磨盘材料、磨料成份往往有很大不同.

在大马士革结构的 Cu 互连技术中, 对 Cu 的 CMP 是一个较大的技术挑战. Cu 的 CMP 工艺要求满足: (1) 对 Cu 的磨蚀损伤很小; (2) 对介质和 Cu 无腐蚀; (3) 对小尺寸图形不敏感; (4) 在金属和介质界面有好的工艺停止特性.

为了防止 Cu 对其他材料的污染, 互连 Cu 引线和通孔需要用扩散势垒层材料如金属 Ti、Ta 或其氮化物 TaN、TiN 包封起来. 然而, 由于 Cu 本身很软, 又容易氧化, 需要采用弱氧化剂和弱的摩擦剂, 而 Ta 却非常坚硬, 又不容易氧化, 需要采用强氧化剂和强摩擦剂, 因此, 在 CMP 过程中, 由于 Cu 和势垒层材料不同的电化学反应, 同时对 Cu 和 Ta 进行 CMP 将造成显著的磨痕缺陷. 此外, 在 CMP 工艺中, Cu 与势垒层材料之间的电化学反应也是一个问题. 两种差异很大的金属利用电解方法同时形成电学接触时由于阳极腐蚀会使沟槽中被势垒层包封的 Cu 暴露出来, 而暴露出来的 Cu 会被 CMP 刻蚀掉而产生缺陷单元. 为了解决这些问题, 一般需要采用多步 CMP 工艺. 在多步 Cu 的 CMP 工艺中, 需要应用多种 CMP 磨料, 不同的磨料对不同的材料有不同的刻蚀率和刻蚀选择性. 通过改进磨盘材料和磨料的配比成份, 以减少 CMP 步骤对 Cu 的缺陷损伤, 特别是减小磨料对 Cu 的腐蚀是 Cu 的 CMP 技术研究的重要课题.

在 Cu 的 CMP 过程中, 各种缺陷如磨痕(dishing) 缺陷、磨蚀(erosion) 缺陷、腐蚀(corrosion) 缺陷、划痕(scratch) 缺陷、凹陷(pitting) 缺陷都有可能发生[2]. 为了减小 CMP 工艺对 Cu 薄膜的损伤缺陷, 各种优化的 CMP 被研究和发展[22, 23].

在 Cu 的 CMP 中, 工艺后的清洁问题也是一个重要的问题. CMP 过程不可避免地会引入污染, 这些污染包括残留的磨料成份、磨蚀掉的金属残留物等. 这些污染, 必须有效地去除, 尤其是对 Cu 离子的污染必须完全去除, 否则将会对集成电路的性能、可靠性和产率产生严重的影响. CMP 的后步清洗工艺需要在有效地清除磨料中残留的颗粒、有机物、金属离子等工作残留物的同时, 又不引进新的缺陷. CMP 的后清洗工艺一般需要采用双边毛刷擦洗与去离子水冲洗相结合的方法进行, 在毛刷擦洗过程中, 需要辅以合适的清洗液, 才能达到理想的清洗效果. 需要指出的是, Cu 互连的 CMP 清洗工艺不能在生产工艺线的超净间进行, 以免造成 Cu 离子对设备的污染. 所以 Cu 制作工艺往往有单独的超净车间.

3.2.6　低 k 介质和 Cu 互连集成技术中的可靠性问题

低 k 介质与 Cu 的互连集成技术中, 可靠性也是一个非常重要的问题. 可靠性的研究涉及到电迁移、应力迁移、热循环稳定性、介电应力、热导率等问题.

互连介质层材料, 包括低 k 材料、防止 Cu 扩散的介质势垒层材料、刻蚀停止层材料, 其可靠性问题涉及的是在高的电压应力、高的温度循环应力、介质导热对介电性能的影响. 对于互连介质材料来说, 希望尽可能低的介电常数和尽可能高的击穿特性. 互连介质的可靠性特征通常与材料性质、制备工艺、材料和工艺的兼容性密切相关. 研究介质的失效机制对材料的选择和制备工艺的优化具有重要的指导意义; 而研究所选用的材料和制备工艺能否满足电路

可靠性的要求,是低 k 介质集成技术必须要研究的问题.对于互连介质材料来说,必须保持稳定的电学性质,如平带电压和泄漏电流.其中研究在高的电压应力和温度循环应力的作用下,介质材料的 C-V 和 I-V 特性的变化是研究其电学稳定性的常用手段[16,24].研究互连介质层 Cu 的污染、应力迁移、温度循环、时间依赖的介电击穿(TDDB)特性是分析互连介质层可靠性的常用手段[25].

对于 Cu 互连线(包括通孔互连线和沟槽互连线)的电迁移和应力迁移特性、温度循环应力的影响是可靠性研究的主要内容[26~28].Cu 的电迁移失效研究表明,Cu 比 Al 的电迁移寿命提高了至少一个数量级.通孔和沟槽引线中的空洞形成是造成电迁移失效和应力迁移失效的重要因素,通孔中空洞的形成与其底部的 TaN 势垒层与 Cu 界面的缺陷有关.在无空洞的情形下,电迁移失效的位置主要发生在通孔的底部,通孔抗电迁移的能力受 Cu 互连后步工艺影响很大.通过优化通孔结构和后步工艺可以大大改善电迁移特性.研究表明,在淀积 Cu 的过程中避免空洞的形成,是避免电迁移失效的重要因素.

4 新一代的互连集成技术

集成电路技术的进一步发展对互连性能提出更高的要求,仅仅通过材料方面的改进,将无法满足集成电路性能的要求,需要在互连的结构和设计方面进行革新,发展新一代的互连集成技术.目前研究的新一代互连集成技术包括三维(3D)集成互连技术、RF 互连技术、光互连技术等.

4.1 3D 集成互连技术

3D 集成技术是具有新的工艺集成模式的新互连技术[3].互连延迟的增加,很大程度上起源于芯片尺寸的增加和互连引线特征尺寸的减小.3D 集成技术拥有多层有源 Si 层,每个 Si 层可有多层互连引线层,不同引线层之间可以利用垂直的层间互连(vertical interlayer interconnects, VILIC)与公共的全局互连连接起来.因此,在二维(2D)结构中,需要长的互连线连接的;在 3D 结构中,用短的垂直互连即可实现,同时,3D 结构还为电路的设计、布局、布线提供了较高的自由度.如对关键路径上的逻辑门,利用多层有源 Si 层后可以紧密地放置在一起,可导致互连 RC 延迟的减小和逻辑电路性能的改善,可以将具有不同电压和性能要求的电路根据需要放置在不同层上,达到优化性能的目的.3D 集成互连技术可以减小互连引线长度,增加晶体管的封装密度,减小芯片面积.图 7 示出模拟分析 3D 结构较 2D 结构在性能上的改善.

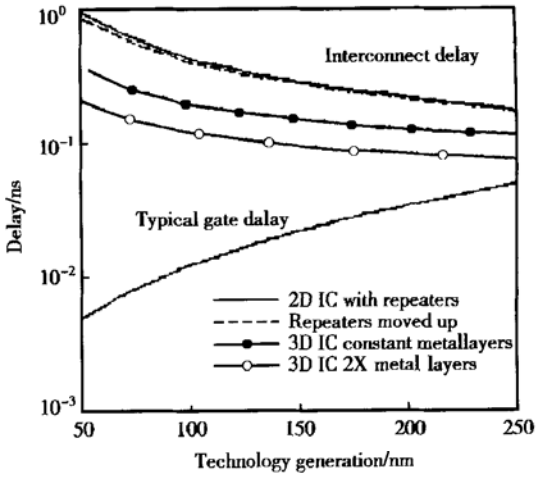

图 7 模拟分析得到的 3D 结构与 2D 结构的性能比较[3]

Fig. 7 Simulated interconnect delay of IC performance with scaling for 2D and 3D integration[3]

3D 集成技术较 2D 集成技术在互连方面有较大的改善,但如何在保证器件性能不退化的情形下,实现 3D 集成技术将面临巨大的技术挑战,主要的挑战来自于多层有源 Si 层的制备技术.目前研究的技术主要分为两类,一类是单晶 Si 层制备技术,包括硅片键合(wafer bonding)技术、Si 层的外延生长等;另一类是多晶硅再结晶技术,包括离子辅助再结晶技术(ion beam recrystallization)、激光退火再结晶技术(laser annealing recrystalliqation)、固相结晶技术(solid phase crystallization)等.此外,在 3D 集成电路中,热、互连电容和串扰等问题需要仔细地考虑.

4.2 RF 互连技术

RF 互连是以微波信号的低损耗、无色散传输和近场电容耦合为基础的新型互连技术,其在传输速度、信号完整性、信通再构等方面具有很大的优点[29].目前提出的 RF 互连系统一般采用电容耦合收发、低损耗无色散导引媒介传输和 MA(multiple-access)算法技术相结合.RF 互连系统通常由信号的发送、传输、接收几部分组成.信号的发送和接收

通常通过微波天线完成,而信号的传输则是通过自由空间或波导媒介进行.与传统的金属互连相比,微波在微带传输线(MTL)或共平面波导(CPW)等导引媒介中传输的损耗要小得多,如图 8 所示.

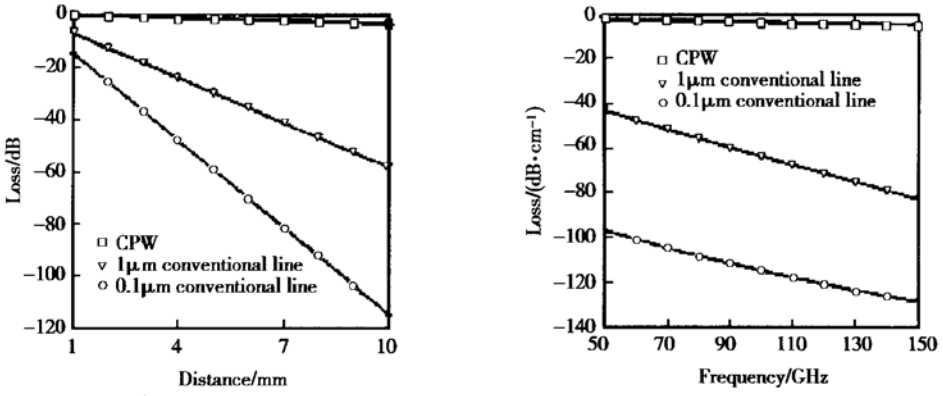

图 8　共平面波导(CPW)式的 RF 互连与传统互连性能比较[29]

Fig. 8　Attenuation of RF/microwave signal via CPW and conventional ULSI interconnects as the functions of distance and frequency[29]

为了实现 RF 微波信号的有效传输,需要对系统的结构和尺寸进行优化设计.对于在自由空间传输的微波,微波发射天线的尺寸需要与波长相比拟,才可实现信号的有效传输.如对 100GHz 的信号,天线的优化孔径尺寸在 $1mm^2$ 量级,对于 ULSI 来说尺寸显然太大.因此,对 RF 互连系统设计时,需要选择合适的系统结构和传输/收发器件.由于 ULSI 系统互连的传输距离比较短(在 cm 的量级),因此选用小尺寸的近场电容耦合器(near-field capacitive coupler)代替大尺寸的远场天线(far-field antenna)即可满足需要.而 MTL/CPW 导引的典型尺寸在 10~ 100μm(具体尺寸取决于特征阻抗和其它信号的要求),因此 MTL/CPW 导引适宜于多芯片模块(MCM)中的芯片间互连.

利用 FDMA(frequency division multiple-access)和 CDMA(code division multiple-access)等多路算法技术,可避免和减轻多道信号在共享媒介时的相互干扰,因此可以实现多路信号在 RF 互连上的同时通讯.RF 互连的电路费用(overhead)由 I/O 收发器、频率/编码发生器、频率/编码混合器、编码关联器、时钟/频率恢复电路和带通滤波器组成.

RF 互连系统具有如下一些优点:(1)有效带宽高,数据传输速度达 4~ 10Gb/s 的实验已有报道;(2)多 I/O 服务功能,模拟分析显示,使用一个共享传输线,可以实现 20/20 的 I/O 端口的同步通讯;(3)可实现系统的功能重构和在线计算;(4)具有可编程失效冗余结构功能;(5)封装和系统安装具有较大的可变自由度.

同时,RF 互连系统也存在如下一些局限:(1)较大的电路费用和功率损耗,每个 I/O 收发器都需要配自己的 RF 辅助电路和时钟信号恢复电路,并引起较高的功耗;(2)芯片内的信号滤波问题,FDMA 互连需要配备高质量的带通滤波器,但在 RF 频率下,性能下降;(3)芯片外的配套器件问题,这是由 FDMA 所需的时钟晶体振荡器尺寸很大、难以集成到 ULSI 芯片中引起的.

4.3　光互连技术

随着技术的进步,金属导线互连途径也将会达到其材料的物理极限,因此必须发展新模式的互连途径.光互连被认为是 Cu 互连之后,面向 20~ 50nm 技术时代的新的互连模式方案之一[1,30].

与 Cu 互连等电学互连方案相比,光互连具有输入/输出(I/O)端口密度高、功耗低、互连延迟小、不受高频损耗和信号串扰及电磁干扰的影响等优点,同时,光的通讯路径可以很容易地通过合适的光学器件实现路由(route)、组合(combination)、分离(split)和重构(reconfiguration).目前提出的互连工作模式有多种,其中二维并行光互连(2D-POI)模式由于其高带宽、低功耗、低噪声连接等特性,引起了人们的注意[34].二维并行光互连技术包含了光电-VLSI 基的二维收发器阵列技术、光学技术和光机

(optomechanical) 封装技术三个部分. 其中基于光电-VLSI 的技术是将传统的硅工艺与 GaAs 基的光发生器和探测器组成的阵列进行有效地集成, 然后利用光学技术和光机封装技术使这些光电-VLSI 基的器件阵列互连组装构成一个完整的系统. 目前实现光学互连的方式主要有自由空间(free-space) 和波导(wave-guide) 两种. 在自由空间光互连模式中, 光信号是通过聚焦光学透镜的作用在自由空间传输的, 是目前研究较多的系统. 其中, 实现自由空间光互连模式的系统目前有宏光学系统、微光学系统、簇式光学系统等; 而在波导互连模式中, 光信号是通过在光纤阵列或光纤图像导引传输的, 该系统一般由微型激光器如垂直腔表面发射激光器(vertical-cavity surface-emitting laser, VCSEL) 和光纤构成. 自由空间光互连技术的优点是易于利用集成电路工艺手段实现器件的集成和按比例缩小, 但对于处于不同的平面空间和框架内的器件阵列难以实现相互间的互连. 波导基的互连技术可以克服自由空间基技术不能在不同平面空间和框架内实现互连的缺点, 但是其中用于大通道数通讯的光纤系统难以按比例缩小尺寸. 光机封装的目的是将光电和光学器件阵列(如微型激光器阵列、调节器阵列、探测器阵列、全息光学器件阵列等) 实现有效的连接组装, 构成一个完整的系统, 是设计和实现并行光学互连系统的基本技术之一. 其中的阵列对准、连接和装配是关键的技术挑战.

并行光学互连系统的性能可由形式因子(form factor) (由器件阵列的尺寸和互连长度决定) 、所需的通道数、发射光从源到接收器阵列的发散和对准度、系统的适应度(degree of flexibility) 、系统成本等几个参数表征.

5 结束语

在未来的互连技术中, 将面临着一系列的挑战, 同时也为互连技术的研发带来机遇.

在材料方面, 低 k 介质材料是其中之一, 材料的合成、性能的改进和集成工艺是需要解决的问题[3, 31, 32]. 尽管人们已经合成了 k 值小于 2 的多孔型(porous) 低 k 材料, 提出相应的材料集成工艺, 但要真正满足应用的需要, 在材料的机械强度和集成模式方面还需要有很大的改进. 力学(机械加工) 强度对工艺集成是很关键的因素. 通过加工构造(engineering) 低 k 介质薄膜的界面和厚度, 可改进低 k 介质的力学强度. 介质覆盖层(cap layer) 材料是另一个挑战. 介质覆盖层可作为介质层之间的粘附层、刻蚀停止层、CMP 工艺保护层、防污染和扩散的势垒层等. 目前的介质覆盖层材料的介电常数一般都较大, 这会导致大的互连电容, 降低互连的性能, 特别是厚的介质覆盖层. 目前已有采用具有较低介电常数的 SiC、SiN 作为介质覆盖层的报道[33, 34], 这是一种很吸引人的介质覆盖层技术方案, 但选择其作为 Cu 互连/低 k 互连集成技术的介质覆盖层材料, 需要仔细研究它的粘附性、介质击穿, 与刻蚀、剥离(strip) 和 CMP 等工艺及与金属的兼容性等方面的问题.

在集成加工技术方面, CMP 技术是其中之一. 在 CMP 技术中, 目前仍存在许多需要研究清楚的问题. 在未来的 Cu/低 k 互连技术中, CMP 工艺过程需要得到更好地控制, 但目前 CMP 对材料的磨抛率与所加工图形的特征尺寸、图形的密度有关, 在不同的特征尺寸和图形密度下, CMP 技术局域的化学和力学作用是不同的, 由此引起了大的工艺变化, 使工艺控制变得困难. 虽然引入虚拟因子(dummy feature) 可减小工艺的变化、增强结构的强度, 但与特征尺寸相关的问题依然存在, 同时还会带来互连性能的降低. 需要提到的是, 在 CMP 工艺中, 由于摩擦(tribological) 的相互作用, 在磨料(slurry) 、磨盘(polishing pad) 和被磨抛的硅片之间存在相互作用的阈值压力, 这为优化解决局域的化学和机械相互作用问题提供了机会.

由于 Ag 是比 Cu 电阻率更低的导电材料, 如果采用 Ag 作为新的互连导电材料, 在相互传输延迟的性能方面可比采用 Cu 作为互连导电材料有 7% 地改进, 因此, 以 Ag 作为互连导线的互连集成技术也在研究之中. 但至少在目前, 与 Cu 互连相比, Ag 互连无论是在电迁移、应力迁移方面, 还是在与其它材料的粘附性、集成兼容性等, 都远远不及. 因此, Ag 互连集成技术需在可靠性、兼容性等方面取得重大突破.

3D 集成技术较 2D 集成技术在互连方面有较大的改善, 但如何在保证器件性能不退化的情形下, 实现 3D 集成技术将面临巨大的技术挑战, 主要的挑战来自于多层有源 Si 层的制备技术. 能否实现高性能的多层有源 Si 层制备技术, 是 3D 集成互连技术应用的关键.

RF 互连和光学互连技术是面向 20~ 50nm 技术的新的互连技术, 它们所面临的挑战除了系统的性能、与 Si 工艺的兼容、制造成本及可靠性等方面外, 还包括这些新型的技术应用的环境和被人们、主要是工业界所接收的程度等因素.

参考文献

[1] International Technology Roadmap for Semiconductors. Austin, TX: SEMATECH, 1999

[2] Zhao Bin. IC interconnect technology-challenges and opportunities. In: International Conference on Solid-State and Integrated Circuit Technology Proceedings (ICSICT 2001), 2001: 337

[3] Davis J A, Venkatesan R, Kaloyeros A, et al. Interconnect limits on gigascale integration (GSI) in the 21st century. Proceedings of The IEEE, 2001, 89(3): 305

[4] Verore C, Descouts B, Gayet P, et al. Dual Damascene architectures evaluation for 0.18μm technology and below. In: Proceedings of International Interconnect Technology Conference (IITC2000), 2000: 267

[5] Kudo H, Yoshie K, Yamaguchi S, et al. Copper dual Damascene interconnects with very low-k dielectrics targeting for 130nm node. In: Proceedings of International Interconnect Technology Conference (IITC2000), 2000: 270

[6] Chen M, Shin H S, Cheung R, et al. Novel post electroplating in-situ rapid annealing process for advanced copper interconnect application. In: Proceedings of International Interconnect Technology Conference (IITC2000), 2000: 194

[7] Ikeda M, et al. Integration of organic low-k material with Cu-Damascene employing novel process. In: Proceedings of International Interconnect Technology Conference (ⅡTC98), 1998: 131

[8] Loke A L S, et al. Copper drift in low-k polymer dielectrics for ULSI metallization. In: Digest of Technical Papers 1998 Symposium on VLSI Technology, 1998: 26

[9] Kawahara J, et al. Highly thermal-stable, plasma-polymerized BCB polymer film (k= 2.6) for Cu dual-Damascene interconnects. In: 2000 Symposium on VLSI Technology Digest of Technical Papers, 2000: 20

[10] Kawakami N, Fukumoto Y, Kinoshita T, et al. A super low-k (k= 1.1) silica aerogel film using supercritical drying technique. In: Proceedings of International Interconnect Technology Conference (ⅡTC2000), 2000: 143

[11] Goldblatt R D, et al. A high performance 0.13μm copper BEOL technology with low-k dielectric. In: Proceedings of International Interconnect Technology Conference (IITC2000), 2000: 261

[12] Zhao B, et al. A Cu/low-k dual Damascene interconnect for high performance and low cost integrated circuits. In: 1998 Symposium on VLSI Technology Digest of Technical Papers, 1998: 28

[13] Zielinski E M, et al. Damascene integration of copper and ultra-low-k xerogel for high performance interconnects. IEDM97, 1997: 936

[14] Heidenreich J, Edelstein D, Goldblatt R, et al. Copper dual Damascene wiring for sub-0.25μm CMOS technology. In: Proceedings of International Interconnect Technology Conference (IITC98), 1998: 151

[15] Blaschke V, Bersuker G, Muralidhar R, et al. Integration aspects for Damascene copper interconnect in low k dielectric. In: Proceedings of International Interconnect Technology Conference (ⅡTC98), 1998: 154

[16] Fang K L, Tsui B Y, Yang C C, et al. Electrical reliability of low dielectric constant diffusion barrier (a-SiC∶H) for copper interconnect. In: Proceedings of International Interconnect Technology Conference (ⅡTC 2001), 2001: 250

[17] Ishimaru T, Shioya Y, Ikakura H, et al. Development of low-k copper barrier films deposited by PE-CVD using HMDSO, N_2O and NH_3. In: Proceedings of International Interconnect Technology Conference (ⅡTC2001), 2001: 36

[18] Wu Z C, et al. Electrical reliability issues of integrating thin Ta and TaN barriers with Cu and low-k dielectric. J Electrochem Soc, 1999, 146(11): 4290

[19] Moussavi M, et al. Comparison of barrier materials and deposition processes for copper integration. In: Proceedings of International Interconnect Technology Conference (ⅡTC98), 1998: 295

[20] Zhao X, Leavy M, Magtoto N, et al. Copper wetting of two-dimensional silicates: robust barriers for interconnect applications. In: Proceedings of International Interconnect Technology Conference (ⅡTC2001), 2001: 6

[21] Block C, McGregor P, Kuhn M, et al. Ultrathin CVD barrier/seed for 0.1μm dual damascene Cu interconnects. In: Proceedings of International Interconnect Technology Conference (ⅡTC2001), 2001: 210

[22] Kondo S, et al. Complete-abrasive-free process for copper Damascene interconnection. In: Proceedings of International Interconnect Technology Conference (ⅡTC2000), 2000: 253

[23] Ohashi N, Yamada Y, Konishi N, et al. Improved Cu CMP process for 0.13μm node multilevel metallization. In: Proceedings of International Interconnect Technology Conference (ⅡTC 2001), 2001: 140

[24] Wu Z C, Shiung Z W, Fang K L, et al. Electrical reliability issues of integrating low-k dielectrics with Cu metallization. In: Proceedings of International Interconnect Technology Conference (ⅡTC 2000), 2000: 82

[25] Goldblatt R D, et al. A high performance 0.13μm copper technology with low-k dielectric. In: Proceedings of International Interconnect Technology Conference (ⅡTC 2000),

2000: 261

[26] Tsai M H, Tsai W J, Shue S L, et al. Reliability of dual Damascene Cu metallization. In: Proceedings of International Interconnect Technology Conference (IITC 2000), 2000: 214

[27] Goldblatt R D, et al. A high performance 0.13μm copper technology with low-k dielectric. In: Proceedings of International Interconnect Technology Conference (IITC 2000), 2000: 261

[28] Ueno K, et al. A high reliability copper dual-damascene interconnection with direct-contact via structure. IEDM 2000, 2000: 265

[29] Chang M F, Roychowdhury V P, Zhang L, et al. RF/wireless interconnect for inter- and intra-chip communications. Proceedings of the IEEE, 2001, 89(4): 456

[30] Plant D V, Kirk A G. Optical interconnects at the chip and board level: challenges and solutions. Proceedings of The IEEE, 2000, 88(6): 806

[31] Yu Y, et al. Dielectric property and microstructure of a porous polymer material with ultralow dielectric constant. Appl Phys Lett, 1999, 75: 853

[32] Mosig K, et al. Single and dual Damascene integration of a spin-on porous ultra low-k material. In: Proceedings of International Interconnect Technology Conference (IITC2001), 2001: 292

[33] Xu P, et al. BLOK ™-A low-k dielectric barrier/etch stop film for copper Damascene applications. In: Proceedings of International Interconnect Technology Conference (IITC1999), 1999: 109

[34] Tanaka M, Saida S, Iijima T, et al. Low-k SiN film for Cu interconnects integration fabricated by ultra low temperature thermal CVD. In: 1999 Symposium on VLSI Technology Digest of Technical Papers, 1999: 47

Development of ULSI Interconnect Integration Technology ——Copper Interconnect with Low *k* Dielectrics

Wang Yangyuan and Kang Jinfeng

(*Institute of Microelectronics, Peking University, Beijing* 100871, *China*)

Abstract: Invention and application of low *k*/Cu interconnect integration technology is a revolutionary advance in integrated circuits (IC) industry and technology. Now low *k*/Cu interconnect integration technology has become one of most important key technologies in IC industry. In this paper, the trend of IC technology and the requirements for interconnect technology, the challenges of interconnect technology development, and the potential solutions to the challenge are review firstly. Then the dual Damascene Cu interconnect integration technology and the technology challenges are introduced. The key issues of the dual Damascene Cu interconnect integration technology are described and reviewed. Finally, the trend of the beyond Cu interconnect integration technology and potential interconnect technology are prospected.

Key words: interconnect integration technology; interconnect limitations; low *k* dielectrics; Cu wires; 3D integration interconnect; RF interconnect; optical interconnect

EEACC: 2570

Article ID: 0253-4177(2002)11-1121-14

Received 10 July 2002

©2002 The Chinese Institute of Electronics