

驱动复杂 RLC 互连树的逻辑门延时*

董 刚 杨银堂 李跃进

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 提出了一个用于估计 RLC 互连树驱动点导纳的闭端等效 π 模型, 并将其用于驱动复杂 RLC 互连树的逻辑门延时的估计中. 与其他方法相比, 它具有结构简单、精度较高的特点.

关键词: 逻辑门延时; RLC 互连树; 驱动点导纳

EEACC: 7410D; 5120

中图分类号: TN405.97

文献标识码: A

文章编号: 0253-4177(2004)08-1036-05

1 引言

在 VLSI 设计中, 延时估计一直是很受关注的问题之一. 电路的总延时由逻辑门延时和互连延时组成. 随着集成电路特征尺寸的减小和系统工作频率的提高, 互连长度的增加和信号上升时间的下降使电感效应变的越来越重要. 采用 RC 互连模型已经不能满足要求, 这时应采用 RLC 传输线模型来模拟互连. 互连延时的估计技术发展迅速, AWE^[1], PVL^[2]等方法应运而生.

由于逻辑门由非线性元件组成, 负载互连树对它的延时具有很大的影响, 精确的逻辑门延时估计紧密依赖于门输出负载互连树的驱动点导纳^[3]. 负载互连树驱动点导纳的最简单的近似为树的总电容, 它是一阶近似^[4]. 由于互连线的电阻和电感对电容有一定的屏蔽作用^[5,6], 使实际的延时要小于采用集总电容模型得到的结果, 此时采用了集总 RLC 互连模型, 它的结果要优于前者, 但仍与采用 RLC 传输线模型有一定差距.

采用 RLC 传输线模型计算逻辑门延时存在计算复杂度高的缺点. 本文基于 RLC 传输线理论推导出了开端等效 π 模型^[7]和闭端等效 π 模型, 并针对一种常见的互连树拓扑结构, 分别采用集总电容模

型、集总 RLC 模型、开端等效 π 模型和闭端等效 π 模型进行了仿真, 结果显示在逻辑门延时的估计中, 本文所提出的闭端等效 π 模型具有较高的精度.

2 RLC 互连线的等效模型

2.1 几种集总模型

图 1 为 RLC 互连的示意图. 负载为电容 C_L , 互连 AB 长度为 d , 单位长度的线电阻、线电感、线电容分别为 r, l, c , 它的总电阻、电感和电容值分别为 $R = r \times d, L = l \times d, C = c \times d$.

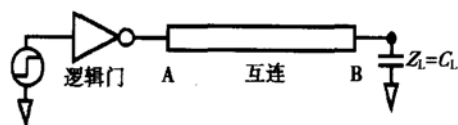


图 1 RLC 互连示意图

Fig. 1 Schematic diagram of RLC interconnect

负载互连驱动点导纳最简单的近似是它的总电容, 它是一阶近似. 实际的延时要小于由集总电容模型得到的结果, 这是因为互连的电阻和电感起到屏蔽部分电容的作用, 从逻辑门驱动来看, 有效电容要小于负载的总电容. 另外一种简单的方法就是采用集总 RLC 模型来模拟互连, 由于总的电阻和电感集

* 国防预研基金资助项目(批准号: 41323020204)

董 刚 男, 1978 年出生, 博士研究生, 研究领域为 VLSI 设计技术.

杨银堂 男, 1962 年出生, 教授, 博士生导师, 研究领域为 VLSI 技术.

2003-08-05 收到

总在一起,屏蔽了部分电容,它的结果要优于采用集总电容得到的结果.三种常用的集总 RLC 模型如图

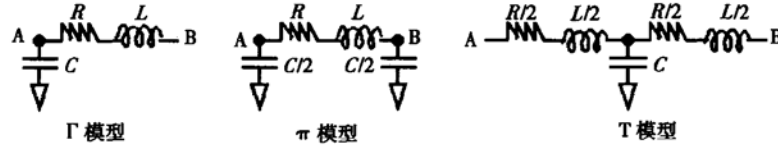


图2 RLC 互连的三种集总模型

Fig. 2 Three lumped models for RLC interconnect

2.2 基于 RLC 传输线的两种 π 模型

在图 1 中建立以互连 B 点为坐标原点,指向互连 A 点的坐标系, A 点的坐标为 d . 根据传输线的理论,互连上任意一点 x 处的电压和电流由入射波和反射波组成:

$$V(x) = V^+ e^{yx} + V^- e^{-yx} \quad (1)$$

$$I(x) = \frac{1}{Z_0} (V^+ e^{yx} - V^- e^{-yx}) \quad (2)$$

其中 $Z_0 = \sqrt{(r+sl)/sc}$ 为互连的特性阻抗, $y = \sqrt{(r+sl)sc}$ 为互连的传输常数.

根据(1)和(2)式,定义电压负载端反射系数为:

$$\Gamma_L = \frac{V^-}{V^+} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (3)$$

而互连上任意一点的反射系数为:

$$\Gamma(x) = \frac{V^- e^{-yx}}{V^+ e^{yx}} = \Gamma_L e^{-2yx} \quad (4)$$

联立(1)~(4)式,可以求得驱动点 A 的输入导纳为:

$$\begin{aligned} Y_{in} &= \frac{I(d)}{V(d)} = \frac{1}{Z_0} \times \frac{V^+ e^{yd} - V^- e^{-yd}}{V^+ e^{yd} + V^- e^{-yd}} \\ &= \frac{1}{Z_0} \left[\frac{1 - \Gamma_L e^{-2yd}}{1 + \Gamma_L e^{-2yd}} \right] = \frac{1}{Z_0} \times \frac{Z_0 + Z_L \tanh(yd)}{Z_L + Z_0 \tanh(yd)} \end{aligned} \quad (5)$$

2.2.1 开端等效 π 模型

在图 1 中,当负载端开路时,也就是 $Z_L = \infty$,根据(5)式,此时驱动点的导纳为:

$$\begin{aligned} Y_{in} &= \frac{\tanh(yd)}{Z_0} \\ &= \frac{sC + \frac{s^2 RC^2}{6} + s^3 \left[\frac{R^2 C^3}{120} + \frac{LC^2}{6} \right] + \dots}{1 + \frac{sRC}{2} + s^3 \left[\frac{2R^2 C^3}{15} - \frac{LC^2}{3} \right] + \dots} \end{aligned}$$

2 所示,集总元件的值与互连参数的关系也在图中表示出来.

$$= sC - \frac{s^2 RC^2}{3} + s^3 \left[\frac{2R^2 C^3}{15} - \frac{LC^2}{3} \right] + \dots \quad (6)$$

建立如图 3 所示的开端等效 π 模型^[7],它的驱动点导纳通过计算可得:

$$\begin{aligned} Y_{eq} &= sC_1 + \frac{sC_2}{1 + sC_2(R_1 + sL_1)} \\ &= s(C_1 + C_2) - s^2 R_1 C_2^2 + s^3 (R_1^2 C_2^2 - L_1 C_2^2) + \dots \end{aligned} \quad (7)$$

令(6)和(7)式前三项对应相等,联立求解得到开端等效 π 模型中各参数与 RLC 传输线参数的对应关系:

$$R_1 = \frac{12R}{25}, L_1 = \frac{12L}{25}, C_1 = \frac{C}{6}, C_2 = \frac{5C}{6} \quad (8)$$

它的参数仅依赖于 RLC 传输线的总电阻、电感和电容,实际上是利用负载开路时互连驱动点导纳的前三阶矩得到的结果,这与文献[7]一致.

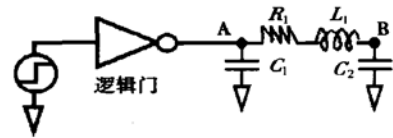


图3 开端等效 π 模型

Fig. 3 Open-ended equivalent π model

2.2.2 闭端等效 π 模型

由于(5)式为 s 的非线性函数,为了使 Y_{in} 可以表示为关于频率的有理分式函数,注意到当 s 较小时,存在如下关系:

$$\tanh(yd) = \frac{\sinh(yd)}{\cosh(yd)} \approx \frac{2yd}{2 + y^2 d^2} \quad (9)$$

将上述关系代入(5)式,得到图 1 所示带负载的互连驱动点导纳的近似表达式:

$$Y_{in} = \frac{sC_L}{1 + 2C_L/C} \times \frac{s^2 + \frac{R}{L}s + \frac{2(1 + C/C_L)}{LC}}{s^2 + \frac{R}{L}s + \frac{2}{LC(1 + 2C_L/C)}} \quad (10)$$

为了确定上述近似的精确程度, 互连的参数选取 $r = 20\text{k}\Omega/\text{m}$, $l = 110\mu\text{H}/\text{m}$, $c = 240\text{pF}/\text{m}^{[5]}$, 负载为 100fF , 长度 d 分别为 $0.5, 2$ 和 5cm . 对 (10) 式和 (5) 式的输入导纳值进行了模拟, 结果如图 4 所示. 从图中可以看到, 互连的长度越大, 这种近似适用的范围会越小. 对于 5cm 长的互连, 当 $s > 10^{7.4}$ 时, 近似值会与精确值产生偏差. 因此, 对于 VLSI 的互连来说, 这种近似适用的范围较宽.

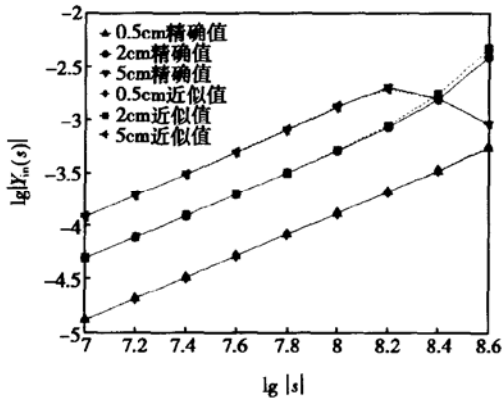


图 4 (10) 式和 (5) 式的导纳值比较

Fig. 4 Comparison between Eq. (10) and Eq. (5)

为了可以对驱动点导纳作精确的集总近似, 本文建立如图 5 所示的 RLC 互连的闭端等效 π 模型, 使之从驱动点看进去的等效导纳具有与 (10) 式相同的形式, 它的等效导纳为:

$$Y_{eq} = s[C_1 + C_2C_3/(C_2 + C_3)] \times \frac{s^2 + \frac{R_1}{L_1}s + \frac{(C_1 + C_3)/(C_2 + C_3)}{L_1[C_1 + C_2C_3/(C_2 + C_3)]}}{s^2 + \frac{R_1}{L_1}s + \frac{1}{L_1(C_2 + C_3)}} \quad (11)$$

令 (11) 和 (10) 式的对应项系数相等, 联立求解可以得到闭端等效 π 模型中各参数与 RLC 传输线参数的对应关系:

$$R_1 = R, L_1 = L, C_3 = \sqrt{\frac{(C + C_L)^2 + C_L^2}{2}}, \\ C_2 = \frac{C}{2} + C_L - C_3, C_1 = C + C_L - C_3 \quad (12)$$

它的参数也只依赖于互连的总电阻、电感和电容.

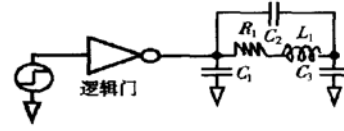


图 5 闭端等效 π 模型

Fig. 5 Close-ended equivalent π model

3 复杂 RLC 互连树的化简

在 VLSI 电路中, 互连通常是树状结构, 而不是如图 1 所示的单互连, 因此需要模拟逻辑门驱动复杂 RLC 互连树的情况. 由于在预布线时序分析时, 并不能得到精确的布线拓扑, 文献 [7] 使用等效开端 RLC 线模型来近似估计互连树, 它的电阻、电感和电容值等于估计的互连总电阻、电感和电容值. 本文提出了一种等效闭端 RLC 线模型来近似估计互连树. 这种近似在计算模型参数时依然考虑了负载互连的分布特性, 由于只使用了总的电阻、电感和电容值, 这种方法更有效. 复杂 RLC 互连树的化简过程如图 6 所示. 首先将复杂的 RLC 互连树化简为开端 RLC 线模型^[7]或闭端 RLC 线模型, 在开端 RLC 线

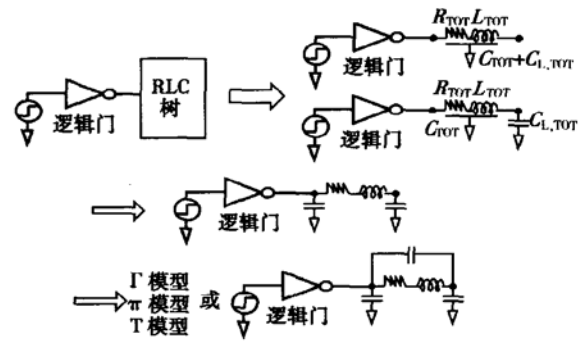


图 6 复杂 RLC 互连树的简化

Fig. 6 Simplification of large RLC interconnect trees

模型中, 它的电阻和电感值为整个互连树的电阻和电感值, 电容为整个互连树的电容和全部负载电容之和. 在闭端 RLC 线模型中, 它的电阻、电感和电容值为整个互连树的电阻、电感和电容值, 其负载为整个互连树的负载电容之和. 之后就可以应用前面提到的各种模型. 对于开端 RLC 线, 使用开端等效 π 模型; 对于闭端 RLC 线, 可分别采用 Γ 模型、 π 模

型、T 模型和闭端等效 π 模型来模拟得到与之对应的逻辑门延时。

4 仿真结果

本节将对上述几种模型的精度进行比较. 观察如图 7 所示的 RLC 互连树拓扑结构. 它由 10 段互连组成, 每段互连的长度均为 0.5cm, 参数为 $r = 20\text{k}\Omega/\text{m}$, $l = 110\mu\text{H}/\text{m}$, $c = 240\text{pF}/\text{m}^{[8]}$, 带有 5 个负载电容均为 100fF. 逻辑门用反相器来表示, PMOS 和 NMOS 的宽长比均为 $15\mu\text{m}/0.5\mu\text{m}$, 晶体管的模型参数取自 TSMC 的 $0.25\mu\text{m}$ 工艺.

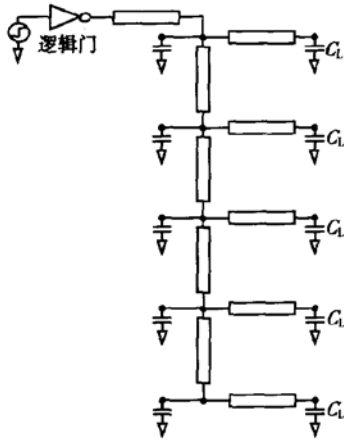


图 7 RLC 互连树拓扑结构

Fig. 7 Topology of RLC interconnect trees

本文分别采用集总电容模型、集总 RLC 模型、开端等效 π 模型和闭端等效 π 模型对图 7 所示逻辑门延时进行了仿真, 并与 HSPICE 软件的 LTRA (有损传输线模型) 的仿真结果进行了比较, 如图 8 所示. 它们对应的 50% 门延时列于表 1. 我们以 LTRA 的结果作为参照, 发现集总电容模型和 Γ 模型的结果最差, 这是因为它没有考虑互连电阻和电感对电容的屏蔽作用. 其次是 π 模型和开端等效 π 模型. 而本文推导出来的闭端等效 π 模型与 LTRA 的结果最为接近.

表 1 不同模型的 50% 门延时比较

Table 1 Comparison of 50% gate delay for different models

	SPICE LTRA 模型	电容 模型	Γ 模型	π 模型	T 模型	开端 π 模型 ^[7]	闭端 π 模型
50% 门延时/ns	0.116	1.599	1.559	0.989	0.019	0.494	0.138

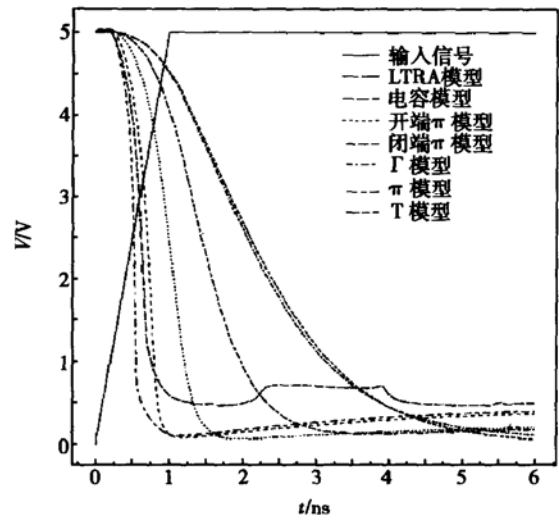


图 8 不同模型的驱动点波形

Fig. 8 Driving point waveform of different models

5 结束语

本文从 RLC 传输线出发, 推导出了一个简单有效的用于模拟 RLC 互连树驱动点导纳的闭端等效 π 模型, 给出了一种简化复杂互连树的方法, 并将它们应用于驱动复杂 RLC 互连树的逻辑门延时的估计中. 与其它方法相比, 它计算简单, 精度较高, 可以作为一种有效的估计逻辑门延时方法嵌入到时序分析工具中.

参考文献

- [1] Pillage L T, Rohrer R A. Asymptotic waveform evaluation for timing analysis. IEEE Trans Comput-Aided Des Integr Circuits Syst, 1990, 9 (4): 352
- [2] Feldman P, Freund R. Efficient linear circuit analysis by Padé approximation via the Lanczos process. IEEE Trans Comput-Aided Des Integr Circuits Syst, 1995, 14(5): 639
- [3] Kashyap C V, Krauter B L. A realizable driving point model for on-chip interconnect with inductance. Proc DAC 2000: 190
- [4] Qian J, Pulella S, Pillage L. Modeling the “effective capacitance” for the RC interconnect of CMOS gates. IEEE Trans Comput-Aided Des Integr Circuits Syst, 1994, 13(12): 1526
- [5] Devgan A, O'Brien P R. Realizable reduction of RC interconnect circuits. Proc ICCAD, 1999: 204
- [6] El-Moursy M A, Friedman E G. Shielding effect of on-chip interconnect inductance. Proc ACM Symposium on Great Lakes Symposium on VLSI, 2003: 165
- [7] Kahng A B, Muddu S. Efficient gate delay modeling for large

interconnect loads. Proc IEEE Multi-Chip Module Conf,
1996: 202

[8] <http://public.itrs.net/files/2000UpdateFinal/2kUdFinal.htm>

Delay of Logic Gate Driving Large RLC Interconnect Tree^{*}

Dong Gang, Yang Yintang and Li Yuejin

(*Institute of Microelectronics, Xidian University, Xi'an 710071, China*)

Abstract: A close-ended equivalent π model for RLC interconnect tree to estimate the driving point admittance is proposed. The model can be applied to delay estimation of gate driving large RLC interconnect tree. It features simple construction and high precision, hence it is superior to other methods.

Key words: delay of logic gate; RLC interconnect tree; driving point admittance

EAPACC: 7410D; 5120

Article ID: 0253-4177(2004)08-1036-05

* Advanced Research Foundation for National Defence of China(No. 41323020204)

Dong Gang male, was born in 1978, PhD candidate. He is engaged in the research on VLSI design technology.

Yang Yintang male, was born in 1962, professor, advisor of PhD candidates. He is engaged in the research on VLSI technology.

Received 5 August 2003

©2004 The Chinese Institute of Electronics