第 25 卷第 11 期　　半 导 体 学 报　　Vol. 25, No. 11
2004 年 11 月　　CHINESE JOURNAL OF SEMICONDUCTORS　　Nov., 2004

基于 MOBILE 的 JK 触发器设计

沈继忠[1]　林　弥[2]　王　林[1]

(1 浙江大学信息与电子工程学系，杭州　310028)
(2 杭州电子科技大学电子信息学院，杭州　310018)

摘要：介绍了一种新型量子逻辑单元电路——单稳双稳转换逻辑单元及其工作原理，在此基础上探讨并设计了以 MOBILE 为基本单元电路的具有同步置位复位功能的边沿型 JK 触发器电路，从而丰富了量子电路中触发器的类型.

关键词：MOBILE；RTD；JK 触发器；量子电路
EEACC：1265B
中图分类号：TN312.2　　**文献标识码**：A　　**文章编号**：0253-4177(2004)11-1469-05

1　引言

共振隧穿器件具有高速和低功耗的特性，以此构成的电路将成为下一代大规模集成电路 VLSI 的主流电路[1~3]. 此电路族中一种新型的逻辑单元是以共振隧穿二极管(resonant tunneling diode, RTD)为基础，主要由串联的两个负阻(negative differential resistance, NDR)器件组成，称之为单稳双稳转换逻辑单元(monostable-bistable logic element, MOBILE)[1]. MOBILE 利用 RTD 内在的高频特性和特殊的 I-V 特性曲线，能非常有效地设计出高速逻辑电路[4]. 作为时序电路中的重要单元，基于 MOBILE 的 D 触发器设计得到了广泛的重视，并取得了一定的成果[4~6]. 但功能更强的 JK 触发器设计尚属空白. 本文将设计基于 MOBILE 的边沿型 JK 触发器，并能进行直接预置控制.

2　RTD 的 I-V 特性

RTD 是由互相交替的不同半导体材料层组成的，通过 RTD 的电流产生隧穿效应，因此 RTD 具有折叠的 I-V 曲线特性，其符号和 I-V 特性曲线如图 1 所示[6]. RTD 的 I-V 曲线具有周期性的峰值和谷值，当 RTD 两端的电压值从 0 逐渐增大到峰值电压 V_P 时，电流也逐渐增加，对应于 V_P 的电流称为峰值电流 I_P；电压继续增大到谷值电压 V_V 时，电流减小到谷值电流 I_V；当电压大于 V_V 后，电流又开始增大，之后 RTD 表现出一般的二极管特性. 当电

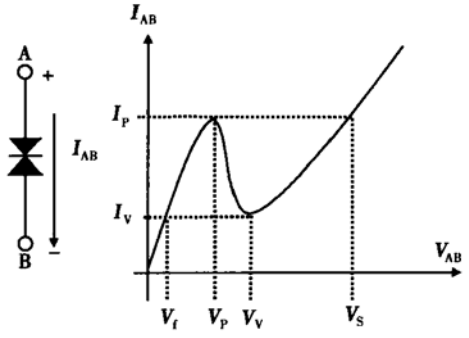

图 1　RTD 的符号及其 I-V 特性曲线

Fig. 1　Symbol and I-V characteristic of the RTD

流在[I_V, I_P]之间变化时，RTD 有两个稳定状态：电压小于 V_P 的部分和大于 V_V 的部分，也即两个正的斜率区. 当 RTD 工作在第一个正的阻抗区域 PDR1(也即第一个正的斜率区域)时，对应于 I_V 的电压称为第一电压 V_f；当 RTD 工作在第二个正的阻抗区域 PDR2(也即第二个正的斜率区域)时，对应于 I_P 的电压称为第二电压 V_S[6]. RTD 从第一正阻抗区

沈继忠　男，1965 年出生，博士，教授，主要从事数字集成电路设计研究.
林　弥　女，1978 年出生，硕士，主要从事数字电路设计研究.

2003-11-25 收到，2004-04-29 定稿

©2004 中国电子学会

进入负载区这个过程称为翻转,翻转后的 RTD 管具有较大的阻抗值[7]. RTD 器件的 I–V 特性曲线可用 MOS 网络进行等效模拟[8].

3 三端 RT 器件与单稳多稳转换逻辑单元

MOBILE 由 RTD 与一个三端共振遂穿(resonant tunnle, RT)器件串联组成. 三端的 RT 器件的结构如图 2(a)所示,它由 RTD 与场效应晶体管(field effect transistor, FET)并联而成,使用较多的场效应晶体管有 MODFET(modulation doped field effect transitor)和 HEMT(high electron mobility transistor)等[5,6]. 并联后的 RTD+ FET 三端器件仍然具有与 RTD 相似的负阻特性 I–V 曲线,且其峰值电流会随着场效应晶体管栅极输入电压的增大而增大, RTD+ FET 三端器件的 I–V 特性模拟曲线如图 2(b)所示.

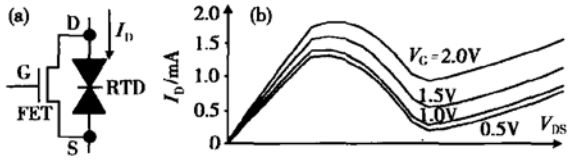

图 2 (a) RTD+ FET 三端器件;(b) I–V 特性曲线

Fig. 2 (a) RTD+ FET three terminal device; (b) I–V characteristic

MOBILE 电路结构如图 3(a)所示,由一个作为负载的 RTD 管 R_L 和一个三端 RT 器件串联组成. 图 3(b),(c)为 MOBILE 的工作状态图. 此电路是一个时钟上升沿有效的电路[5],当电源 V_{CK} 从低电平变化到高电平时,电路中的 RTD 管才有图 3(b),(c)中的 I–V 特性曲线,且峰值电流小的管子先从第一正阻抗区进入到负阻区,发生翻转. MOBILE 的工作规律如下[5]:

当电源 V_{CK} 为高电平时,输出 OUT 的状态保持不变;

当电源 V_{CK} 为低电平时,输出 OUT 为低电平;

当电源 V_{CK} 从低电平变化到高电平且 V_{CK} 的电平小于两倍的 V_P(三端 RTD+ FET 器件的峰值电压)时,从图 3(b)可以看出, R_L 与三端 R_D+ FET 器件只在第一正阻抗区有一个交点,即代表 MOBILE 仅有一个稳定的工作点,所以此时为单稳状态,输出为低电平,且与输入 V_{in} 无关;当 V_{CK} 的电平大于两倍的 V_P 时, R_L 的峰值电压变大,其 I–V 特性曲线右移,从图 3(c)中可以看出, R_L 与 R_D+ FET 在 R_D+ FET 的正阻抗区有两个交点,因而 MOBILE 有两个稳定的工作点,此时为双稳状态.

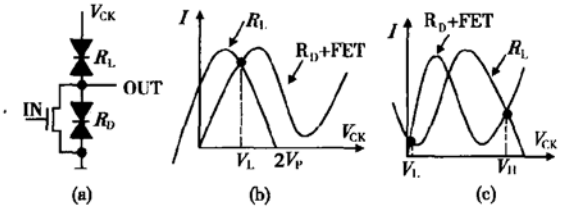

图 3 (a) MOBILE 单元电路;(b) 单稳状态;(c) 双稳状态

Fig. 3 (a) Unit circuit of MOBILE; (b) Mono-stable; (c) Bi-stable

MOBILE 在双稳态工作时实际上是一个反相器. 当输入 V_{in} 为低电平时, R_D+ FET 的峰值电流小于 R_L 的峰值电流,所以 R_D+ FET 先从第一正阻抗区进入到负阻区,发生翻转,呈现较大的阻值,而 R_L 仍处于第一正阻抗区,为导通状态,所以输出为高电平;当输入 V_{in} 为高电平时, R_D+ FET 的峰值电流大于 R_L 的峰值电流,所以 R_L 先从第一正阻抗区进入到负阻区,发生翻转,呈现较大的阻值,而 R_D+ FET 仍处于第一正阻抗区,为导通状态,所以输出为低电平. 由于 MOBILE 只有在时钟上升沿有效,所以其具有触发特性,若把 MOBILE 作为单元电路,便可以设计各种触发器,而且所设计出的电路功耗较低[5].

4 RS 锁存器

文献[9]提出了基于 RTD+ FET 的 RS 锁存器,如图 4(a)所示,它由两个压控的三端 RT 器件串联而成. 图 4(b)描述了 RS 锁存器电路的工作原理. R_L+ FET 为负载管, R_D+ FET 为驱动管,图 4(b)中两根实线分别表示当 V_{DD} 从 0 增大到高电平时 R_L+ FET 和 R_D+ FET 的 I–V 特性曲线,且在 R_D+ FET 的两个正阻抗区分别有一个稳定的工作点 S_1 和 S_2. RS 锁存器的工作过程分析如下:

当 V_{DD} 为零电平时,输出为 0V,不随输入的变化而变化;当 V_{DD} 为高电平时,若输入电压 V_{G1} 和 V_{G2} 都为 0V,电路有两个稳定状态 S_1 和 S_2(图 4(b)中两条实线的交点). 当一个正脉冲(复位脉冲)加在 V_{G1} 上时,根据三端 RT 器件的特点, R_D+ FET 的 I–

V 特性曲线的峰值电流变大, 如图 4(b) 中左边的虚线所示, 由于 V_{G2}仍为 0V, 所以 R_L+ FET 的 I-V 特性曲线不变, 仍表示为实线, 此时有一个稳定的输出状态 S_1(R_L+ FET 的实线与 R_D+ FET 虚线的交点), 也即输出低电平; 当 V_{G1}上的电压恢复到 0V 后, 电路的状态又回到离它最近的稳定状态 S_1. 同理, 当一个正脉冲(置位脉冲) 加在 V_{G2}上, 电路状态将达到 S'_2, 即输出为高电平, 随着置位脉冲的消失, 电路的输出将从逻辑高状态 S'_2 变到 S_2.

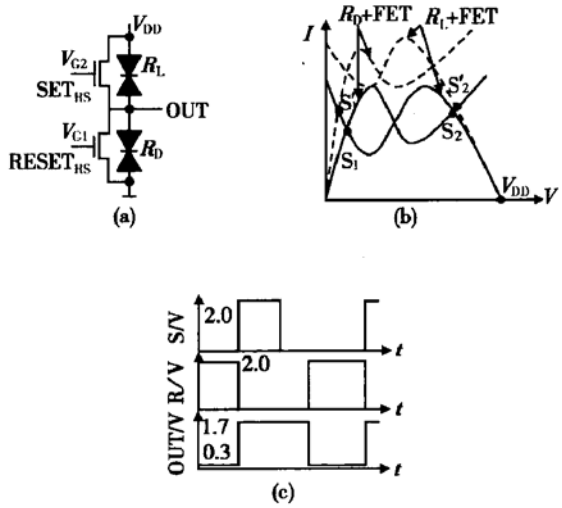

图 4　(a) RS 锁存器; (b) 工作原理; (c) 模拟曲线

Fig. 4　(a) RS latch; (b) Functional thoery; (c) Simulation graph

因此, 当 V_{G1}为高电平、V_{G2}为低电平时, 电路输出为低电平; 当 V_{G2}为高电平、V_{G1}为低电平时, 电路输出为高电平; 当 V_{G1}和 V_{G2}都为低电平时, 电路输出保持不变; 而当 V_{G1}和 V_{G2}都为高电平时, R_D + FET 和 R_L+ FET 的 I-V 特性曲线都表示为虚线, 有两个交点, 工作在哪个点不确定, 因此 V_{G1}和 V_{G2}不能同时为高电平. 所以当 V_{G1}和 V_{G2}分别为 R 和 S 信号时, 此电路就实现了 RS 锁存器功能. 图 4(c) 是此 RS 锁存器的 PSPICE 模拟结果. 模拟时取工作电压 V_{DD}为 2V, 输入电压 V_{G1}和 V_{G2}高低电平分别取 2V, 0V, 则输出为 0.3V(逻辑低) 和 1.6V(逻辑高).

5　JK 触发器的设计

由上文的分析可以看出, 在 RS 锁存器中, 不允许输入端 R, S 同时为 1, 这给使用带来了不便. 同时, 文献[4] 中设计了基于 MOBILE 的边沿型 D 触发器, 而 JK 触发器的功能更为强大, 基于此, 本文设计了基于 MOBILE 的边沿型 JK 触发器, 如图 5(a) 所示. JK 触发器的逻辑功能分析如下:

(1) 当时钟脉冲未到来时(V_{CK}= 0), 两个 MOBILE 的输出均为 0, 故两个与门被封锁, 触发器状态不会改变.

(2) 当时钟脉冲到来(V_{CK}从低电平变化到高电平) 时, 从图 5(a) 中可以看出, $SET_{RS}= J\overline{Q}$, $RESET_{RS}= KQ$, 此时触发器的次态 Q^{n+1}由输入信号 J, K 决定:

若 J= 0, K= 0, 则 SET_{RS}= 0, $RESET_{RS}$= 0, 使触发器保持原状不变;

若 J= 1, K= 0, 则 SET_{RS}= 1, $RESET_{RS}$= 0, 使触发器置为 1;

若 J= 0, K= 1, 则 SET_{RS}= 0, $RESET_{RS}$= 1, 使触发器置为 0;

若 J= 1, K= 1, 若触发器原状态为 0(Q= 0), 则 SET_{RS}= 1, 使触发器翻转为 1, 假定触发器原状态为 1(Q= 1), 则 $RESET_{RS}$= 1, 使触发器翻转为 0.

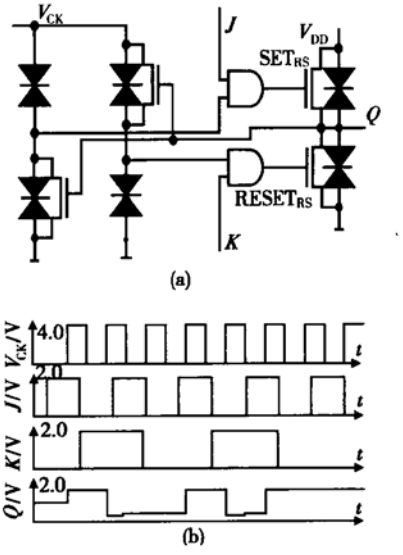

图 5　(a) JK 触发器电路; (b) 模拟曲线

Fig. 5　(a) Circuit of JK flip-flop; (b) Simulation graph

图 5(b) 是图 5(a) 所示 JK 触发器在 PSPICE 中的模拟结果. 模拟时时钟电压的高低电平分别取 4V 和 0V, 输入电压 J, K 高低电平分别取 2.0V 和 0V, 则输出为 0.28V 和 1.8V. 可见, 此电路实现了边沿型 JK 触发器的功能. 电路中的与门可用文献[10]

中的 RTD 与门电路实现.

6 触发器的直接置位复位控制

电路初始工作时,由于时钟信号的上升沿没有到来,使得电路的输出为不定状态. 为了使触发器能在工作时置于特定的状态(0 或 1),需要设置直接置位复位端.

根据上文的描述和 RS 锁存器的两个输入端不能同时为"1",假设前级输入到 RS 锁存器 SET_{RS} 和 $RESET_{RS}$ 端的信号分别为 A, B,可得有关置位信号 SET 以及复位信号 RESET 的真值表,如表 1 所示,表中 X 表示任意值. 由表可得 SET_{RS} 和 $RESET_{RS}$ 的表达式:

$$SET_{RS} = \overline{SET} + A \cdot RESET \quad (1)$$

$$RESET_{RS} = \overline{RESET} + B \cdot SET \quad (2)$$

因此只要在 RS 锁存器的前端加上按(1),(2)式所设计的逻辑电路便可以实现置位复位的要求. 具有直接置位复位功能的 JK 触发器如图 6(a)所示,其模拟曲线如图 6(b)所示. 置位和复位信号都是低电平有效. 由图 6(b)的模拟曲线可知,所设计的基于 MOBILE 的有直接预置功能的边沿型 JK 触发器具有正确的逻辑功能. 电路中的或门、与门以及非门都能用 RTD 电路来实现[10,11]. 由于或门、与门以及非门都是时钟上跳沿有效,因此预置控制为同步的,即设计的 JK 触发器为同步的可直接置位复位的 JK 触发器.

表 1 同步置位复位端的真值表

Table 1 Truth table of synchronous set-reset port

A	B	SET	RESET	SET_{RS}	$RESET_{RS}$
X	X	0	0	X	X
X	X	0	1	1	0
X	X	1	0	0	1
0	0	1	1	0	0
0	1	1	1	0	1
1	0	1	1	1	0

7 结论

本文介绍了一个用途广泛的单稳双稳转换逻辑单元电路以及 RS 锁存器,基于此设计了带直接置位复位端的边沿型 JK 触发器. 所设计的 JK 触发器功能强,与传统的触发器相比,基于 MOBILE 的边沿型 JK 具有量子器件的功耗低、速度快、电路简单

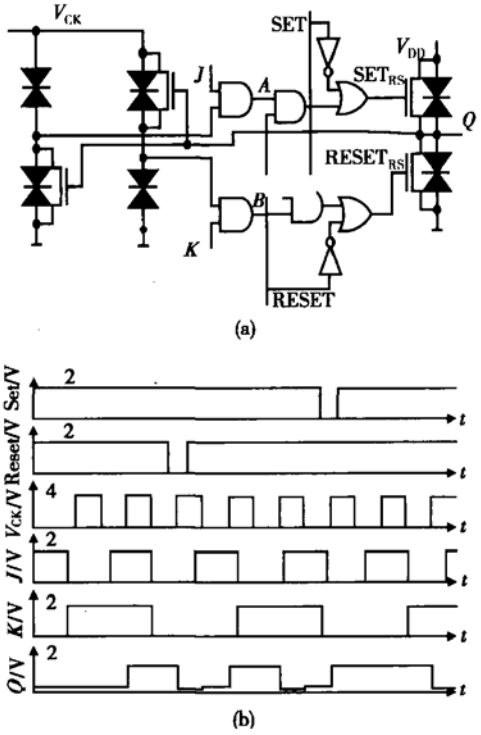

图 6 (a) 可置位复位的 JK 触发器;(b) 模拟曲线

Fig. 6 (a) Synchronous set-reset JK flip-flop; (b) Simulation graph

等优点. 本文设计的 JK 触发器丰富了量子电路中触发器的种类,使得量子时序电路的设计更为灵活.

参考文献

[1] Maezawa K, Akeyoshi T, Mizutani T. Functions and applications of monostable-bistable transition logic elements (MOBILEs) having multiple-input terminals. IEEE Trans Electron Devices, 1994, 41(2): 148

[2] Yuminaka Y, Morishita T, Aoki T, et al. Mulitiple-valued data recovery techniques for band-limited channels in VLSI. Boston: IEEE Computer Society Press, 2002: 54

[3] Prost W, Auer U, Tegude F J, et al. Tunneling diode technology. Warsaw: IEEE Computer Society Press, 2001: 49

[4] Matsuzaki H, Itoh T, Yamamoto M. A novel high-speed flip-flop circuit using RTDs and HEMTs. Proceedings Ninth Great Lakes Symposium on VLSI Society, 1999: 154

[5] Yamamoto M, Matsuzaki H, Itoh T, et al. Ultrahigh-speed circuits using resonant tunneling devices. Proceedings Ninth Great Lakes Symposium on VLSI, 1999: 150

[6] Mazumder P, Kulkarni S, Bhattacharya M, et al. Digital circuit applications of resonant tunneling devices. Proceedings of the IEEE, 1998, 86(4): 664

[7] Waho T, Chen K J, Yamamoto M. Resonant-tunneling diode

and HEMT logic circuits with multiple thresholds and multi-level output. IEEE J Solid-State Circuits, 1998, 33: 268

[8] Bhattacharya M, Kulkarni S, Gonzalez A, et al. A prototyping technique for large-scale RTD-CMOS circuits. Proceedings of IEEE International Symposium on Circuits and Systems, 2000: 28

[9] Chen K, Akeyoshi T, Maezawa K. Reset-set flipflop based on a novel approach of modulating resonant-tunneling current with FET gates. Electron Lett, 1994, 30(21): 1805

[10] Williamson W, Enquist S, Chow D, et al. 12GHz clocked operation of ultralow power interband resonant tunneling diode pipelined logic gates. IEEE J Solid-State Circuits, 1997, 32: 222

[11] Maezawa K, Matsuzaki H, Arai K, et al. High-speed operation of a resonant tunneling flip-flop circuit employing a MOBILE (monostable-bistable transistion logic element). Device Research Conference Digest, 1997, 55: 94

Design of JK Flip-Flop Based on MOBILE

Shen Jizhong[1], Lin Mi[2] and Wang Lin[1]

(1 *Department of Information Science and Electronic Engineering, Zhejiang University, Hangzhou* 310028, *China*)

(2 *College of Electronic Information, University of Science and Technology, Hangzhou* 310018, *China*)

Abstract: A novel quantum logic element called MOBILE (monostable-bistable transition logic element) and its functional theory are introduced, and a synchronous set-reset edge-trigged JK flip-flop based on MOBILE is designed. The JK flip-flop has stronger function than D flip-flop does, and also riches the types of flip-flops in quantum circuits.

Key words: MOLILE; RTD; JK flip-flop; quantum circuits

EEACC: 1265B

Article ID: 0253-4177(2004)11-1469-05

Shen Jizhong　male, was born in 1965, PhD, professor. He is engaged in the research on digital IC design.

Lin Mi　female, was born in 1978, master. Her research activities mainly include the design of digital circuits.

Received 25 November 2003, revised manuscript received 29 April 2004

©2004 The Chinese Institute of Electronics