

# 3—6nm 超薄 SiO<sub>2</sub> 栅介质的特性

高文钰 张 兴 田大宇 张大成 王阳元

(北京大学微电子学研究所, 北京 100871)

**摘要:** 采用栅氧化前硅表面在 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 中形成化学氧化层方法和氮气稀释氧化制备出 3.2、4 和 6nm 的 SiO<sub>2</sub> 超薄栅介质, 并研究了其特性. 实验结果表明, 恒流应力下 3.2 和 4nm 栅介质发生软击穿现象. 随着栅介质减薄, 永久击穿电场强度增加, 但恒流应力下软击穿电荷下降. 软击穿后栅介质低场漏电流无规则增大. 研究还表明, 用软击穿电荷分布计算超薄栅介质有效缺陷密度比用永久击穿场强分布计算的要大. 在探讨软击穿和永久击穿机理的基础上解释了实验结果.

**关键词:** 超薄栅介质; 软击穿; 完整性; 漏电流

**EEACC:** 2550E; 2530F

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2001)07-0860-05

## 1 引言

栅介质的性能好坏直接决定着集成电路的性能、可靠性以及成品率. 当前, 特征尺寸为 0.35 和 0.25 $\mu\text{m}$  的 CMOS 硅集成技术已成为生产主流, 而且正向 0.18 $\mu\text{m}$  过渡. 未来十年面临的问题是开发 0.13—0.05 $\mu\text{m}$  CMOS 工艺技术. 随着器件特征尺寸的进一步缩小, 研究开发厚度为小于 4nm 的优质超薄 SiO<sub>2</sub> 栅介质变得越来越重要, 并且已经成为开发亚 0.1 $\mu\text{m}$  集成电路工艺技术的关键之一. 国际上这方面研究进展很快, 据 1999 年 IEDM 报道, 已制备出栅 SiO<sub>2</sub> 厚度为 0.9nm 的 MOSFET<sup>[1]</sup>. 国内清华大学 1997 年采用 NO 氮化工艺制备出性能良好的 5nm 栅介质<sup>[2]</sup>, 中国科学院微电子中心采用 N<sub>2</sub>O 氮化法和注氮氧化技术制备出栅介质厚度为 3.6nm, 沟道长度为 0.18 $\mu\text{m}$  的 NMOSFET<sup>[3]</sup>. 但迄今为止, 人们对于超薄栅介质特性的报道和认识还比较有限. 我们采用栅氧化前硅表面在 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 中形成化学氧化层和稀释氧化方法制备出了厚度为 3.2—6nm 的超薄 SiO<sub>2</sub> 栅介质, 这种超薄栅介质具有较好的特性, 并且已经用于制备亚 0.1 $\mu\text{m}$

的 MOS 器件, 取得了良好的结果. 本文对超薄栅介质的击穿现象、漏电流、缺陷密度和界面态等特性进行了细致研究.

## 2 工艺与测试

采用 LOCOS 技术在 p 型(100)100mm 硅衬底上制备了 n<sup>+</sup>-poly Si/SiO<sub>2</sub>/p-Si(100) 结构的 MOS 电容样品, 硅片电阻率为 4—6 $\Omega \cdot \text{cm}$ . 在进行栅氧化之前, 硅表面首先在 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=4:1 溶液中形成极薄的化学氧化层以提高栅介质层的完整性<sup>[4,5]</sup>. 栅氧化是在 O<sub>2</sub>:N<sub>2</sub>=1:9 的气氛中进行, 时间为 10min, 温度分别为 800、850 和 925 $^{\circ}\text{C}$ , 获得的栅氧化层厚度分别为 3.2、4 和 6nm(电容法测量), 氧化后在 N<sub>2</sub> 气氛中退火 20min, 温度同氧化温度一致. 电容法和椭圆仪测量的结果基本相符合, 如图 1 所示. 氧化后淀积厚度为 400nm 的多晶硅, 然后进行磷离子注入掺杂, 能量为 85keV, 剂量为  $5 \times 10^{15}/\text{cm}^2$ . 掺杂后在 1050 $^{\circ}\text{C}$  下激活退火 20s. 刻蚀出不同面积的多晶硅 MOS 电容后, 硅片背面蒸铝并在 430 $^{\circ}\text{C}$  下, H<sub>2</sub>:N<sub>2</sub>≈1:8 的气氛中合金 30min. 采用 HP4156B 半导体综合参数分析仪和 HP4275A—

高文钰 男, 1964 年出生, 博士后, 主要从事 VLSI 工艺和 MOS 器件的可靠性研究.

张 兴 男, 1965 年出生, 教授, 主要从事 MOS/SOI、纳米器件及其工艺, 以及电子器件的辐射加固研究.

2000-06-25 收到, 2000-12-08 定稿

©2001 中国电子学会

LCR 仪对超薄栅介质进行了击穿电压、击穿电荷、电流-电压特性、电容-电压特性和界面态密度等测量。

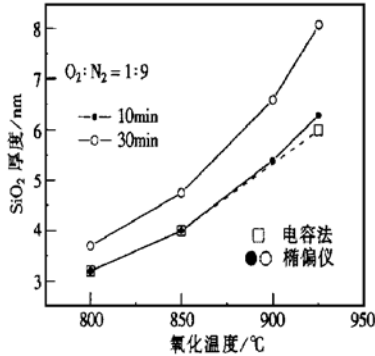


图 1 热 SiO<sub>2</sub> 生长厚度和温度的关系

FIG. 1 Dependence of Oxide Thickness on Temperature

### 3 结果与讨论

图 2 给出了 4nm 超薄氧化层 MOS 电容的电流-电压( $I-V$ )特性曲线。从图中可以看出, 电流在 -6—-8V 之间突然增加。再测得的  $I-V$  特性显示, 低电场下漏电流很大, 线性坐标(图 2 中的小图)反映的更加明显。这说明  $n^+$ -poly Si/SiO<sub>2</sub>/p-Si (100) MOS 结构中的超薄 SiO<sub>2</sub> 已发生永久击穿(catastrophic breakdown), 对应电流突变的电压为击穿电压。

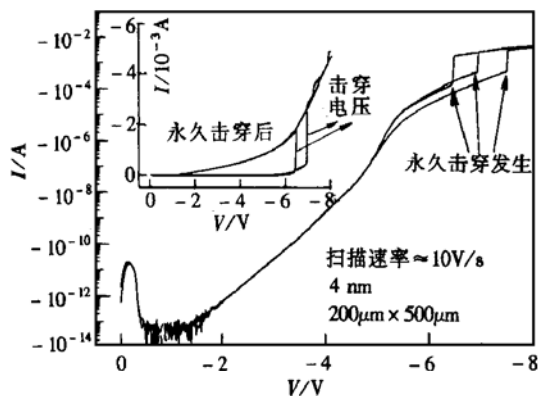


图 2 栅氧化层击穿前后的电流-电压曲线

FIG. 2  $I-V$  Characteristics of Gate Oxides

分别对 6、4 和 3.2nm 的超薄栅介质样品进行了  $I-V$  特性测试(每种取样约 50 个左右), 获得累计失效率同击穿场强分布的关系, 如图 3 所示。可以看

出, 永久击穿场强随着栅介质厚度减小而增大, 这同国外报道的结果相同<sup>[6]</sup>。6、4 和 3.2nm 栅介质的平均击穿场强依次约为 14.1、14.7 和 16.6 MV/cm。对于超薄栅介质, 一般认为击穿场强低于 12 MV/cm 的电容是由缺陷引起。按照这一原则, 计算得到的等效电缺陷密度约为 20 个/cm<sup>2</sup>。在所有测试过程中, 没有出现低于 8 MV/cm 的击穿, 这意味着氧化时产生的针孔密度也较小。同时也说明采用硅表面在 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub> 溶液中形成极薄的化学氧化层有可能成为一种提高超薄栅介质完整性的方法。

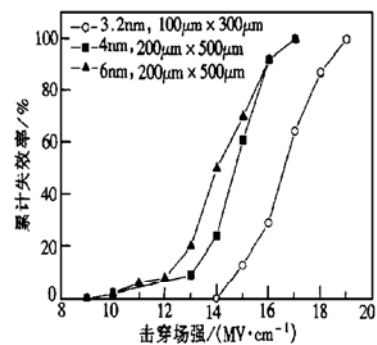


图 3 栅氧化层累计失效率同击穿场强关系

FIG. 3 Cumulative Failure Rate Versus Electric Field

特大规模集成技术(4nm 栅介质对应于 0.13μm 工艺)要求电缺陷密度低于 0.1 个/cm<sup>2</sup>(DRAM 要求 0.012 个/cm<sup>2</sup>), 我们获得的 SiO<sub>2</sub> 介质离这个要求相差还很远。可见从应用角度来看, 十分有必要探索影响栅介质完整性因素和提高超薄栅介质完整性工艺。

图 4 给出了超薄 SiO<sub>2</sub> 栅介质恒流应力下电压随时间的变化。很明显, 三种厚度栅介质恒流应力下电压变化规律不同。对于 6nm 栅介质, 恒流应力一定时间后电压突然降到 -2V 以下, 发生永久击穿; 而对 3.2 和 4nm 栅介质, 一定时间后电压突变到 -3—-5V 之间, 以后小范围不规则波动。这种现象称为软击穿(soft breakdown)<sup>[7]</sup>。从测量软击穿后的  $I-V$  特性看出(图 5), 软击穿后介质低电场漏电流明显增加。进一步测量表明, 软击穿后漏电流增加幅度很不规则, 而且软击穿后即使加恒流应力 1h 也没有发生永久击穿现象, 这同已报道的研究结果一致<sup>[7]</sup>。软击穿是低于 5nm SiO<sub>2</sub> 的特征, 它的微观机理可能是应力下电子陷阱增加到一定程度后介质内形成了一条电子隧穿通路, 由于栅介质很薄, 引起电

离碰撞几率小, 不会引起电场增强, 也不会发生厚栅那样的热烧毁性永久击穿。

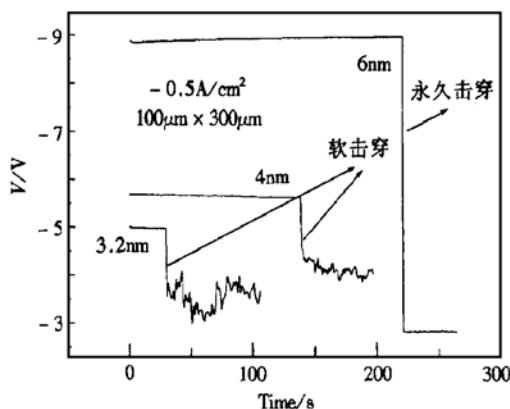


图4 超薄栅介质恒流应力下电压随时间的变化

FIG. 4 Evolution of Gate Voltage Under a Constant Current Stress

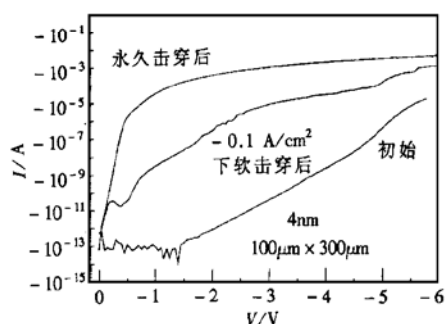


图5 软击穿和永久击穿后的漏电流随栅压的变化

FIG. 5 Leakage Current of the Gate Oxides After Breakdown

对面积为  $100\mu\text{m} \times 100\mu\text{m}$  三种厚度的栅介质分别做了恒流应力实验, 获得发生软击穿累计失效率同击穿电荷的关系, 如图6所示。6nm 栅介质的平均永久击穿电荷为  $29\text{C}/\text{cm}^2$ , 4 和 3.2nm 栅介质的平均软击穿电荷分别为 30 和  $2\text{C}/\text{cm}^2$ 。随着栅介质减薄, 击穿特性变差, 这一趋势同已有报道相一致<sup>[8]</sup>。

软击穿电荷和击穿电场随栅介质厚度变化规律正好相反。另外, 如果用软击穿电荷小于  $1\text{C}/\text{cm}^2$  来评价 4nm 栅介质的有效电缺陷密度, 结果为  $840\text{个}/\text{cm}^2$ , 比用击穿电场分布计算的大 40 倍。但以前 7nm 厚栅氧化层实验结果表明, 用击穿电荷和击穿电场分布评估结果是一致的。这种差异很可能是由于软击穿和永久击穿机理不同引起, 大电场下

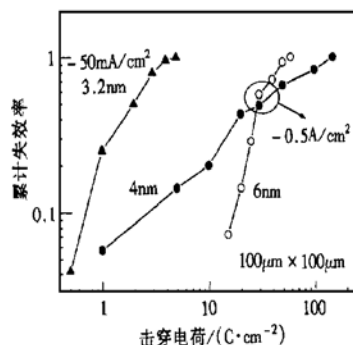


图6 软击穿累计失效率同击穿电荷的关系

FIG. 6 Cumulative Failure Rate Versus Charge-to-Breakdown

的永久击穿是微观缺陷产生和积累, 最后引起大电流和介质热烧毁。较厚栅介质在恒流应力虽然不会产生大电流, 但由于外加电场较大, 也会促使热烧毁发生。对于超薄栅介质, 恒流应力下一定程度的微观缺陷产生就导致电子隧穿通路产生, 漏电流增加, 但不会出现热烧毁, 即只出现软击穿。同永久击穿相比, 软击穿可能对介质内微缺陷或杂质以及 Si/SiO<sub>2</sub> 界面平整度更敏感, 而且敏感度随栅介质减薄而增强。所以软击穿电荷随着栅介质减薄而降低, 这可能是软击穿电荷分布估算有效电缺陷密度较大的原因。

软击穿虽然不会引起器件功能完全失效, 但软击穿后的低场漏电会导致集成电路功耗增加。软击穿电荷和软击穿后的漏电大小也很可能同具体工艺有关。本文中栅介质在氧化前已在 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub> 溶液中形成约 1.5nm 厚的化学氧化层, 它有利于提高较厚栅介质完整性和击穿电荷和界面平整度(以前 7nm 样品的结果), 但不知是否对提高低于 5nm 的超薄栅介质性能有利。尤其是 3.2nm 栅介质的软击穿电荷较低不知是否是因为结构较松散的化学氧化层的缘故。大部分研究者倾向于化学氧化层不利于提高超薄栅介质性能, 但也有人采用将化学氧化层致密的方法(densification)制备超薄 SiO<sub>2</sub>, 我们目前也正在做方面研究工作。

对样品的高频电容-电压(C-V)特性也进行了测量。如图7所示, 超薄栅介质 MOS 电容保持较好的 C-V 特性。电导法测量表明, 6nm 样品的 SiO<sub>2</sub>/Si 平均界面态密度较低, 约为  $0.8 \times 10^{11}/\text{cm}^2$ , 而 3.2 和 4nm 样品的界面态密度较高, 约为  $1.2 \times 10^{11}/\text{cm}^2$ 。通过高温氧化或退火可能会降低界面态密度,

但可能会带来介质厚度可控性和均匀性降低, 这也是一个需要进一步研究的问题.

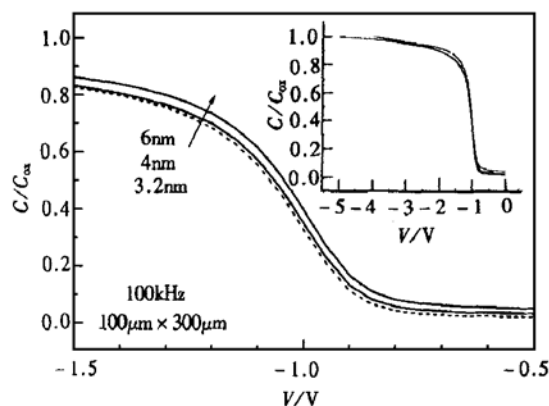


图 7 不同栅氧化层厚度 MOS 电容的电容-电压特性

FIG. 7 C-V Characteristics of MOS Capacitors

## 4 总结

采用栅氧化前硅表面在 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub> 中形成化学氧化层方法和氮气稀释氧化制备出 3.2—6nm SiO<sub>2</sub> 超薄栅介质. 6、4 和 3.2nm 的永久平均击穿场强依次约为 14.1、14.7 和 16.6MV/cm. 恒流应力下, 4 和 3.2nm 栅介质出现软击穿, 平均软击穿电荷分别为 30 和 2C/cm<sup>2</sup>; 而 6nm 栅介质只出现永久击穿, 击穿电荷为 29C/cm<sup>2</sup>. 随着栅介质减薄, 永久击穿电场增加, 但恒流应力下越容易发生软击穿. 用永久击穿场强小于 12MV/cm 和软击穿电荷小于 1C/cm<sup>2</sup> 作为电缺陷计算标准时, 4nm 栅介质等效电缺陷密度分别为 20 和 840 个/cm<sup>2</sup>.

分析认为, 发生上述实验现象的原因是软击穿和永久击穿机理不同. 永久击穿的过程是微观缺陷产生积累, 最后引起介质热烧毁; 软击穿过程则是恒

流应力下一定程度的微观缺陷产生引起电子隧穿通路形成, 漏电流增加, 但不会出现热烧毁. 软击穿对介质内微缺陷或杂质密度以及 Si/SiO<sub>2</sub> 界面平整度更敏感, 而且栅介质越薄敏感性越强.

软击穿后栅介质低场漏电流不规则增大, 意味着用于电路制造会引起功耗增加. 所以如何通过改进工艺提高软击穿电荷和降低软击穿后漏电流十分重要. 另外本文获得的栅介质密 SiO<sub>2</sub>/Si 界面态密度略大, 如何降低界面态密度又保持栅介质厚度均匀可控也需要进一步研究.

**致谢** 本所国家级微米/纳米重点实验室工作人员精心制作实验样品, 许铭真教授、莫邦燮教授、韩汝琦教授、中国科学院半导体研究所刘忠立研究员等给予许多有益指导、讨论和帮助, 在此表示感谢.

## 参考文献

- [1] M. S. Krishnan, L. Chang, T. J. King *et al.*, IEDM, 1999, 241.
- [2] XIANG Xue-song and XIONG Da-qing, Proceedings of 10th Chinese Symposium for Integrated Circuits and Silicon Materials, Qingdao, China, 1997, 143.
- [3] XU Qiu-xia, YIN Hua-xiang, JI Hong-hao *et al.*, Proceedings of 11th Chinese Symposium for Integrated Circuits and Silicon Materials, Dalian, China, 1999, 240.
- [4] T. Ohmi, J. Vac. Sci. Technol., 1995, **A13**(3): 1665.
- [5] GAO Wen-yu, LIU Zhong-di, HE Zhi-jing *et al.*, Chinese Journal of Semiconductors, 1999, **20**(10): 930.
- [6] K. F. Schuegraf and Chenming Hu, Semicond. Sci. Technol., 1994, **9**: 989.
- [7] T. Tomita, H. Utsunomiya, T. Sakura *et al.*, IEEE Trans. Electron Devices, 1999, **46**(1): 159.
- [8] B. E. Weir, P. J. Silverman, D. Monroe *et al.*, IEDM, 1997, 73.

## Electrical Characteristics of 3—6nm Ultra-Thin Gate Oxide

GAO Wen-yu, ZHANG Xing, TIAN Da-yu, ZHANG Da-cheng and WANG Yang-yuan

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

**Abstract:** The electrical characteristics of the ultra-thin gate oxides (3.2—6nm) are studied. A soft breakdown occurs in the gate oxides of 3.2 or 4nm in thick under a constant current stress. The more the gate oxide thins, the smaller its soft charge-to-breakdown gets, but the larger its breakdown field becomes. After the soft breakdown, the leakage current at the low electric field increases irregularly. In addition, the effective defect density calculated from the soft charge-to-breakdown distribution is larger than that from breakdown field distribution. The experimental results are explained based on the mechanism of the soft and catastrophic breakdown.

**Key words:** ultra-thin gate oxide; soft breakdown; integrity; leakage current

**EEACC:** 2550E; 2530F

**Article ID:** 0253-4177(2001)07-0860-05

---

GAO Wen-yu male, post-doctor, was born in 1964. His work focuses on the VLSI technology and MOS device reliability.

ZHANG Xing male, professor, was born in 1965. His current interests include MOS/SOI, nano-meter devices and their technology, and radiation hardness of electric devices.

Received 25 June 2000, revised manuscript received 8 December 2000

©2001 The Chinese Institute of Electronics