

# 一种新的高性能开关电流排序电路\*

林 谷 石秉学

(清华大学微电子学研究所 北京 100084)

**摘要** 本文首次提出了一种高性能的开关电流型排序电路。它采用开关电流镜跟踪/保持输入信号,通过全对称的WTA(Winner-Take-All)电路网络求最大,最后分时输出排序结果。该电路结构简单、灵活,规模易扩展。PSPICE模拟结果表明,该电路的输出电流相对于输入电流的偏差小,最大偏差为 $5\mu\text{A}$ ;排序电路有较高的分辨精度,在 $5\mu\text{A}$ 以内。由于采用开关电流技术,该电路完全同数字CMOS工艺相兼容,易于VLSI实现。

EEACC: 6230F, 2570D, 1285

## 1 引言

目前,在工程实际中存在着许多问题。其中,有些问题可以采用数值计算来解决,而其它大部分问题往往无法用数值计算的方法来完成。随着科学技术的发展,这类非数值问题的应用越来越广泛,如何更为有效地处理这些非数值问题已成为工程研究的重要课题。

排序就是一个基本的非数值问题。简单地说,排序就是一个将无序表调整为有序表的过程。随着研究的发展和深入,排序已经被应用于许多领域的处理系统中,如分类、查找、模式识别等多种系统<sup>[1~3]</sup>。这些系统往往要处理大量的数据,同时需要进行实时处理,这就对系统的性能有了更高的要求。目前,虽然排序的方法较多,如冒泡法、快速排序法等<sup>[4]</sup>,但由于这些算法都较难以用VLSI来实现,所以排序工作主要采用软件依靠数字计算机来完成。这样,一方面大大限制了系统的工作速度,难以进行实时处理;另一方面,也限制了排序方法的应用领域。为此,本文提出了一种易于VLSI实现的模拟型排序电路。模拟型的VLSI主要有电压型和电流型两种电路。同电压型电路相比,电流型电路具有电流取值范围较宽,易于制成任意值或连续值系统,并且电流间易于进行求和、求差等运算。特别是采用MOS工艺制作的电流型电路,还具有集成度高、易于同数字电路混合集成的特点,所以电流型电路目前已广泛地应用于多种集成电路系统中。基于此,我们设计了一种电流型的排序电路。在电路工作时,所有待排序电流同时输入,排序结果分时输出。PSPICE模拟结果表明,该电路具

\* 本课题由国家自然科学基金和高校博士点基金资助

林 谷 男,1972年出生,博士研究生,从事人工神经网络及模糊逻辑系统的集成电路实现、数字和模拟集成电路研究

石秉学 男,1936年出生,教授,博士生导师,从事人工神经网络及模糊逻辑系统及其集成电路实现、模拟集成和数/模混合集成电路与系统研究

1996-11-14收到,1997-01-24定稿

有偏差小、分辨精度高的特点。同时,电路结构简单、灵活,规模易于扩展。由于采用开关电流技术,该电路完全同数字 CMOS 工艺相兼容,易于 VLSI 实现。目前,该排序电路已被用于模式识别系统的集成电路设计中。

在本文第二部分将阐述开关电流镜的跟踪/保持原理,第三部分将讨论开关电流型排序电路的结构和工作原理,第四部分给出了模拟结果,最后在第五部分作总结。

## 2 开关电流镜的跟踪和保持原理

开关电流技术是由 Hughes 等人在 1989 年提出的。同开关电容电路相比,开关电流电路使用 MOS 晶体管作为存储器件,其制作工艺完全同数字 CMOS 工艺相兼容,易于 VLSI 实现。另外,开关电流电路采用电流镜作为放大器,使其对电源电压的要求不高,电路可以在低压低功耗下工作。目前,开关电流技术已广泛地应用于滤波器的设计中<sup>[5~8]</sup>。

开关电流电路最基本的单元就是开关电流镜。开关电流镜具有跟踪/保持的特性,它的原理图如图 1 所示。在图 1 中, $M_1$  和  $M_2$  是镜像管, $M_s$  是开关管,CK 是时钟信号。在 CK 时钟的控制下,开关电流镜可以处于两个工作模式:跟踪和保持。在跟踪阶段,开关  $M_s$  导通,理想情况下  $M_1$  和  $M_2$  的栅短接,此时相当于普通的电流镜,有

$$V_{gs1}(t) = V_{gs2}(t) \quad (1)$$

$$I_{out}(t) = I_{in}(t) \quad (2)$$

因此输出电流跟踪输入电流。在保持阶段,设时刻  $T$  开关  $M_s$  断开, $M_2$  的栅电容存储了时刻  $T$  时  $M_2$  栅电压相应的电荷,因此输出信号电流被保持,即有

$$I_{out}(t) = I_{in}(T) \quad (3)$$

不严格的 MOSFET 栅电容存储了相应于恒定电流输出的电荷,直到其栅电压改变。开关电流镜的这种跟踪/保持工作方式类似于数字电路设计中的动态电路工作方式。本文的排序电路将充分利用开关电流镜的这种跟踪/保持特性。

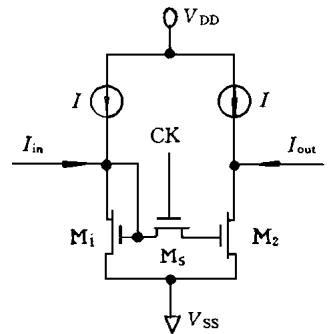


图 1 开关电流镜电路图

## 3 开关电流型排序电路的结构和工作原理

图 2 给出了四输入开关电流型排序电路图,电路由以下四部分组成。

Block1 是输入部分,它由四个完全相同的输入单元组成。 $I_{in_i}(0 \leq i \leq 3)$  是四个待排序的输入电流。为方便起见,这里仅讨论最左端的输入单元。在该输入单元中,镜像管  $M_{03}$ 、 $M_{04}$  和开关管  $M_{12}$  组成了一个开关电流镜。它可以使电流  $I_0$  跟踪/保持  $M_{03}$  支路的电流。 $M_{11}$  是另一个开关管。当  $M_{11}$  导通时,输入电流  $I_{in0}$  被镜像映射到  $M_{02}$  支路上;当  $M_{11}$  断开时, $M_{02}$  支路上电流为零。所以,通过控制开关管  $M_{11}$  的通断状态,就可以控制  $I_0$  同  $I_{in0}$  的关系。

Block2 是一个全对称的四端 WTA 求大电路网络,其中,所有 NMOS 管的尺寸都是相同的。这个 WTA 是一种具有高精度、高速度的侧向抑制互连网络。在这个网络中,每个电流输入端都对应一组电流镜电路,如电流  $I_0$  输入的这一路, $M_{21}$  是输入管,流经  $M_{21}$  漏源端的

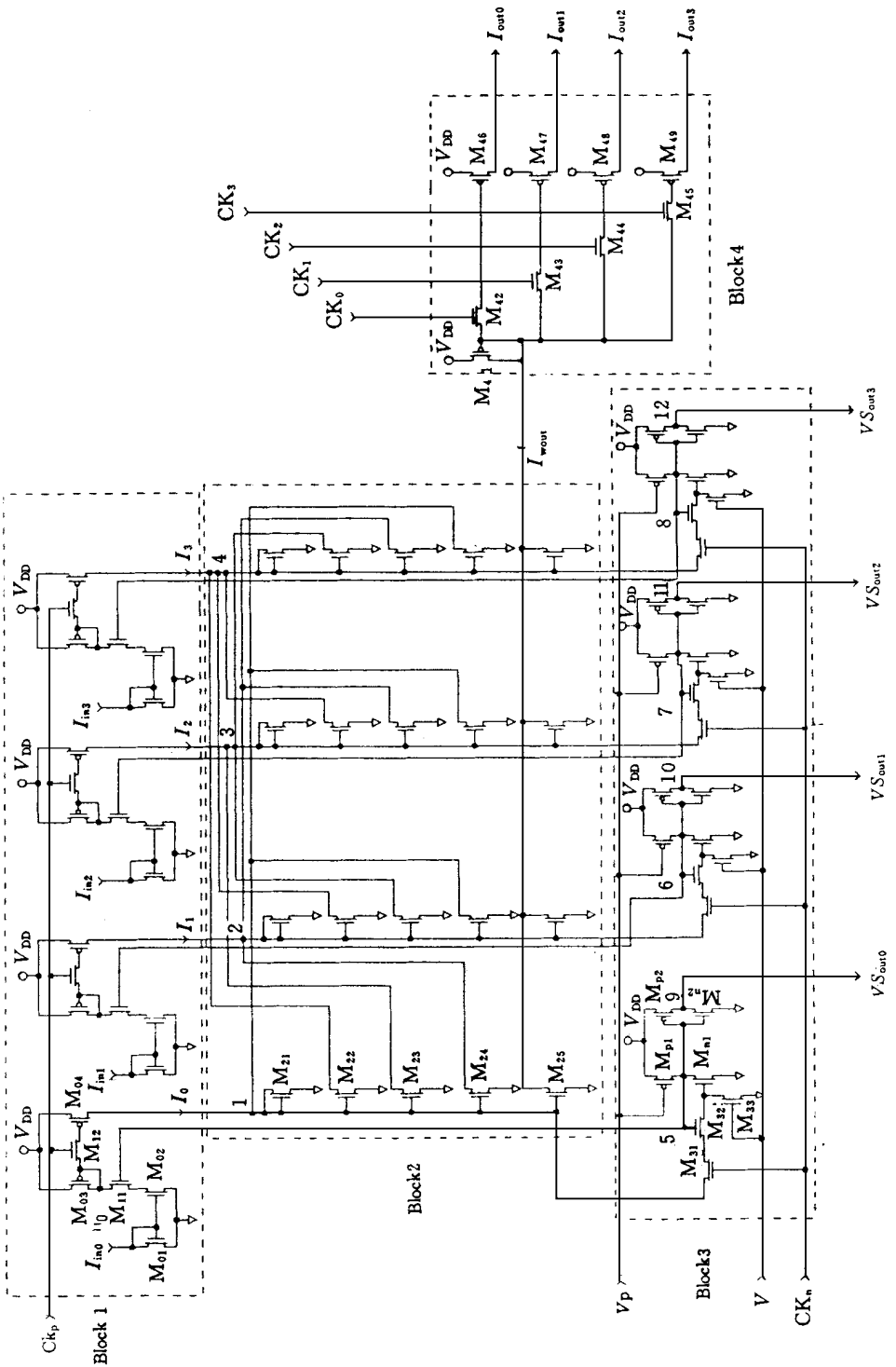


图 2 四输入开关电流型排序电路图

电流应在 $M_{22}$ 、 $M_{23}$ 、 $M_{24}$ 和 $M_{25}$ 的源漏端产生镜像电流,但 $M_{22}$ 、 $M_{23}$ 和 $M_{24}$ 的漏端分别接到了 $I_1$ 、 $I_2$ 和 $I_3$ 的输入端,因此,假定当 $I_0 > I_1$ 、 $I_0 > I_2$ 且 $I_0 > I_3$ 时,流经镜像管 $M_{22}$ 、 $M_{23}$ 和 $M_{24}$ 的电流小于输入电流 $I_0$ ,这将使 $M_{22}$ 、 $M_{23}$ 和 $M_{24}$ 工作在非饱和区或接近非饱和区,因而节点2、3和4将被抑制在低电位下,对应输入端 $I_1$ 、 $I_2$ 和 $I_3$ 的各MOS管都处于截止状态,在输出端得到的WTA输出电流 $I_{wout}$ 就是流经 $M_{25}$ 的镜像电流 $I_0$ 。从上述分析可以看出,各输入电流端相互间都会有抑制作用,这将导致一种竞争机制,即对应最大电流的输入端,由于各镜像管的导通电阻相对较小,因此将把其它输入端的电流吸引过来,同时将相应节点抑制到低电平。

Block3是反馈控制和电压输出电路,它也由四个结构完全相同的单元组成。为方便起见,这里仅讨论最左端的单元。在该单元中,开关管 $M_{31}$ 和 $M_{32}$ 用于决定前后电路的通断状态,开关管 $M_{33}$ 用于建立排序电路的初始状态。N管 $M_{n1}$ 和 $M_{n2}$ ,P管 $M_{p1}$ 和 $M_{p2}$ 组成了一个非线性转换电路。其中, $M_{n1}$ 是WTA电路网络中 $M_{21}$ 的镜像管, $M_{n1}$ 、 $M_{21}$ 和开关管 $M_{31}$ 、 $M_{32}$ 组成一个开关电流镜。由外加偏置电压 $V_P$ 控制的 $M_{p1}$ 管起上拉 $M_{n1}$ 漏端电平的作用, $M_{n2}$ 和 $M_{p2}$ 组成了一个反相器。该非线性转换电路可以将小于设定临界值的 $M_{n1}$ 栅电压转换为低电平由节点9输出,将高于临界值的 $M_{n1}$ 栅电压转换为高电平由节点9输出,外加偏置电压 $V_P$ 可用于调整电压的临界值。在Block3中,节点5、6、7和8的电压被用于控制与它们相连接开关管的通断状态。通过下面工作原理的分析可知,节点9、10、11和12将分别输出由低到高的跳变电压,这些跳变电压可以被用来确定由大到小的排序电流各自对应的输入端情况。

Block4是电流输出部分,N管 $M_{42}$ 、 $M_{43}$ 、 $M_{44}$ 和 $M_{45}$ 是由不重叠的脉冲时钟 $CK_0$ 、 $CK_1$ 、 $CK_2$ 和 $CK_3$ 分别控制的四个开关管,P管 $M_{46}$ 、 $M_{47}$ 、 $M_{48}$ 和 $M_{49}$ 是大小同 $M_{41}$ 相等的镜像管。来自WTA网络的输出电流 $I_{wout}$ ,可以分时地被镜像映射到输出端产生 $I_{out0}$ 、 $I_{out1}$ 、 $I_{out2}$ 和 $I_{out3}$ 。 $I_{out0}$ 、 $I_{out1}$ 、 $I_{out2}$ 和 $I_{out3}$ 就是由大到小排序后的电流结果。

下面讨论这个四输入开关电流型排序电路的工作原理,图3给出了其工作时序。

在排序电路不工作时,所有时钟为低电平,以减小电路的静态功耗。假设在时刻 $T_0$ ,排序电路被启动。 $V_i$ 由低变高,这使Block3中相应于 $M_{n1}$ 的各MOS管栅电压变低,节点5、6、7和8的电压变高,节点9、10、11和12的电压变低。节点5、6、7和8的高电压使Block1中相应于 $M_{11}$ 的各开关管和Block3中相应于 $M_{32}$

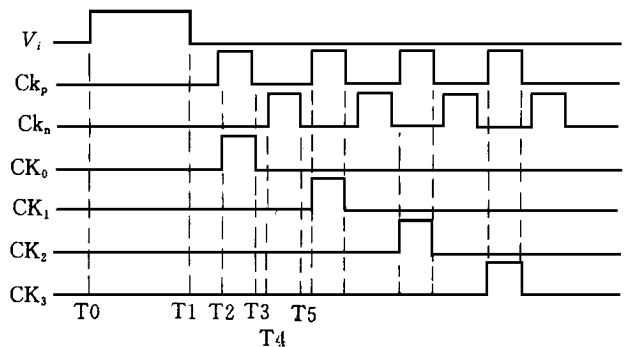


图3 四输入开关电流型排序电路的时序图

的各开关管导通。在 $T_1$ 时刻, $V_i$ 变低,节点5、6、7和8的电压保持在高电平,节点9、10、11和12的电压保持在低电平。在 $T_2$ 时刻, $CK_p$ 第一个高电平脉冲到来,Block1中相应于 $M_{12}$ 的各开关管导通,输入电流被镜像映射到WTA的输入端。不失一般性地假定 $I_{in0} = \max(I_{in0}, I_{in1}, I_{in2}, I_{in3})$ ,WTA通过侧向抑制作用求得最大电流(即 $I_{wout} = I_{in0}$ ),同时使节点1电压变高,节点2、3和4电压变低。由于在 $T_2$ 时刻, $CK_0$ 的高电平脉冲同时到来,使Block4中的 $M_{42}$ 导通,所以最大电流被镜像映射输出,即有 $I_{out0} = I_{in0}$ 。在 $T_3$ 时刻, $CK_p$ 和 $CK_0$ 变低,Block1和Block4中开关电流镜的输出

电流被保持,  $I_{out0}$  也将继续保持等于  $I_{in0}$ 。在  $T_4$  时刻,  $CK_n$  变高, Block3 中相应于  $M_{31}$  的各开关管导通, 节点 1 的高电压使节点 5 的电压变低, 节点 2、3 和 4 的低电压使节点 6、7 和 8 的电压仍为高电平。这使得  $V_{S_{out0}}$  输出一个由低变高的跳变电压, 而其余的  $V_{S_{outi}}$  ( $i=1, 2, 3$ ) 电压仍为低电平, 所以通过测试  $V_{S_{outi}}$  的跳变电压就可以判断出最大电流所对应的输入端。另一方面, 节点 5 的低电压使开关管  $M_{32}$  断开, 这使节点 5 的电压始终保持在低电平。同时, 节点 5 的低电压使 Block1 的开关管  $M_{11}$  断开, 这使  $I_{in0}$  的镜像输出电流始终为零, 即 Block1 中  $M_{03}$  支路的电流始终为零。在  $CK_p$  下一个脉冲来时,  $M_{03}$  支路的零电流使  $I_0$  为零, 即  $I_{in0}$  将不影响其余输入电流的比较。这样, 其余输入电流  $I_{in1}$ 、 $I_{in2}$  和  $I_{in3}$  仍按上面的工作原理求出次最大, 并由  $I_{out1}$  输出。同时, 在 Block3 中, 由低变高的跳变电压在相应于次最大电流输入端的部分输出。这样, 在 Block4 中, 输入电流便按从大到小的顺序分时镜像输出, 即有  $I_{out0} > I_{out1} > I_{out2} > I_{out3}$ 。同时, 在 Block3 中, 也将依次按电流从大到小的顺序分时输出相应端的由低变高的跳变电平, 通过测试这些跳变电平就可以确定出  $I_{outi}$  ( $i=0, 1, 2, 3$ ) 分别对应的输入端。为了方便测试, 本文提出了一个跳变电平测试电路, 如图 4 所示。其中, SW 单元为 CMOS 模拟开关, 为  $CK_n$  的反相时钟, Reset 利用  $V_i$  作为复位信号。该电路的功能是将一个由低变高的跳变电平转化为一个高电平脉冲输出。

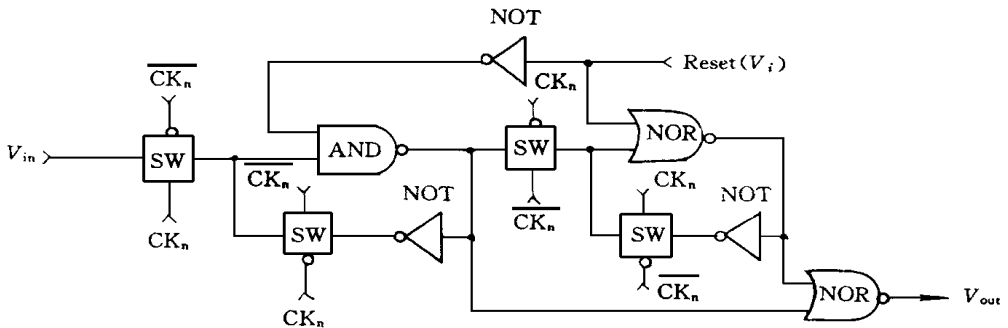


图 4 跳变电压测试电路图

从上面的分析可以看出, 该排序电路不仅可以按大小排序输出, 而且可以通过检测  $V_{S_{outi}}$  ( $i=0, 1, 2, 3$ ) 来确定排序结果电流  $I_{outi}$  ( $i=0, 1, 2, 3$ ) 分别对应的输入端, 这将十分有利于排序结果的后处理。由于  $I_{outi}$  和  $V_{S_{outi}}$  分别在时钟控制下独立输出, 它们正确程度只同 Block2 中 WTA 网络分辨率有关, 所以, 它们之间不会相互影响和调制。这样不仅提高了电路的可靠性, 同时又增加了电路使用的灵活性, 即可以根据需要有选择地使用  $I_{outi}$ 、 $V_{S_{outi}}$  端。从电路的组成可以看出, 该排序电路的结构简单、灵活, 其输出方式可以通过调整 Block4 中的时钟  $CK_i$  ( $i=0, 1, 2, 3$ ) 组合来控制。例如, 当只输入  $CK_0$  脉冲时, 该排序电路可简化为求 MAX 电路; 当只输入  $CK_3$  脉冲时, 可简化为求 MIN 电路。

由于该电路采用模块化设计, 在规模上非常易于扩展。随着电路输入端数  $N$  的增多, 电路规模扩大。这些对于 Block1、Block3 和 Block4, 除了电路的面积增大外, 在电路性能上没有影响。对于由 WTA 组成的 Block2 来说, 由于每个电流输入端所要驱动 MOS 管数目增多, 工作速度会相应下降, 但从模拟结果表明, 十一端的 WTA 网络其收敛时间仍可达到 50ns, 这也能满足排序电路速度的要求。由于电路输入端数  $N$  的增多, 除了芯片面积增大

外,主要会使工作速度下降,所以当  $N$  很大时,应该主要考虑其同工作速度的折衷

### 4 模拟结果结论

图 5 给出了四端排序电路同跳变电压测试电路的级联框图 我们分别在几种典型输入情况下对该级联级进行了 PSPICE 的模拟 第一种情况下,  $I_{in i}(i= 0, 1, 2, 3)$  分别为  $195\mu A$ 、 $185\mu A$ 、 $200\mu A$  和  $190\mu A$ ; 第二种情况下,  $I_{in i}(i= 0, 1, 2, 3)$  分别为  $145\mu A$ 、 $135\mu A$ 、 $150\mu A$  和  $140\mu A$ ; 第三种情况下,  $I_{in i}(i= 0, 1, 2, 3)$  分别为  $95\mu A$ 、 $90\mu A$ 、 $100\mu A$  和  $85\mu A$ ; 第四种情况下,  $I_{in i}(i= 0, 1, 2, 3)$  分别为  $20\mu A$ 、 $25\mu A$ 、 $10\mu A$  和  $15\mu A$ . 其中,第一种情况下  $I_{out i}$ 和  $V_{out i}$ 输出波形的模拟结果如图 6 所示 表 1 给出了四种情况的  $I_{out i}(i$

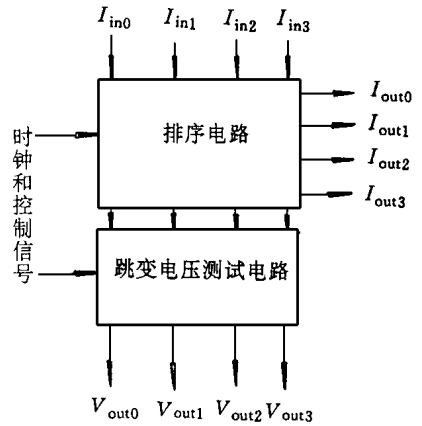


图 5 四端排序电路和跳变电压测试电路的级联框图

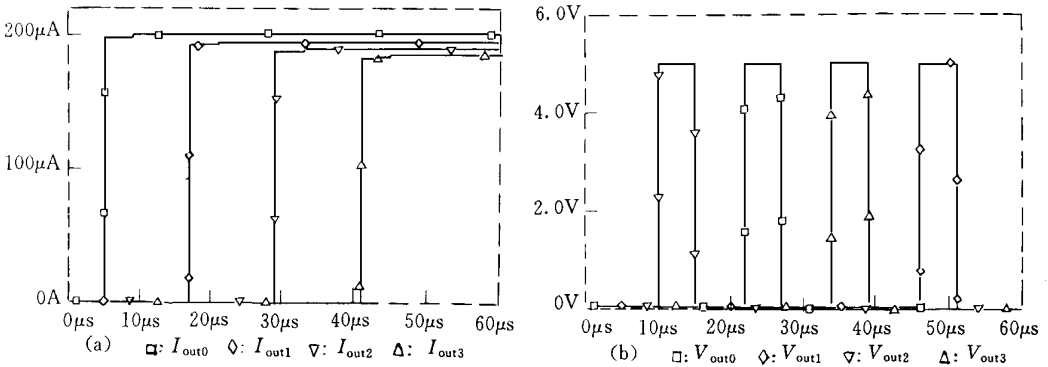


图 6 第一种情况的模拟结果

= 0, 1, 2, 3) 输出值, 以及输出电流同相应输入电流的最大误差  $\epsilon_{max}$ . PSPICE 模拟结果表明, 输出电流和相应输入电流的偏差小, 最大偏差小于  $5\mu A$ . 电路的排序分辨率高, 至少在  $5\mu A$  以内

表 1 四种电流输入情况下的 PSPICE 模拟结果

模拟结果	$I_{out0}/\mu A$	$I_{out1}/\mu A$	$I_{out2}/\mu A$	$I_{out3}/\mu A$	$\epsilon_{max}/\mu A$
第一种情况	200.4	194.9	189.8	185.2	0.4
第二种情况	152.1	147.7	142.5	137.8	2.8
第三种情况	103.4	98.4	88.6	84.6	3.4
第四种情况	29.8	24.5	18.9	13.9	4.8

### 5 总结

本文首次提出了一种高性能的开关电流型排序电路 它采用开关电流镜跟踪/保持输入电流, 通过 W TA 电路网络求最大, 最后按输入电流从大到小分时输出排序结果, 并依次输

出相应端的跳变电压 该电路结构简单、灵活,其规模易扩展 PSpice 模拟结果表明,排序的分辨率高、偏差小 由于采用开关电流技术,该电路完全同数字 CMOS 工艺相兼容,易于 VLSI 实现 目前,该电路已被用于模式识别的集成电路设计中,取得了很好的结果

## 参 考 文 献

- [ 1 ] Binqiao Li, Zhijian Li and Bingxue Shi, "An analogue integrated circuit of a Hamming neural network designed and fabricated in CMOS technology", LJCNN 93, Nagoya, Japan, 1993
- [ 2 ] 李斌桥,用于字符识别的神经网络和模糊逻辑集成电路研究,清华大学博士学位论文,1994
- [ 3 ] 刘柳胜,模糊逻辑在语音识别中的应用及其 VLSI 实现的研究,清华大学博士学位论文,1996
- [ 4 ] 徐士良,计算机常用算法,北京:清华大学出版社,1989
- [ 5 ] T. S. Fiez *et al* , IEEE J. Solid-State Circuits, 1991, 26(3): 192~ 201.
- [ 6 ] R. H. Zele *et al* , IEEE J. Solid-State Circuits, 1993, 28(5): 569~ 575.
- [ 7 ] R. H. Zele *et al* , IEEE J. Solid-State Circuits, 1994, 29(3): 200~ 209.
- [ 8 ] Minkyu Song *et al* , IEEE J. Solid-State Circuits, 1993, 28(2): 133~ 137.

## Novel High Resolution Switched-Current Sorter Based on Magnitude

Lin Gu and Shi Bingxue

*(Institute of Microelectronics, Tsinghua University, Beijing 100084)*

Received 14 November 1996, revised manuscript received 24 January 1997

**Abstract** A novel high resolution switched-current sorter based on magnitude is firstly proposed. In this sorter, switched-current circuit is used to track/hold input signals. High resolution symmetric WTA (Winner Take All) network is employed to find the maximum current. Then, sorted currents based on magnitude are output in time-shared way. The structure of this sorter is simple, flexible and its scale can be easily extended. PSpice simulation shows that the deviation of output current from the corresponding input current is small, the maximum deviation is  $5\mu\text{A}$ , and the sorting resolution is better than  $5\mu\text{A}$ . Since switched-current structure is employed, this sorter is able to be fully compatible with a standard digital CMOS process and easily implemented in VLSI technology.

**EEACC:** 6230F, 2570D, 1285