

# 薄层 SOI MOSFET's 热载流子 电流的数值模拟

曹建民 吴传良 张文俊 范 辉 沈文正 黄 敬

(西安微电子技术研究所 西安 710054)

**摘要** 本文应用“幸运电子”概念, 取代平均电场热载流子模型<sup>[1]</sup>, 利用二维数值计算的方法, 建立起一组热载流子向栅氧化层注入的注入电流和栅电流模型(包括热电子和热空穴)。通过分别对 SOI MOSFET 和相应的体硅器件模拟计算得出: 栅电流和实验数据符合得很好; 体硅器件的注入电流和通常一样, 最大值发生在  $V_g = V_d/2$  处; 然而在薄膜(包括中等厚膜)SOI 器件中, 由于存在着前栅、背栅的耦合作用, 热载流子电流变化较为复杂。栅电流不能完全表现注入电流的变化情况。准确模拟注入电流是研究薄膜(包括中等厚膜)SOI 器件热载流子效应所必须的一种方法。

EEACC: 0170N, 2560R, 2560B

## 1 引言

随着超大规模集成电路的发展, 器件尺寸越来越小, 因而器件内部横向电场不断被加强。当器件处于饱和状态, 在沟道夹段点和漏结之间形成相当强的电场, 电子在高场区获得足够的能量成为热电子, 其中一部分可以注入到氧化层中, 从而使硅/二氧化硅界面受到破坏, 当热电子数目较多时可以测到栅电流的存在。高能电子也可以通过碰撞电离产生电子-空穴对, 一部分空穴也可以注入到氧化层中形成空穴电流。在体硅器件中, 碰撞电离的空穴主要流入衬底而形成衬底电流。衬底电流和栅电流存在着一定的关系<sup>[2]</sup>, 因此可以通过研究衬底电流来研究氧化层热载流子注入问题, 这是研究热载流子平均电场模型的基本思想。但是在 SOI MOSFET 中, 衬底是悬浮的, 不能很容易测出衬底电流<sup>[1]</sup>, 因此平均电场模型的应用受到限制。为了有效研究 SOI 器件中的热载流子问题, 有必要从热载流子运动机理出发, 建立一套描述热载流子向栅氧化层注入以及形成栅电流的模型。

## 2 热载流子注入模型

从概念上讲, 热载流子注入和形成栅电流的过程能被描述为几个独立概率事件的积, 如

曹建民 男, 1964 年出生, 博士生  
黄 敬 男, 1927 年出生, 研究员, 博士生导师  
1997-01-15 收到, 1997-07-08 定稿

图 1 所示, 下面我们将分析这些概率 为了使沟道热载流子克服二氧化硅势垒( $Q_b(V)$ ), 它的动能必须大于  $qQ_b$  如果假定加速电场(沟道横向电场  $E_x$ ) 在一个距离  $d$  上是常量, 那么载流子必须运动一个距离  $d$  后, 才能获得足够的能量,  $E_x d = Q_b$  一个载流子没有任何碰撞地运动这个距离  $d$  的概率为  $\exp(-d/\lambda)$ , 则载流子获得大于势垒能量的概率为:

$$P_1 = \exp(-d/\lambda) = \exp(-Q_b/(E_x \lambda)) \quad (1)$$

其中  $\lambda$  是热载流子散射的平均自由程

一个恰好具有能量  $qQ_b$  的载流子只有在它的动量分量垂直于界面才能注入 假定散射是各向同性的, 在这种情况下, 一个载流子具有能量  $qQ_b$  以克服势垒的概率是:

$$P_2 = \frac{1}{2} (1 - \sqrt{Q_b/Q_b}) \quad (2)$$

具有足够的垂直动量以克服硅/二氧化硅势垒的概率可由 (1) 和 (2) 式积分求得:

$$P_{12}(x, y) = \int_0^y P_1(Q_b) P_2(Q_b) dQ_b \approx \frac{E_x \lambda}{4Q_b} \exp(-Q_b/(E_x \lambda)) \quad (3)$$

如果热载流子在距离界面  $y$  处被散射, 则在没有碰撞的情况下运动到表面的概率为:

$$P_3(y) = \exp(-y/\lambda) \quad (4)$$

热电子发射频率也就是电子的散射频率<sup>[3]</sup>, 则参与发射的电子可表示为:

$$R_{be}(x, y) = \frac{8\pi}{3} \times \frac{qE_x}{m^* v_{dsat}} \quad (\text{秒}^{-1}) \quad (5)$$

其中  $m^*$  为电子的有效质量;  $v_{dsat}$  是饱和漂移速度 那么, 电子注入电流可表示为:

$$I_{ze} = qW \int_0^L dx \int_0^{T_{Si}} P_{12}(x, y) P_3(y) R_{be}(x, y) n(x, y) dy \quad (6)$$

其中  $q$  为电子电荷;  $n(x, y)$  为电子浓度;  $T_{Si}$  为硅层厚度;  $W$  为器件宽度;  $L$  为沟道长度

热空穴主要源于沟道夹断区高能电子碰撞电离所产生的空穴, 因此参与发射的空穴为:

$$R_{bh} = (J_n \alpha_n + J_p \beta_p) / q \approx J_n \alpha_n / q$$

$$\alpha_n = A_n \exp(-b_n / |E_x|) \quad (7)$$

其中  $J_n$  为电子电流密度;  $J_p$  为空穴电流密度;  $\alpha_n$  为电子离化系数;  $\beta_p$  为空穴离化系数,  $A_n = 3.8 \times 10^7 (\text{cm}^{-1})$ ;  $b_n = 1.75 \times 10^6 (\text{V/cm})$ <sup>[4]</sup>.

类似 (6) 式, 空穴注入电流可表示为:

$$I_{zh} = qW \int_0^L dx \int_0^{T_{Si}} P_{12}(x, y) P_3(y) R_{bh}(x, y) dy \quad (8)$$

### 3 栅电流模型

注入栅氧化层的热载流子并没有全部被栅极收集形成栅电流, 它们要受到栅氧化层内粒子的散射和栅氧化层电场的作用, 最终只有一部分热载流子形成栅电流 但是我们知道, 热载流子的注入电流是影响器件退化现象的直接因素, 而栅电流的存在(可实验测试) 仅是

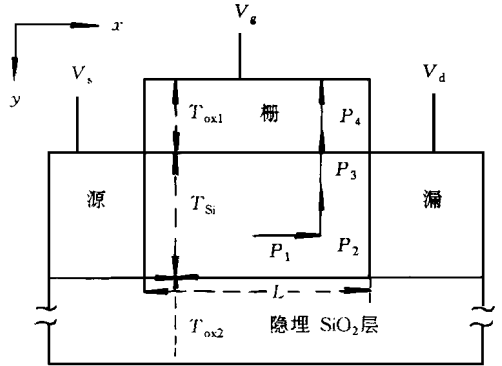


图 1 SO I/MOSFET 的截面示意图  
模型中四种散射概率示意图中

有热载流子注入的一个证据 在以往的文献中,人们提及注入电流只是为了得到栅电流和实验比较,并没有单独对热载流子注入电流进行研究,本文第一次将这两个电流分开来表述和讨论 这一节将建立栅电流模型

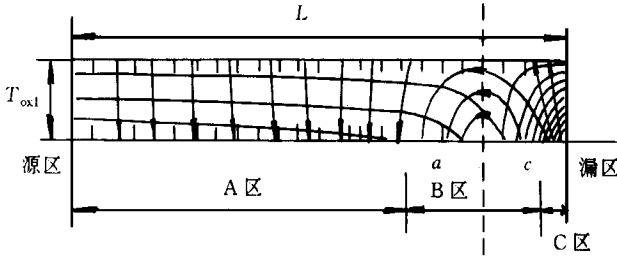


图 2 栅氧化层内电势等位线和电场方向示意图  
虚线表示栅内纵向电场为零的地方,ca 为临界电力线,  
 $V_g = 1.0V$ ,其他参数见图 6 说明

当器件工作在饱和区,  $V_g < V_d + V_t$  ( $V_t$  是器件的阈值电压), 沟道被夹断, 这时栅氧化层内的电场方向如图(2)所示

我们将称  $a$  点左边的栅区为 A 区,  $c$  点右边的栅区为 C 区,  $ac$  之间的栅区为 B 区 假设注入的载流子是沿着电力线方向运动, 则 A 区的电场方向有利于热电子的注入, C 区的电场方向有利于热空穴的注入, 而

B 区无论电子还是空穴的注入都不会对栅电流有贡献, 因此存在一条临界线  $ac$ ,  $ac$  之内的区域即 B 区的注入可以不算在栅电流之内 W ada 等人<sup>[5]</sup>详细分析了这种情况, 指出  $a$  点和  $c$  点的二维电场成  $60^\circ$  的夹角 对于同一个  $V_g$ ,  $V_d$  越大夹断区越长, 则图中虚线左移;  $V_d$  越小, 虚线右移 当器件进入线性区 ( $V_d < V_g - V_t$ ), 则整个栅均为 A 区

根据图 2, 栅氧化层势垒可表示为<sup>[6]</sup>:

$$Q_{bn} = \begin{cases} Q_{bn} - \alpha E_{ox}^{1/2} - \beta E_{ox}^{2/3} + (V_g - V_s) & (\text{A 区}) \\ Q_{bn} - \alpha E_{ox}^{1/2} - \beta E_{ox}^{2/3} & (\text{C 区}) \end{cases} \quad (9)$$

$$Q_{bc} = \begin{cases} Q_{bc} - \alpha E_{ox}^{1/2} - \beta E_{ox}^{2/3} & (\text{A 区}) \\ Q_{bc} - \alpha E_{ox}^{1/2} - \beta E_{ox}^{2/3} + (V_g - V_s) & (\text{C 区}) \end{cases} \quad (10)$$

其中  $Q_{bn} = 3.8V$  和  $Q_{bc} = 3.2V$ ;  $\alpha E_{ox}^{1/2}$  表示肖特基势垒降低;  $\alpha = 2.59 \times 10^4$   $\beta E_{ox}^{2/3}$  表示隧道效应引起的势垒降低;  $\beta = 1.0 \times 10^{-5}$   $V_s$  表示硅/二氧化硅界面电势;  $E_{ox}$  表示栅内垂直于界面的场强;  $E_{ox} = (V_g - V_s) / T_{ox1}$ ;  $T_{ox1}$  为栅氧化层厚度

图 3 给出了栅氧化层的能带图  $Q_{bc}$  和  $Q_{bn}$  的物理意义均可以从图中看出  $Y_{ox}$  表示热载流子进入氧化层后穿越势垒运行的距离<sup>[7]</sup>:

$$Y_{ox} = \begin{cases} t_{ox} - (q/16\pi\epsilon_{ox} |E_{ox}|)^{1/2} & (\text{A 区电子和 C 区空穴}) \\ (q/16\pi\epsilon_{ox} |E_{ox}|)^{1/2} & (\text{A 区空穴和 C 区电子}) \end{cases} \quad (11)$$

则热载流子穿越栅极的概率为:

$$P_4(x) = \exp(-Y_{ox}/\lambda_{ox}) \quad (12)$$

其中  $\lambda_{ox}$  为栅氧化层内的平均自由程

这样, 结合(6)式, 我们可以得到栅电子电流:

$$I_{ge} = qW \int_{A,C} P_4(x) dx \int_0^{T_{Si}} P_{12}(x, y) P_3(y) R_{bc}(x, y) n(x, y) dy \quad (13)$$

注意对  $x$  的积分只包括 A 区和 C 区

结合(9)式, 同样可以得到栅空穴电流的表

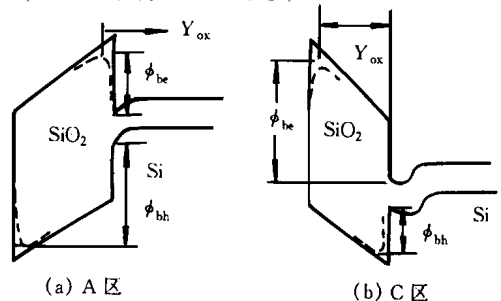


图 3 栅氧化层 A 区(a)和 C 区(b)的能带图  
虚线表示势垒降低

达式:

$$I_{gh} = qW \int_{A,C} P_4(x) dx \int_0^{T_{Si}} P_{12}(x, y) P_3(y) R_{bh}(x, y) dy \quad (14)$$

### 4 栅电流模拟结果及与实验比较

热载流子电流的模拟过程分为两个部分, 首先利用稳态模拟软件 LADES 系列<sup>[13]</sup> 计算电场强度、电流密度和载流子浓度的二维分布等, 然后把得到的结果作为输入数据计算热载流子电流。采用这种“后处理”是因为热载流子电流一般远远小于器件的漏电流, 因而热载流子向氧化层的注入对器件载流子分布影响不大。一般来说, 热载流子注入发生在器件漏结附近的一个较小的区域内, 我们的注入电流和栅电流模型也主要是考虑在这一小区域内由于碰撞散射而向栅氧化层注入的情况, 因此无论是体硅 SO I MOSFET, 还是薄层 SO I MOSFET, 我们的栅电流和注入电流模型都应该适用。栅氧化层对热载流子的“俘获”, 在我们这次模拟中没有考虑。

最近, Heremans 等人<sup>[18]</sup> 用泵浦技术测量了一个体硅器件的栅电流, 其器件参数如表 1 中器件 1 所示。器件 2 是一个 SO I 器件, 参数和器件 1 相似。器件 3 是我们所研制的薄层全耗尽 SO I MOSFET。

表 1 模拟器件结构的参数

	类型	沟道长度/ $\mu\text{m}$	氧化层厚/nm	沟道掺杂/ $\text{cm}^{-3}$	硅层厚度/ $\mu\text{m}$	结深/ $\mu\text{m}$	沟道宽度/ $\mu\text{m}$
器件 1	Bulk	1.5	24	$3 \times 10^{16}$	5	0.2	20
器件 2	SO I	1.5	24	$3 \times 10^{16}$	0.2	0.2	20
器件 3	SO I	1	20	$8 \times 10^{16}$	0.1	0.1	10

图 4 是模拟得到的器件 1 和器件 2 栅电流变化曲线, Heremans 的实验结果也在该图中示出。图 5 表示了我们用“浮栅”方法<sup>[9]</sup> 测试器件 3 的栅电流和模拟得到的结果比较。从这两

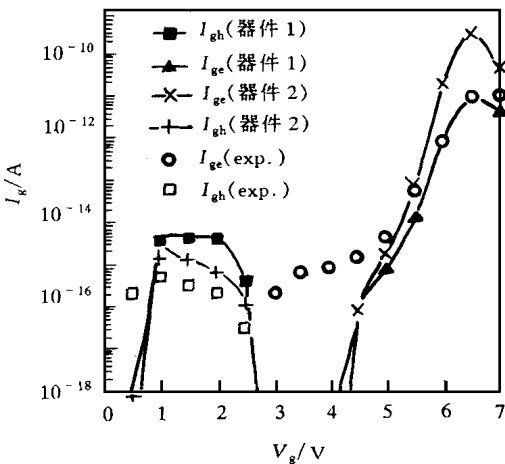


图 4 模拟得到器件 1 和器件 2 的栅电流。图中也表示了实验结果<sup>[18]</sup>,

$V_d = 6.5V$ .

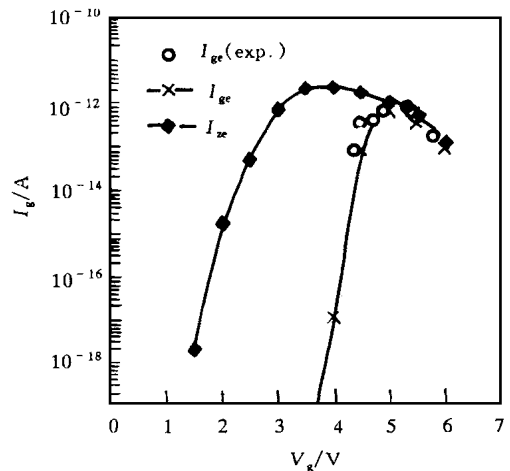


图 5 用“浮栅”方法测试器件 3 的栅电流和模拟得到的栅电流和注入电流比较

$V_d = 5V$ .

个图中可以看出,栅电流的变化较为典型。栅电流的峰值出现在 $V_{ds} = V_{gs}$ 处,在这以前 $I_{gc}$ 快速增长。通常这种特性可以被解释如下:对于一定的 $V_{ds}$ ,当 $V_{gs}$ 较低时,沟道被深度夹断,漏结处场强较大,然而这时氧化层内场强也较大,而且方向阻止热电子的注入,因此热电子对栅电流的贡献较小,测不出来。当 $V_{gs}$ 增加,A区增长(图2和图6),临界点 $a$ 更加接近于漏结处,而这时栅氧化层内的场强也更加有利于栅电流的形成,外部表现为栅电流有一个快速增长。当 $V_{gs} > V_{ds}$ 以后,沟道连通,漏结处场强变小,因而形成这种栅电流的铃形曲线。

Heremans 的实验还发现了栅电流的“肩部”(图4中 $V_{gs} = 4V$ 处),我们的模拟结果并没有得到这样的肩部,这也许和栅的制作工艺有关。在体硅二氧化硅栅工艺中,为了保证沟道的

连通,或者为了得到较短的沟道,经常采用“推进”源、漏扩散区的方法,这样使得栅极覆盖漏区一部分(如图6中虚线所示),C区(或B区)变长,因而在 $V_{gs} = 4V$ 时,沟道场强较大,热电子逆栅氧化层电场方向运行<sup>[7]</sup>,到达栅极,从而形成栅电流的肩部。我们的模型中(图2),栅和沟道是对准的,

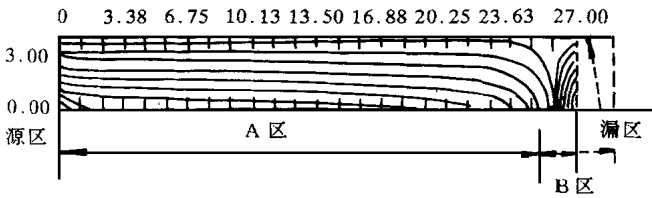


图6 器件2栅氧化层内电势等位线图

$V_g = 3.5V, V_d = 6.5V$ , 等位线间隔 $0.2V$ .

虚线表示栅极覆盖漏区一部分,加剧了热载流子的注入

在 $V_{gs} = 4V$ 处,C区很短,因而也就算不出栅电流的肩部

我们模拟的 $I_{gh}$ 比实验结果较大,也许是因为当 $V_{gs} < V_{ds}$ 时,氧化层对空穴本身俘获较严重。当 $V_{gs} > V_{ds}$ 以后,整个栅都是A区,热电子很快运行至栅极,俘获并不严重,因而和实验结果符合得很好。这也就说明了我们的模型较真实地反应了体硅(或厚膜SOI)器件和薄层SOI MOSFET's热载流子注入和形成栅电流的过程

### 5 热载流子注入电流模拟结果

由图4可以看出,当 $V_g$ 较小时有栅空穴电流的存在;当 $V_g$ 较大时有栅电子电流的存在;但当 $V_g = 3 \sim 4.5V$ 时一般测不到栅电流。这并不是说没有热载流子向栅氧化层注入,而是注入的热载流子受到氧化层内的散射以及电场的影响,因此大部分热载流子并没有被栅极收集,这一部分热载流子经常被忽视<sup>[10,11]</sup>,但它们对器件退化现象的研究非常重要。

图7给出了器件1和器件2注入电流变化曲线,器件3的热电子注入电流曲线在图5中示出。如(6)式和(8)式以及图2所示,氧化层注入电流包括了A、B、C区的全部热载流子的注入,因为这些载流子都会对器件寿命构成威胁,使器件性能退化。从图7中可以看出,当

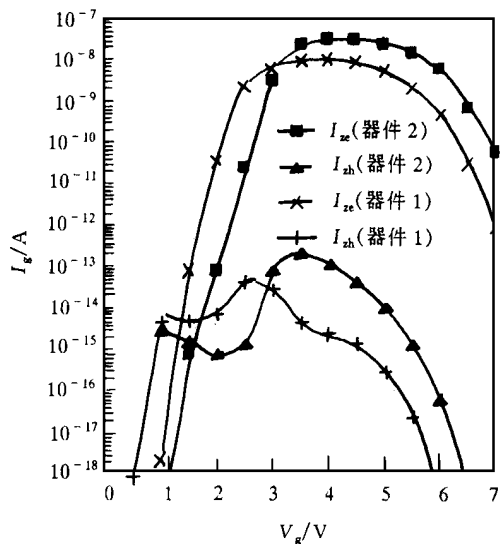


图7 模拟得到的器件1和器件2注入电流比较

$V_d = 6.5V$

$V_g > 6.5V$  以后,  $I_{zc}$  和  $I_{ge}$  线重合, 说明所有注入的电子都通过了氧化层被栅极收集, 因为这时整个氧化层都为 A 区, 电场方向也有利于电子的运行。当  $V_g < 6.5V$  以后  $I_{ge}$  开始减小, 因为沟道开始夹断, A 区变短而 B 区和 C 区变长 (如图 6 和图 2 所示), 而沟道最大电场始终是在漏结附近, 越来越多的电子从 B 区和 C 区注入, 它们大部分没有到达栅极, 而是被氧化层内的粒子散射或被电场阻挡。但是  $I_{zc}$  却随着  $V_g$  的减小而增加, 因为这时沟道电场在增加, 当  $V_g = 4V$  左右达到最大值。当  $V_g < 4V$  以后,  $I_{ge}$  迅速减小是因为沟道发射区的电子迅速减小。同样, 虽然  $I_{zh}$  在  $V_g = 3.5V$  处有峰值, 但这时 C 区已很小 (如图 6 所示), 大部分热空穴并没到达栅极而形成栅电流。

热载流子注入电流的最大值在实际中有重要意义。我们知道, 在进行器件可靠性的应力实验时, 要选取最大应力点, 从而使器件快速退化, 以达到快速预测器件或电路的寿命。由模拟注入电流得出, 体硅器件和薄膜 SO I 器件的热电子注入电流变化模式及最大值发生了变化。体硅 (或厚膜) 器件和通常一样, 注入电流最大值发生在  $V_g = V_d/2$  处 (图 7), 而薄膜 SO I 器件注入电流的最大值发生在  $V_g$  靠近  $V_d$  的一个范围内 (图 5), 这提醒我们在进行薄膜 SO I 器件的寿命实验时要谨慎选择最大应力点, 不然会高估器件的寿命。

## 6 SO I 和体硅器件中热载流子电流比较

由图 7 和图 4 可以看出一个有趣的现象, 当  $V_g < 3.5V$  时, SO I 比体硅器件的热载流子效应弱, 但当  $V_g > 3.5V$  以后, SO I 器件的热载流子发射又强于体硅。SO I 器件中热载流子电流的这种变化当然应该是由于存在背栅耦合的作用引起的。

我们知道, SO I 器件可以根据前栅和背栅耗尽层是否重叠而分为三类<sup>[2]</sup>: 薄膜、厚膜和“中等厚膜”器件。薄膜器件是超大规模集成电路的最佳选择, 那是因为它几乎在所有的性能上优于体硅 (包括热载流子退变), 但是当背界面处于积累状态时, 其漏电场比体硅器件的还要高, 因而会产生强烈的热载流子退变<sup>[12]</sup>。中等厚膜器件较为复杂, 根据不同的工作条件, 可分别看成厚膜或薄膜器件。作为研究, 我们所选器件 2, 硅层厚度  $T_{Si} = 0.2\mu m$ , 沟道掺杂为  $3 \times 10^{16} cm^{-3}$ 。可以计算出最大耗尽层宽度为  $X_{max} = 0.18\mu m$ ,  $X_{max} < T_{Si} < 2X_{max}$ , 因此器件 2 为中膜器件。

当  $V_g < 3.5V$  时, 器件 2 的沟道耗尽区还没有伸到背栅处, 器件可看成为厚膜器件, 因此表面处电场较低, 热载流子发射较小; 但当  $V_g > 3.5V$  以后, 沟道耗尽区伸到了背栅处, 并开始提高背栅处的电位 (如图 8(a)) 所示, 这时背栅处有空穴积累, 器件相当于一个背界面处有空穴积累的薄膜器件, 因此前表面电场较强, 产生较大的注入电流。

图 8 还说明,  $1V < V_g < 2V$  变化时, 背栅电势不变, 而前栅电势增加主要是增加沟道耗尽层宽度。相对于体硅器件, SO I 器件由于有背栅的耦合作用, 前表面电势较易提高, 因而形成图 7 中空穴注入电流的下降段。当  $2V < V_g < 3.5V$  变化时, 背界面电势开始提高, 这是背界面由于有空穴的积累, 使得前表面漏结处的电场增强, 形成图 7 中空穴注入电流的上升段。

由此可以看出, 在 SO I 器件中由于存在着背栅的耦合作用, 热载流子注入电流变化较为复杂, 栅电流不能完全反应注入电流的变化情况, 因而也就不能完全反应器件热载流子可靠性问题, 准确模拟热载流子注入电流是研究薄膜 (包括中等厚膜) SO I 器件热载流子效应一种必要的方法。

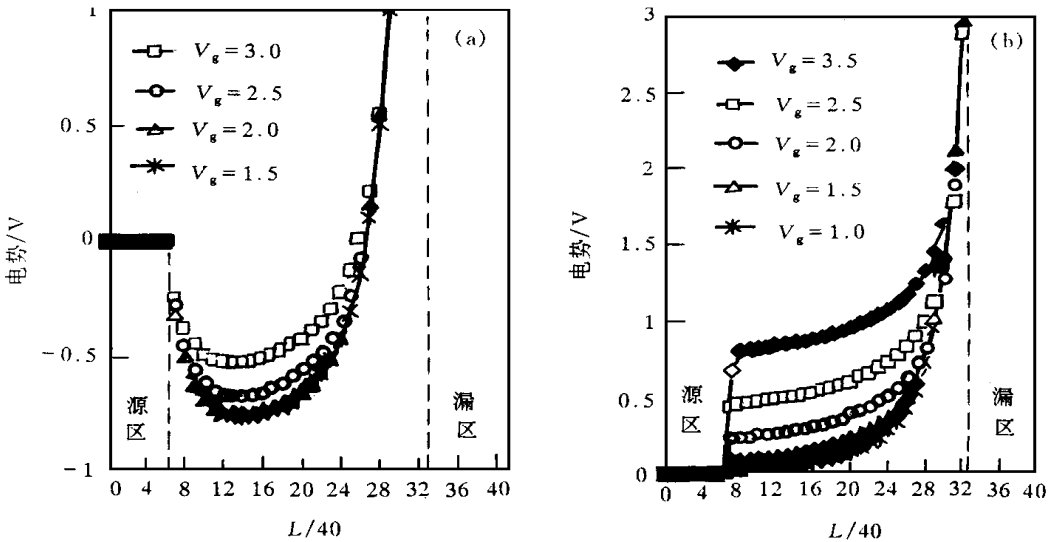


图 8 背栅(a)和前栅(b)电势变化情况

当  $V_g > 2.0$  V 以后, 背栅电位开始上升; 当  $V_g > 3.5$  V 以后, 背栅电位影响前栅电位很大

## 7 结论

为了研究 SOI 器件的热载流子效应, 我们用实际电场取代平均电场, 应用二维模拟的方法, 建立了一组物理概念清晰的热载流子注入模型和栅电流模型。在已有实验的基础上, 分别成功地模拟了体硅和 SOI 器件中的热载流子的注入电流和栅电流(热载流子包括热电子和热空穴)。本文第一次将热载流子电流分为注入电流和栅电流分别进行表述和讨论。

通过计算得出: 栅电流产生在漏电压较强的地方, 栅电流呈铃形, 如果漏电压不变, 改变栅压, 则当  $V_{gs} = V_{ds}$  时出现最大值, 栅空穴电流则发生在栅压较小的地方。但是注入电流的变化并不象栅电流那样, 一旦栅压升高, 则热电子注入电流很快达到最大值, 一直到栅压大于漏压后, 才减小, 也就是说在几乎整个夹断区热载流子的注入都较为严重; 热空穴注入电流则在栅压大于漏压以前, 已经变得很小。这对研究退化现象具有一定的指导作用。

和体硅比较, SOI 器件则发生了些异常现象。首先是注入电流变化的模式及最大值发生了变化, 体硅(或厚膜 SOI)器件当  $V_g = V_d/2$  时出现最大值, 而薄膜 SOI 器件在  $V_g$  靠近  $V_d$  处出现最大值; 其次是当漏压一定, 对中等厚膜 SOI 器件而言, 栅压较大时热载流子电流较大; 栅压较小时热载流子电流又较小。这说明, 在 SOI 器件中, 由于存在前栅、背栅的耦合作用, 热载流子电流变化较为复杂, 栅电流只能体现器件栅压较大(热电子电流), 和栅压较小(热空穴电流)时热载流子电流的变化情况, 而在夹断区一个较广的区内, 栅电流不能反映热载流子电流的变化, 而且栅电流较小(相对于体硅衬底电流), 不易测量。因此准确模拟热载流子注入电流是研究薄膜(包括中等厚膜) SOI 器件热载流子效应所必须的一种方法。

## 参 考 文 献

- [ 1 ] Z. J. Ma, H. J. Wann *et al* , IEEE Electron Device Lett , 1994, **EDL-15**(6): 218
- [ 2 ] J. P. 考林基著, 武国英译, SOI 技术, 北京: 科学出版社, 1993
- [ 3 ] 黄敞, 新型器件模拟软件 LADES I, II, III, IV 技术报告, 航天工业部鉴定资料, 1988
- [ 4 ] 何野, 魏同立, 半导体器件的计算机模拟方法, 北京: 科学出版社, 1989
- [ 5 ] M. Wada, S. Shibata, M. Konaka *et al* , IEDM Tech Dig , 1981: 223
- [ 6 ] P. Roblin, A. Samman and S. Bibyk, IEEE Trans on Electron Devices, 1988, **ED-35**(12): 2229
- [ 7 ] K. R. Hofmann, C. Werner *et al* , IEEE Trans on Electron Devices, 1985, **ED-32**(3): 691
- [ 8 ] H. Heremans, H. E. Maes and N. Saks, IEEE Electron Device Lett , 1986, **EDL-7**(11): 428
- [ 9 ] N. S. Saks, D. L. Hemans *et al* , IEEE Trans on Electron Devices, 1986, **ED-35**: 1529
- [ 10 ] C. Hu, IEDM Tech Dig , 1979, 22
- [ 11 ] P. E. Cottrell, P. R. Troutman and T. H. Ning, IEEE Trans on Electron Devices, 1979, **ED-26**: 520
- [ 12 ] J. G. Fossum, J. Y. Choi and R. Sundaresan, IEEE Trans on Electron Devices, 1990, **ED-37**: 724

## Numerical Simulation of Hot-Carrier Currents in Thin-Film SOI MOSFET

Cao Jianmin, Wu Chuanliang, Zhang Wenjun,  
Fan Hui, Shen Wenzheng and Huang Chang

(Xi'an Microelectronics Techniques Institute, Xi'an 710054)

Received 15 January 1997, revised manuscript received 8 July 1997

**Abstract** Based on two-dimensional simulation, the "lucky-electron" concept is successfully applied to the modeling of channel hot-carrier injection current and gate current (the hot-carrier includes hot-electron and hot-hole). Simulation results of hot-carrier current in SOI MOSFET and corresponding bulk MOSFET indicate that: the gate current agrees well with the experimental data; the injection current in bulk MOSFET, just the same as usual, peaks at  $V_g = V_d/2$ ; but the injection current in thin-film SOI MOSFET is relatively complex due to the charge coupling between front and back gate. The gate current cannot express the whole change of injection current in thin-film SOI MOSFET. Accurate simulation of injection current is necessary for reliability studies of thin-film (include medium-film) SOI MOSFET's.

EEACC: 0170N, 2560R, 2560B