

不同偏置电压下 SiGe HBT Early 电压的理论研究

钱 伟 金晓军 张 炯 林惠旺 陈培毅 钱佩信

(清华大学微电子所 北京 100084)

摘要 Early 电压 V_A 和直流增益 β 是双极器件在模拟电路中应用的重要参数, 本文研究了在器件不发生大注入效应和雪崩倍增效应的条件下, SiGe HBT 中基区 Ge 含量以及 V_{CE} 对器件的 Early 电压 V_A 的影响, 并用数值计算的方法得到了在其它参数相同的情况下, 器件的 Early 电压 V_A 随基区中 Ge 含量和偏置电压 V_{CE} 的变化规律, 表明 Early 电压 V_A 是随 V_{CE} 和 Ge 含量的增加而增加的. 这些结果对 SiGe HBT 在模拟集成电路中的设计和应用提供了指导.

EEACC: 2560B, 2560J

1 引言

近年来随着器件外延技术和锗硅应变层制备技术的发展, 以 SiGe 应变层为基区的 SiGe HBT 得到了很大的发展, SiGe HBT 在高速、低温性能方面有优于 SiBJT 的特性, 并且已逐步地运用在数字和模拟电路中. 运用能带工程, 通过对器件的优化设计, 在高频性能方面 SiGe HBT 的 f_T 已达到 116GHz, f_{max} 达 120GHz^[1,2]. f_T 和 f_{max} 远远地超过了 SiBJT. SiGe HBT 在高速模拟电路中有 SiBJT 无法比拟的优越性. 而在模拟电路中一般要求双极器件工作在放大区, 这时器件应用的两个重要参数是直流增益 β 和 Early 电压 V_A . β 越大, 器件的电流放大性能越好, V_A 越大, 器件的输出电阻越大, 性能越好.

Prinz^[3,4]等人对 SiGe HBT 基区中硼外扩散引起的 V_A 的变化进行了研究, 认为在基区中 Ge 均匀分布时, 工艺过程中引起的硼的外扩散在 BC 结附近引入了电子的势垒, 反偏电压 V_{CB} 增加会使势垒降低, 集电极电流增加, V_A 减小. 当 V_{CB} 增加到使势垒消失时, V_A 会和相同参数的 SiBJT 相同, 即基区中 Ge 均匀分布时, 消除寄生势垒的影响后, 在此时的 V_{CB} 下器件的 V_A 与 Ge 的含量无关. 实际上, 在 Si 三极管中, V_{CB} 的变化引起器件的中性基区宽度的变化和集电极电流的变化, V_{CB} 进一步增加时, V_A 是随 V_{CB} 的增加而增大的. 我们的研究表明, 在 SiGe HBT 中, 由于基区中 Ge 含量的不同, V_A 随 V_{CB} 增加的速度是不同的.

钱 伟 男, 1970 年出生, 博士研究生, 从事半导体 SiGe 材料生长、SiGe 器件和电路研究
金晓军 男, 1966 年出生, 博士后, 从事半导体材料生长和高速器件研究
张 炯 男, 1969 年出生, 博士研究生, 从事半导体小尺寸器件性能和可靠性研究
1997-03-02 收到, 1997-04-16 定稿

本文通过合理地设计基区中 Ge 的分布和掺杂,使组分缓变的 BC 结处不会产生明显的电子势垒,使得 V_{CB} 变化时集电极电流的变化不是由 BC 结处电子势垒的变化引起,而是由基区宽度的变化引起。讨论了 SiGe HBT 的 V_A 与 SiGe 基区中 Ge 的含量和偏置电压 V_{CE} 的关系。同时对 Poisson 方程进行数值求解。结果表明在基区中 Ge 含量不同的情况下,Early 电压随 V_{CB} 的变化而不同,基区中 Ge 含量愈大,BC 结在一定的偏置下 V_A 也越大。在模拟集成电路中器件总是处于某一偏置下,而在不同的偏置下器件的直流增益 β 和 V_A 以及 βV_A 是不同的,因此,本文的结论对实际模拟应用的 SiGe HBT 的设计提供了指导。

2 基本分析、计算和讨论

模拟电路中双极器件常常工作在器件的放大区,随着 V_{CE} 的增大,集电结处的空间电荷

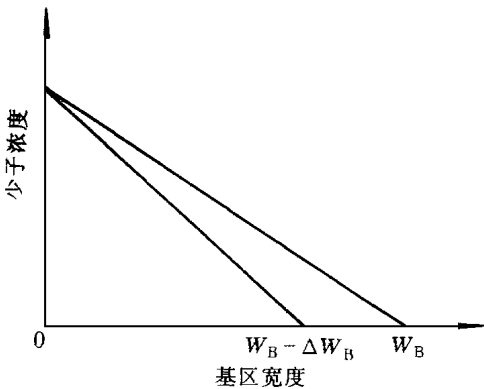


图 1 基区宽度调制引起少数子浓度变化

区会加大,势垒区向集电区和基区中扩展而使有效基区减小,从而引起集电极电流的增加。Early 效应就是指中性基区宽度 W_B 随集电结反向偏压的变化而引起的器件电流放大倍数的变化。如图 1,在 V_{BE} 为定值的情况下, V_{CE} 的增加使中性基区宽度从 W_B 减小为 $W_B - \Delta W_B$,基区中少子分布的斜率变大,引起基区中少子扩散电流增加。以下以 npn 型 SiGe HBT 为例,讨论基区中 Ge 含量对 Early 电压的影响。

三极管的 Early 电压定义为:

$$V_A = J_C \frac{dV_{CE}}{dJ_C} \Big|_{V_{BE} = \text{const}} \quad (1)$$

式中 J_C 为集电极电流密度,基极电流密度 J_B 由两部分组成,一部分是基区中电子和空穴的复合电流密度 J_{B1} ,另一部分是基区中空穴注入射区的电流密度 J_{B2} , J_{B2} 为 NPN 双极集成电路中器件基极电流的主要成分。

$$J_B = J_{B1} + J_{B2} \quad J_{B2} = \frac{qD_p n_{ie}^2}{L_p N_D} e^{\frac{qV_{BE}}{kT}} \quad (2)$$

式中 n_{ie} 为发射区的本征载流子浓度; D_p 和 L_p 分别为空穴的扩散系数和扩散长度; N_D 为发射区的掺杂浓度。由于 J_B 仅由 V_{BE} 控制, $J_B = \text{常数}$,即 $V_{BE} = \text{常数}$ 。BC 结反偏电压 $V_{CB} = V_{CE} - V_{BE}$ 。

$$V_A = J_C \frac{dV_{CE}}{dJ_C} \Big|_{V_{BE}} = J_C \frac{dV_{CB}}{dJ_C} \Big|_{V_{BE}} \quad (3)$$

一般情况下是把 $V_{CB} = 0$ 时 V_A 的值定义为 Early 电压。实际上 V_{CB} 增加时 V_A 也会增加。对 SiGe 基区 HBT,在器件其它参数相同的条件下,Ge 含量的不同会造成基区中少子浓度的不同和 PN 结内建电势的不同,使得在 V_{CE} 增大时不同 Ge 含量器件的 V_A 不同。

在 SiGe 基区中对少子浓度 n 和多子浓度 p 有:

$$np = n_{i,\text{SiGe}}^2 = n_{i,\text{Si}}^2 e^{\frac{E_{g,\text{Si}} - E_{g,\text{SiGe}}}{kT}} = n_{i,\text{Si}}^2 e^{\frac{\Delta E_g}{kT}} \quad (4)$$

式中 $n_{i,\text{Si}}$ 和 $E_{g,\text{Si}}$ 分别为 Si 材料基区本征载流子浓度和带隙宽度; $n_{i,\text{SiGe}}$ 和 $E_{g,\text{SiGe}}$ 分别为

SiGe 材料基区本征载流子浓度和带隙宽度 $\Delta E_g = E_{g, Si} - E_{g, SiGe}$ 为 SiGe 材料相对于 Si 材料的带隙减小量。在基区掺杂 $p = N_B$ 相同时, Ge 含量不同则 ΔE_g 不同, 基区中少数浓度 $n = n_{i, SiGe}^2 / p$ 也不同。Ge 含量越大, ΔE_g 越大, 基区中少数浓度 n 也越大。

为了分析方便, 用具有相同基区宽度, 相同基区掺杂 N_B 和集电区掺杂 N_C 而 Ge 含量不同的两个器件 SiGe HBT1 和 SiGe HBT2 作为对比, 暂不考虑基区带隙差异引起的 BC 结和 BE 结内建电势的不同, 认为在相同的 V_{BE} 和

V_{CB} 下器件的中性基区宽度 W_B 相同。基区少数分布示于图 2, n_2 表示基区具有较高 Ge 含量的 HBT2 在 BE 结耗尽层边缘的基区少数浓度, n_1 表示基区 Ge 含量较低的 HBT1 在 BE 结耗尽层边缘的基区少数浓度。实线表示两种器件在中性基区宽度为 W_B 时的少数分布。两种器件掺杂相同, V_{CB} 变化 ΔV_{CB} 相同时, 耗尽层宽度和电荷的变化也相同。在基极电流 I_B 和 V_{BE} , V_{CB} 相同时, 基区中少数浓度的变化 Δn 也应相同。设 V_{CB} 变化 ΔV_{CB} 时

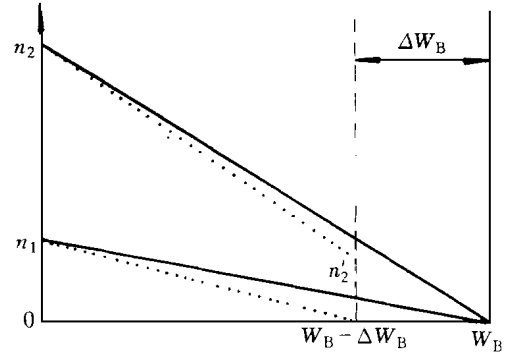


图 2 Early 效应分析图

中性基区宽度从 W_B 变为 $W_B - \Delta W_B$, HBT1 在 $W_B - \Delta W_B$ 处少数浓度为 0, 对应 HBT2 在 $W_B - \Delta W_B$ 处的少数浓度为 n_2 , 虚线为 V_{CB} 增加后基区宽度变为 $W_B - \Delta W_B$ 时的基区少数分布。在小注入条件下, 忽略基区空穴流, 集电极电流密度 J_C 等于基区电子扩散电流密度 J_n , 即 $J_C = J_n$, 在基区宽度为 W_B 时两器件的基区电子电流密度分别为 $J_{n1} = qD_n n_1 / W_B$, $J_{n2} = qD_n n_2 / W_B$ 。当 V_{CB} 增加使基区宽度变为 $W_B - \Delta W_B$ 时, 基区少数和电流密度变化为:

$$\text{对 HBT1, 基区少数变化} \quad \Delta n_1 = \frac{1}{2} n_2 W_B - \frac{1}{2} n_1 (W_B - \Delta W_B) \quad (5a)$$

$$\text{电子电流密度变化} \quad \Delta J_{n1} = qD_n \frac{n_1}{W_B} - qD_n \frac{n_1}{W_B - \Delta W_B} \quad (5b)$$

$$\text{对 HBT2, 基区少数变化} \quad \Delta n_2 = \frac{1}{2} n_2 W_B - \frac{1}{2} (n_2 + n_2) (W_B - \Delta W_B) \quad (6a)$$

$$\text{电子电流密度变化} \quad \Delta J_{n2} = qD_n \frac{n_2}{W_B} - qD_n \frac{n_2 - n_2}{W_B - \Delta W_B} \quad (6b)$$

V_{CB} 和 ΔV_{CB} 相同时, $\Delta n_1 = \Delta n_2$ 。在小注入和忽略空穴电流时, $J_{C1} = J_{n1}$, $\Delta J_{C1} = \Delta J_{n1}$, $J_{C2} = J_{n2}$, $\Delta J_{C2} = \Delta J_{n2}$ 。由

$$\begin{aligned} V_A &= J_C \frac{dV_{CB}}{dJ_C} \Big|_{V_{BE}} = J_C \frac{\Delta V_{CB}}{\Delta J_C} \Big|_{V_{BE}} \\ \frac{V_{A1}}{V_{A2}} &= \frac{J_{C1}}{J_{C2}} \times \frac{\Delta J_{C2}}{\Delta J_{C1}} = \frac{n_1}{n_2} \times \frac{\frac{n_2}{W_B} - \frac{n_2 - n_2}{W_B - \Delta W_B}}{\frac{n_1}{W_B} - \frac{n_1}{W_B - \Delta W_B}} \\ &= 1 - \frac{n_2}{n_2} \times \frac{W_B}{\Delta W_B} \\ &= 1 - \frac{1 - \frac{n_1}{n_2}}{1 - \frac{\Delta W_B}{W_B}} \end{aligned} \quad (7)$$

可见 $n_1 < n_2, V_{A1} < V_{A2}$ 这说明在器件其它参数相同的情况下, 基区中 Ge 含量的不同使得基区中少数浓度 n 不同, Early 电压也不同, 基区中 Ge 含量越高, 基区带隙越小, 少数浓度越大, V_A 也越大

实际上由于两种器件的基区带隙不同, BC 结和 BE 结的内建电势 V_{bi} 也是不同的 Ge 含量越大, 内建电势 V_{bi} 越小^[15], 耗尽层宽度越小, 中性基区宽度 W_B 越大, V_A 也越大 为了给出器件的 V_A 与 Ge 含量的数值结果, 需要对基本的 Poisson 方程和载流子连续方程进行数值求解

由基本的 Poisson 方程和载流子连续性方程:

$$\epsilon \nabla^2 \varphi = -q(p - n + N_D^+ - N_A^-) \tag{8a}$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot J_n - U_n \tag{8b}$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot J_p - U_p \tag{8c}$$

U_n 和 U_p 分别为电子和空穴的复合率, 考虑 S-R-H 复合和 Auger 复合, 在基区重掺杂时考虑重掺杂带隙变窄效应 φ 为静电势; n 和 p 为电子和空穴浓度, N_D^+ 和 N_A^- 为 n 型和 p 型掺杂剂的电离杂质浓度 $Si_{1-x}Ge_x$ 的带隙宽度与 x 的关系采用文献[6]的结论, 假设 SiGe 材料的介电常数为 $\epsilon_{SiGe} = \epsilon_{Si} + 4.1x$, ϵ_{SiGe} 和 ϵ_{Si} 分别为 SiGe 和 Si 的相对介电常数, x 为 SiGe 层中 Ge 的含量, SiGe 层的电子迁移率和有效态密度与 Si 相同 通过数值求解得到器件的性能

为了进行数值求解, 设计的器件为台面自对准结构, 基区宽度 60nm, 设计器件的掺杂分布和 Ge 分布如图 3 所示, 基区中 Ge 含量均匀分布, 带隙宽度恒定, 即 $\Delta E_g(x=0) = \Delta E_g(x=W_B)$, 在 BC 结和 BE 结处 Ge 线性地减小至 0 使器件工作于放大区时在 BC 结处附加的电子势垒处于结的耗尽区中 对基区中不同的 Ge 含量, 基本方程离散化后进行数值求解 经过数据处理, 设定器件的 $V_{BE} = 0.6V$, 得到器件的 Early 电压 V_A 与基区 Ge 含量和偏压 V_{CE} 的关系如图 4 所示, 随着 V_{CE} 的增加, Early 电压 V_A 也增加 在较大的 V_{CE} 下, 基区中 Ge 含量越高的器件, V_A 越大, 且 V_A 随 V_{CE} 的增加近似呈线性增长趋势 一般情况下是定义 $V_{CB} = 0$ 时的 V_A 值为 Early 电压, 图 4 表明对不同 Ge 含量的器件在 $V_{CB} = 0V$ ($V_{CE} = 0.6V$)

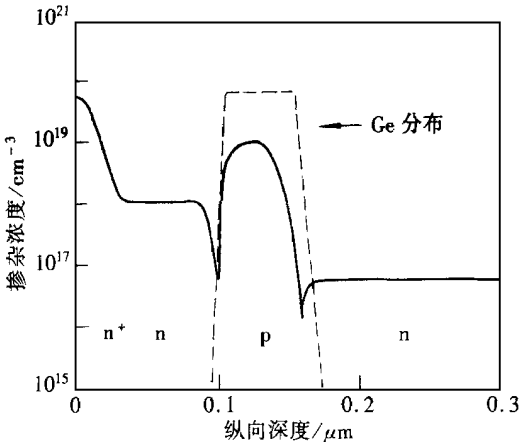


图 3 SiGe HBT 掺杂分布和 Ge 分布图

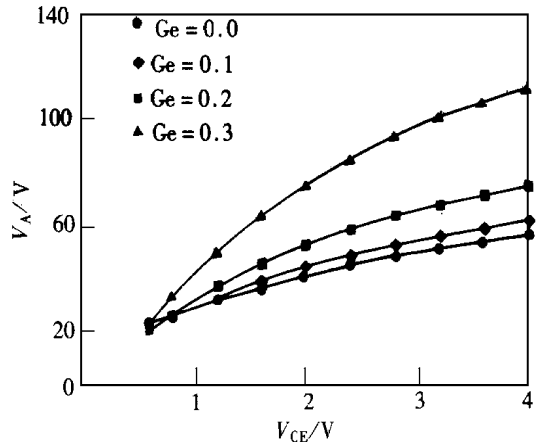


图 4 Early 电压 V_A 与偏压 V_{CE} 和基区 Ge 含量的关系

时 V_A 近似相等, 这与文献[3, 4]中的讨论一致, 即这时的 V_A 与 Ge 含量关系不大

数值计算得到的器件直流增益 β 和 Ge 含量的关系如图 5, β 随基区中 Ge 含量的增加呈指数增加的趋势. 理论上对于异质双极器件的 $J_c \propto \exp(\Delta E_g/kT)$, 电流增益 β 与 ΔE_g 呈指数关系, 因此计算的结果与理论分析的结果是相符的. 由于器件的 β 和 V_A 都是随器件的偏置条件而变化的, 由以上的讨论可知, 在器件发生大注入和雪崩击穿之前, β 和 V_A 都是随基区中 Ge 含量和偏压的增加而增加的.

由此可见, 采用 SiGe 基区的 HBT, 在保证基区 SiGe 层不弛豫的前提下, Ge 含量增加时, 器件直流特性的两个重要参数 Early 电压 V_A 和直流增益 β 都得到提高, 而这正是模拟集成电路中工作的双极器件所要求的. 特别地对于要求高速, 高稳定, 高增益的模拟集成电路, 要求 β 和 V_A 以及它们的乘积 βV_A 都要很大. 本文研究了 V_A 随偏置电压 V_{CE} 的变化规律, 结果说明基区中 Ge 含量越高, 在相同的偏置条件下 V_A 越大, 同时 β 也越大.

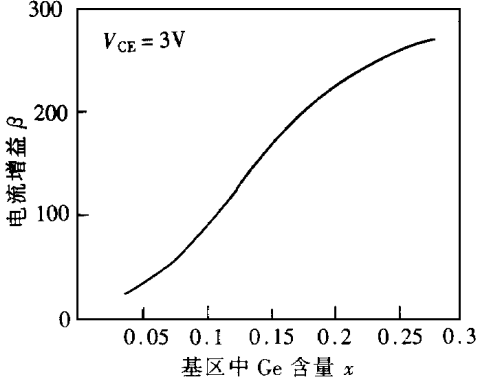


图 5 直流增益 β 与基区 Ge 含量的关系

3 结论

在模拟集成电路中器件的直流增益 β 和 Early 电压 V_A 是两个非常重要的参数. 模拟电路中要求双极器件工作在线性放大区, 且不同功能的器件的偏置电压是不同的, 而双极器件的 β 和 V_A 与器件所处的偏置条件密切相关, 本文研究了在不同偏置电压下 V_A 的变化规律. 结果表明 SiGe 基区 HBT 基区中 Ge 含量的增加有利于 β 和 V_A 的提高. 当然基区中 Ge 含量的多少要受 SiGe 层晶格完整性的限制. 本文的结果对在模拟集成电路中的应用的 SiGe HBT 的设计具有实际的指导意义.

参 考 文 献

- [1] A. Schuppen *et al*, Electron Lett, 1994, 30(14): 1187~ 1188
- [2] A. Schuppen *et al*, International Electron Device Meeting, Tech Dig, 1994, 377~ 380
- [3] E. J. Prinz *et al*, International Electron Device Meeting, Tech Dig, 1991, 853~ 856
- [4] E. J. Prinz *et al*, IEEE Electron Device Letters, 1991, 12(12): 661~ 663
- [5] J. F. Gibbons *et al*, International Electron Device Meeting, Tech. Dig., 1988, 566~ 569
- [6] S. S. Iyer *et al*, IEEE Trans Electron Devices, 1989, 36(10): 2043~ 2063

Study on Early Voltage of SiGe HBT at Different Bias

Qian Wei, Jin Xiaojun, Zhang Jiong, Lin Huiwang,
Chen Peiyi and Tsien Pei-Hsin

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Received 2 March 1997, revised manuscript received 16 April 1997

Abstract The effects of device bias V_{CE} and Ge content in SiGe base on Early voltage of $\text{Si}_{1-x}\text{Ge}_x$ HBT are studied by numerical analysis without considering the influence of high-level injection effect and impact ionization of carriers. With other parameters unchanged, Early voltage V_A and current gain β of SiGe HBT increase with the increase of device bias V_{CE} and Ge content in base. The results are useful for the design of SiGe HBT used in analog integrated circuit.

EEACC: 2560B, 2560J