

一种用于模式识别的新型多功能 开关电流模糊处理器*

林 谷 石秉学

(清华大学微电子学研究所 北京 100084)

摘要 本文首次提出了一种用于模式识别的新型多功能开关电流模糊处理器。该模糊处理器不仅可以求出最大综合隶属度相应的标准模式,而且可以按综合隶属度大小的顺序依次输出综合隶属度以及相应的标准模式,这将十分有利于系统性能的改善。该处理器可以进行绝对拒识和相对拒识的判断,大大提高了系统的可靠性。另外,为了提高该处理器的自适应能力,将综合函数中的权重设计为可调节的。PSPICE 模拟结果表明该处理器具有高精度、高分辨率等特点。在电路上,该处理器结构简单、灵活,模块化的设计使处理器的规模易于扩展。同开关电容技术相比,开关电流技术不需要双层多晶工艺,使得该处理器可以直接采用标准的数字 CMOS 工艺来实现。

EEACC: 1280, 2570D, 0180

1 引言

模糊逻辑的概念是由 Zadeh 在 1965 年提出的,它的产生是使计算机科学向人脑的自然机理方面发展的重大突破。模糊模式识别的基本原则是最大隶属度原则^[1]。目前,模糊模式识别硬件电路都是基于该原则实现的^[2,3]。在这种原则下,将只找出与待识模式最接近的那一个标准模式作为识别结果输出。然而,随着系统复杂程度的提高,标准模式数目 n 的增加,尤其是具有多级的级联系统的发展,这种仅求出最接近那一个标准模式的方法已远不能满足系统性能的要求。为了提高系统性能,就非常有必要根据标准模式与待识模式的综合隶属度,找出最接近的两个甚至三个以上的标准模式。为此,本文首次提出了一种新型的开关电流模糊处理器,它可以按综合隶属度大小的顺序依次输出综合隶属度以及相应的标准模式,即可以依次找出与待识模式最接近和较接近的 h 个标准模式,其中 $1 \leq h \leq n$ 。这将极大改善硬件系统的性能。同时,本文还设计了一种新的拒识判断电路,它的电路结构简单、性能好,

* 本课题由国家自然科学基金和高校博士点基金资助

林 谷 男,1972 年出生,博士生,从事人工神经网络及模糊逻辑系统的集成电路实现、数字和模拟集成电路研究

石秉学 男,1936 年出生,男,教授,博士生导师,从事人工神经网络及模糊逻辑系统及其集成电路实现、模拟集成和数/模混合集成电路与系统研究

1997-02-20 收到,1997-05-08 定稿

可以同时进行绝对拒识和相对拒识的判断, 这将较大地提高系统的可靠性
 在多特征的模糊模识别中, 综合函数的选择有多种, 常用的有:

$$\text{求小函数: } \quad j(X) = \min_{j=1}^m x_j \quad (1)$$

$$\text{加权求和函数: } \quad X = \sum_{j=1}^m \alpha_j x_j \quad (2)$$

其中 $X = (x_1, x_2, \dots, x_m)$, $x_i (1 \leq i \leq m)$ 是第 i 个模糊特征对应的隶属度值; $\alpha_j \in [0, 1]$ 由于求小函数只强调了某一个局部特征, 完全忽略了其它特征, 较难适于模式识别; 而加权求和函数不仅能通过对权重 α_j 的调整来强调局部特征, 而且也不会忽略其它特征, 所以加权求和函数更适于模式识别 因此, 本文中模糊处理器的综合函数采用加权求和函数 同时, 为了提高系统的自适应能力, 拓展其应用场合, 综合函数中的权重被设计为可调节的 在本文第二部分将讨论开关电流型模糊处理器的结构, 第三部分给出了模拟结果, 最后在第四部分作总结

2 开关电流型模糊处理器的结构

本文的开关电流型模糊处理器总体结构和部分时序如图 1 所示, 其中综合隶属度比较电路所需的时序在后面给出 该处理器是一个电流型的模拟/数字混合系统 图 1 中, 左边虚线框内为数字电路, 右边虚线框中为模拟电路, 其中 $MFG_{ij} (1 \leq i \leq n, 1 \leq j \leq m)$ 为第 i 个标准模式的第 j 个特征所对应的隶属函数发生器 该系统中数字电路部分用于对输入码进行译码, 并产生系统所需的时序和控制信号 模拟电路部分用于处理模糊信息并输出识别结果

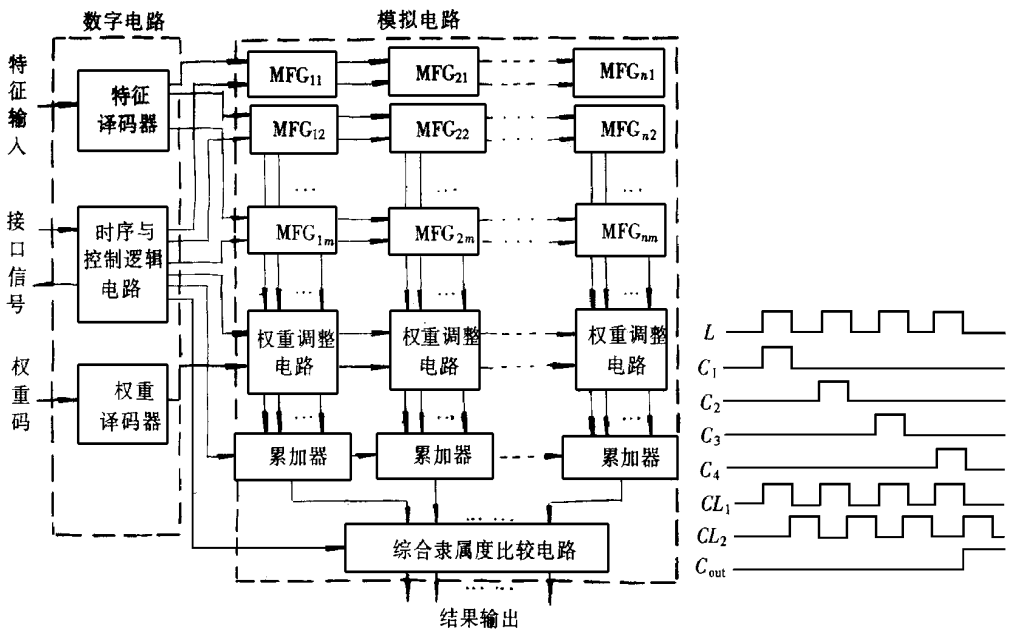


图 1 开关电流模糊处理器结构框图和时序图

输入特征采用二进制编码, 假设 k 位, 则每个特征可取 2^k 个值 为了减小芯片压焊块数, 并共享同一个特征译码器, m 个特征在 L 信号 (参照时序图) 的控制下分时输入 在我们的系统中 $k=5, m=4$ 当模糊处理器启动后, 首先将特征码输入, 特征译码器对输入特征码进行译码, 其输出进入隶属函数发生器, 得出该特征分别对于 n 个标准模式的隶属度 (我们系统中, $n=11$). 同时, 输入的 p 位权重码通过权重译码器译码 (我们系统中, $p=1$), 权重调整电路根据权重译码器的输出, 选通相应的权重系数组, 对来自于不同隶属函数发生器的隶属度进行加权 经过加权的隶属度被输入到累加器中, 累加器对多个特征的加权隶属度进行求和, 得到一个综合隶属度 最后, 综合隶属度比较电路按综合隶属度大小的顺序依次输出综合隶属度以及相应的标准模式, 并进行绝对拒识和相对拒识的判断

2 1 隶属函数发生器

隶属函数发生器 (Membership Function Generator, MFG) 如图 2 所示 图中 MFG_{ij} ($1 \leq i \leq n, 1 \leq j \leq m$) 是第 i 个标准模式对应于第 j 个特征的隶属函数发生器 I_{ij} ($1 \leq i \leq n, 1 \leq j \leq m$) 表示第 i 个标准模式的第 j 个特征所对应的隶属度值 I_{ij} 是由 I_{ijl} 组合而成的, 其中 I_{ijl} ($0 \leq l \leq d, d=2^k-1$) 表示第 i 个标准模式的第 j 个特征相应于第 l 个特征值的隶属度值 该隶属函数发生器采用比例电流镜设计, 如 M_3 和 M_4 组成比例电流镜 M_3 和 M_4 之间不同的管子形状比得到不同比例的输出电流, 即对应于不同的隶属度值 相应于 M_1 的 NMOS 管是模拟开关管, 由特征译码器的输出 F_l ($0 \leq l \leq d, d=2^k-1$) 及时序信号 C_j ($1 \leq j \leq m, m=4$) 来控制 如图 2 所示, C_j ($1 \leq j \leq m$) 是四个相邻 不重叠的脉冲, 每个脉冲对应于一个输入特征 在图 2 中, \bar{C}_j ($1 \leq j \leq m$) 是 C_j 的反相信号, \bar{F}_l ($0 \leq l \leq d, d=2^k-1$) 是 F_l 的反相信号

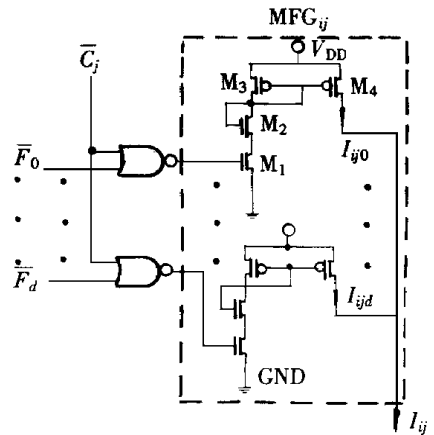


图 2 隶属函数发生器

2 2 权重调整电路

权重调整电路如图 3 所示, 该电路也采用比例电流镜设计. 权重系数值通过设定相应的

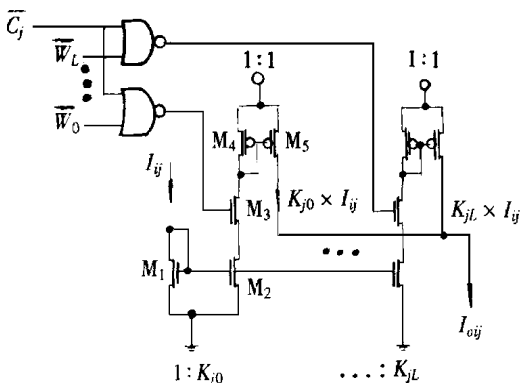


图 3 权重调整电路

镜像管 (如 M_1 和 M_2) 之间的形状比得到 相应于 M_3 位置的 NMOS 管作为模拟开关, 导通不同支路的模拟开关管就可以选择不同组的权重系数值 这些开关管由时序信号 \bar{C}_j ($1 \leq j \leq m, m=4$) 及权重译码器的输出 w_l ($0 \leq l \leq L, L=2^p-1$) 来控制, 其中 p 是权重输入码的位数 \bar{w}_l 是 w_l 的反相信号 图 3 中 I_{ij} ($1 \leq i \leq n, 1 \leq j \leq m, m=4$) 是第 i 个标准模式的第 j 个特征的隶属度值, 输出电流 I_{oij} 是 I_{ij} 相应的加权隶属度值

2 3 累加器

采用第二代开关电流积分器来完成带权隶属度的累加,如图 4 所示 开关电流技术是由 Hughes 等人在 1989 年提出的 同开关电容电路相比,开关电流电路使用 MOS 晶体管作为

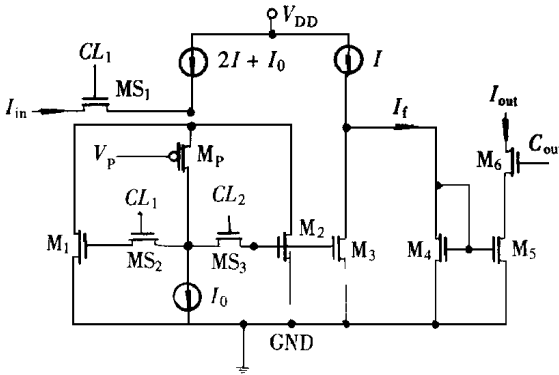


图 4 第二代开关电流积分器电路图

存储器件,它可以完全采用标准的数字 CMOS 工艺制作,易于模/数混合集成,利于 VLSI 实现^[4-7] 本文的第二代开关电流积分器采用动态电流镜,它完全克服了第一代开关电流积分器中由于电流镜像管之间的失配造成的误差,同时进一步简化了电路结构,降低了电路的功耗 在图 4 中,MS₁、MS₂ 和 MS₃ 是模拟开关管,它们的通断状态分别受两个不重叠的时钟 CL₁ 和 CL₂ 的控制 M₁、M₂ 和 M₃ 是形状相同的 NMOS 管 M_p 是一个共源共栅 PMOS 管,它的作用是提高 M₁ 和 M₂ 漏端的输入-输出电导比,以减小由于非理想的输入和输出阻抗不匹配所造成的影响^[6] 在这个电路结构中,M₁、M_p 和开关管 MS₁、MS₂ 组成了一个动态电流镜,用以接收并对输入电流 I_{in} 进行积分 M₂、M_p 和开关管 MS₃ 组成了另一个动态电流镜,用以存储并产生积分电流 I_f 镜像管 M₄ 和 M₅ 镜像映射积分电流 I_f,M₆ 在时钟 C_{out} 的控制下将积分电流输出产生 I_{out}

假设输入电流为 I_{in}, 积分电流为 I_f, 则 I_{in} ~ I_f 的 z 变换转移函数为^[6]

$$I_f = (I_{in} \times z^{-1}) / (1 - z^{-1}) \tag{3}$$

从(3)式可知,图 4 的电路具有积分特性,即可以完成累加功能 参考时序,在时钟 CL₁ 和 CL₂ 的控制下,m 个特征的带权隶属度在累加器中相加求和,最后得到一个综合隶属度,并在 C_{out}阶段输出 PSPICE 模拟结果表明,采用第二代开关电流技术实现的累加器,有效地提高了求和的精度,从而改善了系统的性能

2 4 综合隶属度比较电路

综合隶属度比较电路用于对 n 个标准模式与待识模式的综合隶属度进行排序,然后将综合隶属度按大小顺序依次输出,并在相应标准模式的输出端产生一个高电平脉冲 另外,该电路还将进行绝对拒识和相对拒识的判断 图 5 给出了一个四输入的综合隶属度比较电路图及其时序图 该电路由开关电流型排序电路和拒识判断电路组成

Block A 是开关电流型排序电路,见图 5(a). 它采用开关电流镜跟踪/保持输入信号,通过全对称的 WTA (Winner-Take-All) 电路网络求最大,最后分时输出排序结果 下面分析其工作原理 参考图 5(d) 中的时序图 在排序电路不工作时,所有时钟为低电平,以减小电路的静态功耗 假设在时刻 T₀,排序电路被启动 Reset 由低变高,相应的电路复位 这将使 Block A 4 中相应于 M₉₁ 的各 MOS 管栅电压变低,节点 5、6、7 和 8 的电压变高,节点 9、10、11 和 12 的电压变低 节点 5、6、7 和 8 的高电压使 Block A 1 中相应于 M₁₁ 的各开关管和 Block A 4 中相应于 M₃₂ 的各开关管导通 在 T₁ 时刻,Reset 变低,节点 5、6、7 和 8 的电压将保持在高电平,节点 9、10、11 和 12 的电压将保持在低电平 在 T₂ 时刻,Ck_p 第一个高电平脉冲到来,Block A 1 中相应于 M₁₂ 的各开关管导通,输入电流被镜像映射到 Block A 2 的输

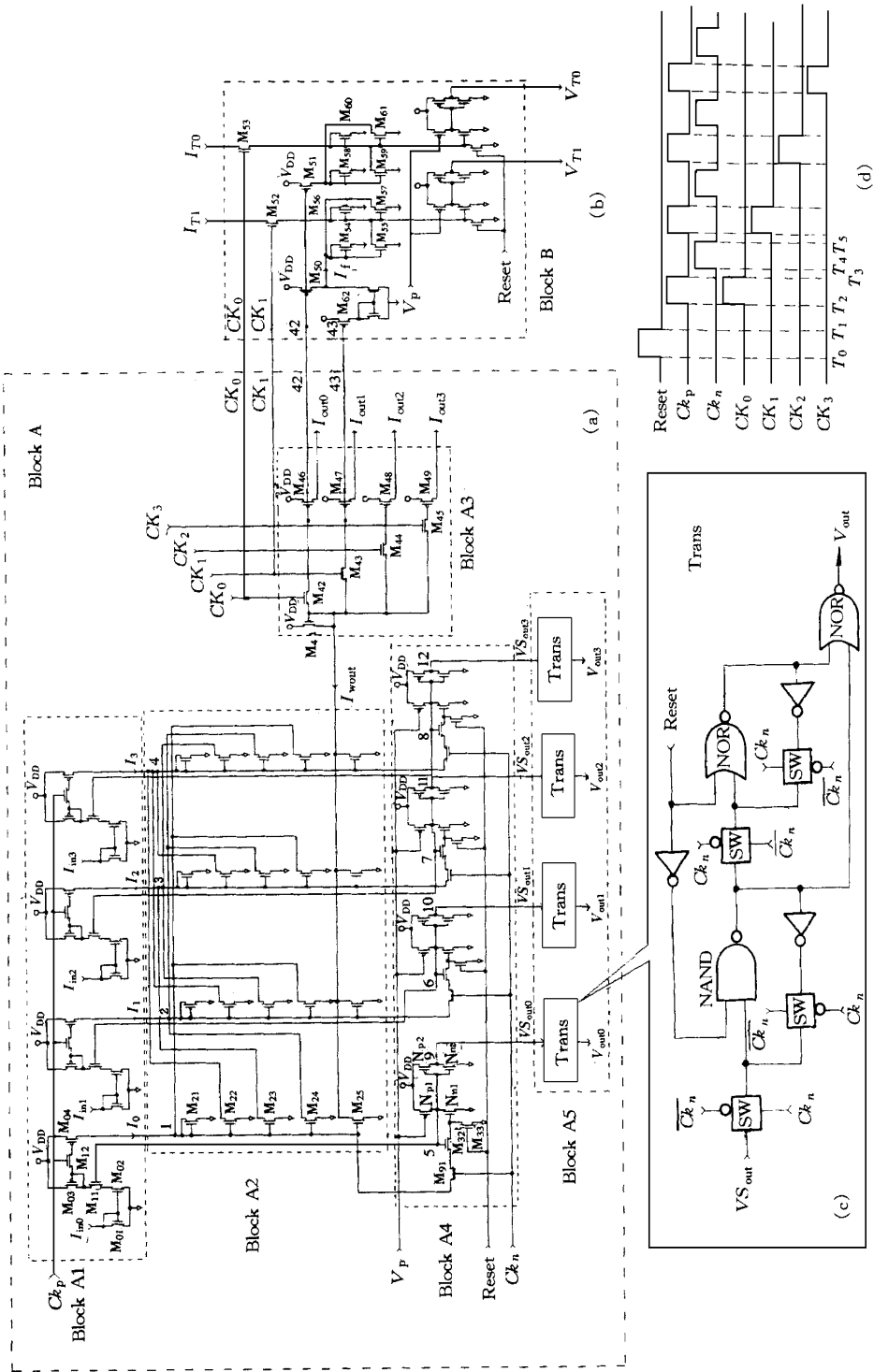


图 5 四输入综合隶属度比较电路图及其时序图

入端 Block A 2 是一个全对称的四端 WTA 求大电路网络, 其中, 所有 NMOS 管的尺寸都是相同的. 这个 WTA 是一种具有高精度、高速度的侧向抑制互连网络. 它可以通过各输入电流端相互间的抑制作用, 使最大电流输入端可以将其它输入端的电流吸引过来. 同时, 使最大电流输入端的电平变高, 而将其它输入端抑制到低电平, 并由 I_{wout} 输出最大的输入电流. 在这里, 不失一般性地假定 $I_{in0} = \max(I_{in0}, I_{in1}, I_{in2}, I_{in3})$, 则 WTA 将通过侧向抑制作用求得最大电流 (即 $I_{wout} = I_{in0}$), 同时使节点 1 电压变高, 节点 2、3 和 4 电压变低. 由于在 T_2 时刻, CK_0 的高电平脉冲同时到来, 使 Block A 3 中开关电流镜的开关管 M_{42} 导通, 所以最大电流被镜像映射输出, 即有 $I_{out0} = I_{in0}$. 在 T_3 时刻, CK_p 和 CK_0 变低, Block A 1 和 Block A 3 中开关电流镜的输出电流被保持, I_{out0} 也将继续保持等于 I_{in0} . 在 T_4 时刻, CK_n 变高, Block A 4 中相应于 M_{31} 的各开关管导通, 节点 1 的高电压使节点 5 的电压变低, 节点 2、3 和 4 的低电压使节点 6、7 和 8 的电压仍为高电平. 这使得 $V_{S_{out0}}$ 输出一个由低变高的跳变电压, 而其余的 $V_{S_{outi}}$ ($i = 1, 2, 3$) 电压仍为低电平. 为了便于检测和后处理, Block A 5 是将一个由低变高的跳变电平转化为一个高电平脉冲输出的转换电路, 其中, SW 单元为 CMOS 模拟开关. 这样, $V_{S_{out0}}$ 的跳变电压使 V_{out0} 输出一个高电平脉冲, 所以, 通过检测 V_{outi} 的高电平脉冲就可以判断出最大电流所对应的输入端, 即求出了匹配度最大的标准模式. 另一方面, 节点 5 的低电压使开关管 M_{32} 断开, 这使节点 5 的电压始终保持在低电平. 同时, 节点 5 的低电压使 Block A 1 的开关管 M_{11} 断开, 这使 I_{in0} 的镜像输出电流始终为零, 即 Block A 1 中 M_{03} 支路的电流始终为零. 在 CK_p 下一个脉冲来时, M_{03} 支路的零电流使 I_0 为零, 即 I_{in0} 将不影响其余输入电流的比较. 这样, 其余输入电流 I_{in1} 、 I_{in2} 和 I_{in3} 仍按上面的工作原理求出次最大, 并由 I_{out1} 输出. 同时, 在 Block A 5 中 (见图 5(c)), 一个高电平脉冲在相应于次最大电流输入端的输出端上产生. 这样, 在 Block A 3 中, 输入电流便按从大到小的顺序分时镜像输出, 即有 $I_{out0} > I_{out1} > I_{out2} > I_{out3}$. 同时, 在 Block A 5 中, 也将依次按电流从大到小的顺序在相应输出端分别产生一个高电平脉冲, 即通过检测这些脉冲就可以确定出 I_{outi} ($i = 0, 1, 2, 3$) 分别对应的输入端.

Block B 是拒识判断电路 (见图 5(b)), 它将用于进行绝对拒识和相对拒识的判断. Block B 中 NMOS 晶体管 $M_{50} \sim M_{53}$ 和 $M_{60} \sim M_{63}$ 分别组成了两个二输入的 WTA 电路. I_{T0} 和 I_{T1} 分别是设定的绝对阈值和相对阈值. 从上面的分析可知, 在 CK_0 来到以后, I_{out0} 输出并将保持 I_{in0} 中的最大值; 在 CK_1 来到以后, I_{out1} 输出并将保持 I_{in1} 中的次最大值, 同时使 $I_f = I_{out0} - I_{out1}$. 所以, 如果 $I_{out0} < I_{T0}$, 则 V_{T0} 端输出高电平脉冲, 即产生绝对拒识. 如果 $I_f < I_{T1}$, 则 V_{T1} 端输出高电平脉冲, 即产生相对拒识.

从上面的分析可以看出, 该模糊处理器既可以将 n 个标准模式与待识模式的综合隶属度按大小顺序输出, 还可以确定综合隶属度相应的标准模式. 由于综合隶属度比较电路的工作是在时序控制下进行的, 所以可以通过控制 CK_n 和 CK_p 的脉冲个数 h ($1 \leq h \leq n$), 来任意地选择与待识模式相接近的标准模式个数 h . 例如, 当 $h = 1$ 时, 该模糊处理器的识别原则可简化为传统的模糊模式识别原则, 即只输出与待识模式最接近的那一个标准模式; 当 $h = n$ 时, 该处理器将按与待识模式的接近程度顺序列出所有的标准模式以及相应的综合隶属度, 这可用于进行待识模式与所有标准模式贴近性的统计处理. 同时, 由于该模糊处理器可以进行绝对拒识和相对拒识的判断, 这将大大提高系统的可靠性. 另外, 该处理器的电路结构简单、灵活, 由于采用模块化设计, 在规模上易于扩展.

3 模拟结果

本文的开关电流型模糊处理器核心的部分是开关电流型累加器和开关电流型综合隶属度比较电路, 所以这里给出这两种电路在 $2\mu\text{m}$ 工艺下的 PSPICE 模拟结果

为了考察累加器的累加精度和分辨率, 分别进行了以下三种情况的模拟 参考图 4, I_{in} 在时钟控制下分时四次输入 三种情况分别列在表 1 中, 表中 I_{ini} ($i=0, 1, 2, 3$) 为第 i 次输入的电流, I_{out} 为最终累加电流值, ϵ 为最

表 1 开关电流累加器的模拟结果/ μA

模拟结果	I_{in0}	I_{in1}	I_{in2}	I_{in3}	I_{out}	ϵ
一	50	50	50	50	196	4
二	45	50	50	50	192	3
三	40	50	50	50	186	4

终累加误差 PSPICE 模拟结果表明开关电流累加器的最终累积误差在 $10\mu\text{A}$ 以内 从表可以看出累加器完全可以区分出上面三种情况, 所以累加器的分辨精度至少在 $5\mu\text{A}$ 以内 该电路的性能较好, 完全可以满足模糊处理器的要求

我们分别在四种典型输入情况下对四端综合隶属度比较电路进行了 PSPICE 的模拟 第一种情况下, I_{ini} ($i=0, 1, 2, 3$) 分别为 $195\mu\text{A}$, $185\mu\text{A}$, $200\mu\text{A}$ 和 $190\mu\text{A}$; 第二种情况下,

表 2 综合隶属度比较电路的模拟结果/ μA

模拟结果	I_{out0}	I_{out1}	I_{out2}	I_{out3}	G_{max}
一	200.4	194.9	189.8	185.2	0.4
二	152.1	147.7	142.5	137.8	2.8
三	103.4	98.4	88.6	84.6	3.4
四	29.8	24.5	18.9	13.9	4.8

I_{ini} ($i=0, 1, 2, 3$) 分别为 $145\mu\text{A}$, $135\mu\text{A}$, $150\mu\text{A}$ 和 $140\mu\text{A}$; 第三种情况下, I_{ini} ($i=0, 1, 2, 3$) 分别为 $95\mu\text{A}$, $90\mu\text{A}$, $100\mu\text{A}$ 和 $85\mu\text{A}$; 第四种情况下, I_{ini} ($i=0, 1, 2, 3$) 分别为 $20\mu\text{A}$, $25\mu\text{A}$, $10\mu\text{A}$ 和 $15\mu\text{A}$. 表 2 给出了四种情况的 I_{outi} ($i=0, 1, 2, 3$) 输出值, 以及输

出电流同相应输入电流的最大误差 G_{max} . PSPICE 模拟结果表明, 输出电流和相应输入电流的偏差小, 最大偏差小于 $5\mu\text{A}$. 电路的排序分辨率高, 至少在 $5\mu\text{A}$ 以内

4 总结

本文首次提出了一种用于模式识别的新型开关电流模糊处理器 该处理器可以按综合隶属度大小的顺序依次输出综合隶属度以及相应的标准模式, 这有利地改善了系统的性能 同时, 该处理器还可以进行绝对拒识和相对拒识的判断, 大大提高了系统的可靠性 PSPICE 模拟结果表明该处理器具有高精度、高分辨率等特点 同时, 该处理器的电路结构简单、灵活, 规模易于扩展 由于采用开关电流技术, 该处理器电路可以直接采用标准数字 CMOS 工艺制作

参 考 文 献

- [1] 李洪兴, 汪培庄, 模糊数学, 北京: 国防工业出版社, 1994.
- [2] 李斌桥, 用于字符识别的神经网络和模糊逻辑集成电路研究, 清华大学博士学位论文 (1994).
- [3] 刘柳胜, 李志坚, 石秉学, 电子学报, 1997, 25(2): 70~72
- [4] Terri S. Fiez *et al.*, IEEE J. Solid-State Circuit, 1991, 26(3): 192~201.

- [5] Rajaesh H. Zele *et al* , IEEE J. Solid-State Circuit, 1993, **28**(5): 569~ 575.
[6] Rajaesh H. Zele *et al* , IEEE J. Solid-State Circuit, 1994, **29**(3): 200~ 209.
[7] Minkyu Song *et al* , IEEE J. Solid-State Circuit, 1993, **28**(2): 133~ 137.

Novel Multifunction Switched-Current Fuzzy Processor for Pattern Recognition

Lin Gu and Shixue

(*Institute of Microelectronics, Tsinghua University, Beijing 100084*)

Received 20 February 1997, revised manuscript received 8 May 1997

Abstract A novel multifunction switched-current fuzzy processor for pattern recognition is firstly proposed. The proposed fuzzy processor is not only able to find the stand pattern with the largest level of matching, but also output levels of matching and stand patterns corresponding to these levels according to magnitude of levels. On the other hand, this network could realize the absolute rejection and the relative rejection. This improves the reliability of the system. The structure of this processor is simple, flexible and its scale can be easily extended. PSPICE simulation shows that the processor has high resolution and high precision. Since switched-current structure is employed, this processor is able to be fully compatible with a standard digital CMOS process and easily implemented in VLSI technology.

EEACC: 1280, 2570D, 0180