

# AC 热载流子应力下 nMOSFET 's 的退变研究\*

张 炯 李瑞伟 张文良

(清华大学微电子所 北京 100084)

**摘要** 本文研究了固定漏电压、栅脉冲 AC 应力条件下 nMOSFET 's 器件特性的退化情况。不同高低电平栅脉冲的应力实验结果表明, AC 热载流子应力条件下器件特性的退化与栅脉冲高低电平的覆盖的范围密切相关。AC 应力条件下器件退化是否增强, 取决于 AC 应力过程是否经历了不同模式的 DC 应力。

EEACC: 0170N, 2560R

## 1 引言

随着集成电路工业的发展, 器件的特征尺寸不断缩小, 热载流子退变效应越来越明显<sup>[1~3]</sup>。为了抑制热载流子效应对器件长期可靠性(器件寿命)的影响, 热载流子退变的机理作为一个重要课题, 一直为国内外有关研究者所重视。

对于热载流子效应的研究, 按应力条件可分为两类: DC 应力条件; AC 应力条件。利用 DC 应力条件可以对器件界面损伤机理作细致的考察; 而 AC 应力条件更接近于电路中器件工作的实际情况, 但是 AC 应力条件下器件的退化机理较为复杂, 人们通常借助 DC 应力条件的研究结果来推测 AC 应力条件下器件的退化情况。

典型的 AC 应力条件是在漏端加固定电压, 而在栅上加一个脉冲信号。一般认为, 在 AC 应力条件, 器件的退化增强(即超过相应 DC 应力下的退化速率)。但在解释增强效应的原因时存在分歧: 有人认为这是由于栅脉冲的下降沿会导致衬底电流的增强, 从而使热载流子数量增多, 器件失效加快<sup>[4~7]</sup>; 而其它的一些报道<sup>[8~10]</sup>则不同意上述观点, 他们认为在栅脉冲的上升/下降沿在一定时间范围内, 并没有呈现出衬底电流的增强, 并且认为器件“失效加快”是测量条件不当引入的, 而器件失效实际上并没有加快。

我们在漏压固定、脉冲前后沿及栅脉冲幅度均固定而覆盖范围不同的 AC 应力条件下

\* 国家“九五”计划的攻关项目的课题

张 炯 男, 1969 年出生, 博士生, 从事小尺寸 MOS 器件的可靠性研究及 VLSI 工艺研究

李瑞伟 男, 1934 年出生, 教授, 博士生导师, 从事半导体器件物理研究

1997-07-18 收到, 1997-10-08 定稿

进行了实验研究,结果表明,NMOS 器件的退化是否加强,与栅脉冲的高低电平覆盖范围有很大的关系

## 2 器件制备及实验说明

实验用的器件由我所工艺研究室制备。我们利用将多晶硅栅的过刻方法,在 P 型(100)硅片上制备了  $W/L$  从  $4.3\mu\text{m}/0.5\mu\text{m}$  到  $4.3\mu\text{m}/1.5\mu\text{m}$  的 nMOSFET 's 器件。沟道区进行了两次注入,分别调开启( $B^+$  剂量:  $3 \times 10^{12}/\text{cm}^2$ , 能量: 20keV)和防穿通( $B^+$  剂量:  $1.5 \times 10^{12}/\text{cm}^2$ , 能量: 120keV)。栅氧厚度为 10nm,对应结深  $0.15\mu\text{m}$ ,LDD spacer 约为  $0.1\mu\text{m}$ 。器件的阈值约为  $0.6 \sim 0.7\text{V}$ 。

实验中,我们在一系列相同的 MOS 器件上施加了 AC 热载流子应力。应力条件是,固定漏电压  $V_d = 7\text{V}$ ,栅上分别施加等幅而高低电平不同的脉冲信号,并不断监测被测样品的主要电学参数的变化情况,如阈值电压  $V_{\text{TH}}$  等

所有的测试均在 HP4062 半导体参数测试仪上进行。脉冲信号源为可编程脉冲信号发生器 HP8115A。

## 3 实验结果及讨论

我们在大量的样品分别施加了不同的 AC 应力,应力时间均为 200 分钟,应力条件及器件正、反向阈值在应力前后的典型变化值如表 1 所示。所谓反向阈值是指测量时的源、漏端与加应力时的源、漏端相反,相应的参数用下标 R 表示。样品均为栅长  $1.0\mu\text{m}$  的 LDD-NMOS; 栅脉冲信号  $T = 1\mu\text{s}$ , 上升/下降沿均为  $25\text{ns}$ , 占空比 50%, 高低电平如表中所示; 作为比较,我们同时给出 D、E 两种相应的 DC 应力条件下器件的退变值

表 1 A、B、C 三种 AC 应力前后器件正、反向阈值的典型变化值

栅脉冲的高低电平/DC 应力条件	$\Delta V_{\text{TH}}/\text{mV}$	$\Delta V_{\text{TH,R}}/\text{mV}$
A $V_D = 7\text{V}; V_G = 1\text{V}, V_{GH} = 5\text{V}$	17	118
B $V_D = 7\text{V}; V_G = 2\text{V}, V_{GH} = 6\text{V}$	19	150
C $V_D = 7\text{V}; V_G = 4\text{V}, V_{GH} = 8\text{V}$	4	2
D $V_D = 7\text{V}; V_G = 1\text{V}$	- 1	0
E $V_D = 7\text{V}; V_G = 7\text{V}$	3	29

由于热载流子造成的损伤主要出现在器件沟道的漏端附近,所以对于器件的反向特性的影响较大,从表 1 可见,器件反向阈值的变化均大于正向阈值的变化。同样,在表 1 的 A、B、C 三种应力作用 200 分钟后,器件的正向转移特性变化较小,所以我们在图 1 中给出了相应的反向转移特性在应力前后的值

从表 1 和图 1 可见,不同应力条件作用后器件的退化程度差别很大,应力 A 和应力 B 条件下器件的各项参数退化较大,应力 C 条件下器件的退化较小。由于我们在应力过程中保持栅脉冲的幅度(4V)及上升、下降沿(均为 25ns)的一致性,所以应力 A、B 与应力 C 条件

下样品退化程度的差别,用栅脉冲的下降沿会导致额外衬底电流产生的观点来作解释,就不妥当了:因为在应力 C 的条件下,由于器件的栅压为 4~ 8V,器件一直处于未关断的状态;测量表明,其衬底电流比应力 A、B 条件下器件的衬底电流大

为了解释上述差异,我们先看 DC 应力条件下器件退化的规律

在高漏压、低栅电压 ( $< V_D/3$ ) 应力条件下,器件沟道区会向漏附近的 Si-SiO<sub>2</sub> 界面注入大量的热空穴,而在高漏压、高栅电压 ( $> V_D/2$ ) 应力条件下则以注入热电子为主<sup>[11]</sup>。而且,一般认为界面损伤产生主要是一个两步过程<sup>[12]</sup>:界面俘获的空穴位如果再俘获一个电子,则产生界面态或陷阱的可能性很大,称之为空穴注入对电子注入的增强作用。这从表 1 的 D、E 两个 DC 应力条件下器件退变的情况可以得到证实,D、E 应力过程中分别只有单纯的空穴和电子注入,所以产生的器件退变较小

从我们实验中 A、B、C 三种应力条件引起器件退化程度的区别看,A 和 B 应力条件是相似的,均包括了高、低栅压 2 种模式的应力,所以有空穴注入对电子注入的增强作用。而应力 C 条件下的栅脉冲的幅度范围在 4~ 8V,应力过程几乎是单纯的电子注入过程,不存在空穴注入对电子注入的增强作用,相应造成的退化程度较小

为了进一步验证我们的解释,我们做了另一组 DC 应力实验,实验过程和典型结果如表 2 所示

表 2 样品 (1)、(2) 在不同应力过程中反向阈值的变化

(1)、(2) 均为 LDD-NMOS,  $W/L = 4.3\mu\text{m}/0.6\mu\text{m}$ , 栅氧 10nm, spacer 约 0.1 $\mu\text{m}$

应力过程 ( $V_S = V_{SUB} = 0V$ )	样品 (1) 的 $V_{TH}/mV$	样品 (2) 的 $V_{TH}/mV$
应力前	607	610
$V_D = V_G = 7V$ 400 分钟	619	625
$V_D = 7V; V_G = 1V$ 10 分钟	(未加应力, 放置)	622
$V_D = V_G = 7V$ 30 分钟	622	653

从表 2 可见,样品在 400 分钟的长时间高栅压应力下,阈值变化不大,如果交替经历高、低栅压应力后,则退化明显加剧,如样品 B 的变化。这表明高、低栅压应力的复合作用会加强器件的界面损伤程度。这也为我们上述的解释提供了一个旁证

进一步分析表 1 可见,应力 C 条件下器件的阈值变化很小,而相应的器件转移特性也有较大的退变(见图 1),这表明在对应的应力过程中,除了会产生一定量的陷阱电荷,还产生了相当数量的界面态,正是这些界面态增大了界面对沟道电子的散射,从而使电流减小

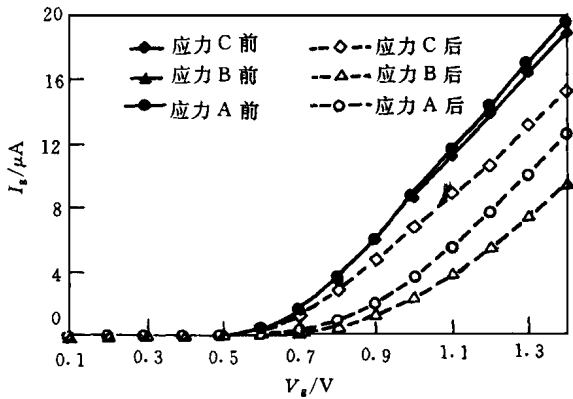


图 1 A、B、C 三种 AC 应力前、后样品的典型反向转移特性

## 4 结 论

我们对NMOS器件在固定高漏压下的AC应力进行了研究,实验表明,AC应力下器件的退化程度与器件所经历的应力过程有很大的关系,即如果在AC应力过程中包括了相当于DC应力的空穴、电子应力过程,则会有增强的退化效应

### 参 考 文 献

- [ 1 ] S. A. Abbas and R. C. Dockerty, IEDM Tech Dig , 1975, p35
- [ 2 ] P. E. Cottrell, R. R. Troutman and T. H. Ning, IEEE Trans Electron Devices, 1979, **ED-26**: 520
- [ 3 ] E. Takeda and N. Suzuki, IEEE Trans Electron Devices Lett , 1983, **EDL-4**: 111.
- [ 4 ] J. Y. Choi, P. K. Ko and C. Hu., IEEE Trans Electron Devices Lett , 1987, **EDL-8**: 333
- [ 5 ] H. Wang, M. Davis and R. Lahri, IEDM Tech Dig , p. 216, 1988
- [ 6 ] R. Bellens, G. Groeseneken, P. Heremans *et al* , IEEE Trans Electron Devices, 1994, **ED-41**: 1421.
- [ 7 ] 程玉华, 清华大学博士学位论文, 1989.
- [ 8 ] W. Hansch and W. Werber, IEEE Trans Electron Device Lett , 1989, **EDL-10**: 252
- [ 9 ] K. R. Mistry and B. S. Doyle, IEEE Trans Electron Device Lett , 1990, **EDL-11**: 267.
- [ 10 ] R. Bellens *et al* , IEEE Trans Electron Devices, 1990, **ED-37**: 310
- [ 11 ] N. S. Saks *et al* , IEEE Trans Electron Devices, 1986, **ED-33**: 1529.
- [ 12 ] S. K. Lai, Appl Phys Lett , 1981, **39**: 58

## Degradation of nMOSFET 's Under AC Hot-Carrier Stress

Zhang Jiong, Li Ruwei, Zhang Wenliang

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Received 18 July 1997, revised manuscript received 8 October 1997

**Abstract** The degradation behavior of NMOS having suffered AC hot-carrier stress has been discussed. It is shown that the degradation is dependent on the scale of the pulsed gate voltage, while it seems no close relation to the rise/fall times of the gate pulse.

**EEACC:** 0170N, 2560R