

一种新复用型模糊控制器 VLSI 设计*

张 健 赖宗声

(华东师范大学电子系 上海 200062)

摘要 本文提出了一种模糊化器复用的模糊控制器(FMC)的VLSI设计。这一ASIC电路利用模糊处理特点,采用模糊化器复用的结构,在系统的实现规模不变的情况下大大提高了系统性能。同时由于采用了并行流水线和控制FAT表等技术,可以获得每6个时钟至少8条模糊规则的处理速度。基于硬件描述语言VHDL的模拟和综合结果表明,采用 $1.5\mu\text{m}$ CMOS工艺时,电路的规模约为20k单元面积(内含2kRAM),在最坏情况下,最高时钟频率约可达30MHz,数据处理速度达到40M条规则/秒。

EEACC: 2570, 1265B, 4180

1 引言

美国加州大学教授扎德(L. A. Zadeh)在1965年提出的《Fuzzy Set》论文开创了模糊逻辑的历史^[1],从此模糊控制这门学科渐渐发展起来。由于模糊控制技术能够对现实生活中大量的非确定性问题很好地进行解决,因而具有很大的应用价值。进入九十年代以来,模糊控制技术更是在过程控制、人工智能、专家系统以及家电等领域取得飞速进展。

模糊控制技术用ASIC实现,可以大幅度提高工作速度,这在模糊控制中具有重要的意义。在此方面国外已有许多产品,如NLX230等^[2]。但这些产品控制效率不高。本文提出的模糊控制电路结构采用模糊化器复用技术,可以实现处理42条隶属度函数,提高了芯片精度,并且采用并行处理八条规则以及流水线处理技术使芯片达到较高的处理速度。

2 模糊处理原理

模糊处理过程主要包括三个方面:模糊化、模糊推理、解模糊(如图1所示)。

2.1 模糊化

根据制定的模糊化策略(隶属度函数),将输入的各特征参量转变为模糊值是模糊处理的第一步。

* 本研究获专用集成电路与系统国家重点实验室课题(1996年度)和上海市重点基金项目(94JC14007)资助

张 健 男,1973年出生,硕士生,从事ASIC电路与系统等方面的研究

赖宗声 男,1943年出生,教授,博士生导师,从事ASIC电路设计、传感技术及微机械加工技术等方面的研究
1997-07-31收到,1997-11-16定稿

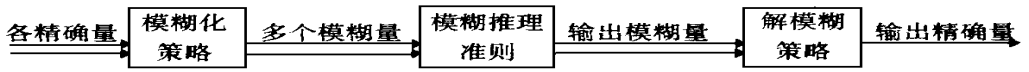


图 1 模糊处理过程

2.2 模糊推理

利用制定的推理规则进行模糊推理是模糊处理的主体部分. 模糊规则用一组“IF ... THEN ...”语句来表述 其中的 IF ... 部分是前提, THEN ... 是推理论断

模糊推理的合成运算法为:

$$Y_{ij} = \max_k [\min [x_{ik}, r_{kj}]] = [x_{ik} \quad r_{ij}] \tag{1}$$

2.3 解模糊

经模糊推理后所得的是模糊量, 而要得到精确的模拟量就需要进行解模糊处理, 本文采用M N MAX 方法解模糊

本文采用模糊推理是以M am dani^[3,4]法为基础, 采用 Zadeh 算子, 六个输入参量, 一个输出控制量

3 模糊处理硬件结构

图 2 所示为复用型模糊控制器VLSI的结构原理

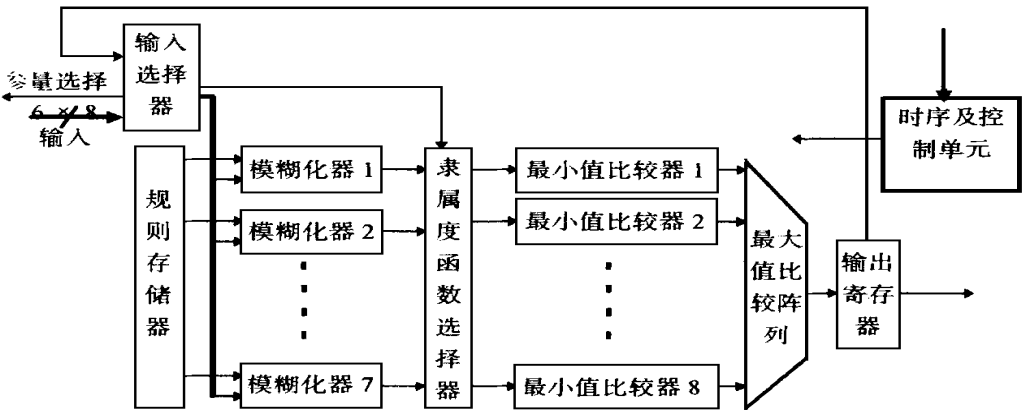


图 2 复用型模糊控制器VLSI的结构原理图

在本电路中采用双边限制的三角形隶属度函数, 其函数表达式为: 当为正三角时, 隶属度函数的值 μ 表示为:

$$\mu = \begin{cases} 31 - |x - c| & |x - c| < w \\ 0 & |x - c| > w \end{cases} \tag{2}$$

当为倒三角时, 隶属度函数的值 μ 表示为:

$$\mu = \begin{cases} 0 & |x - c| < w \\ |x - c| & w < |x - c| < 31 \\ 31 & |x - c| > 31 \end{cases} \tag{3}$$

其中 x 为输入值; c 为三角形中心值; w 为三角形边带的半宽度 ($w = 31$).

在电路设计中, 我们采用了以下技术:

(1) 为了达到较高的运算速度, 电路采用了并行流水线的结构和单相位时钟;

(2) 为了提高电路对模糊规则的读取速度, 本电路参照其他模糊处理芯片^[5,6], 采取内置 2k RAM 的方法. 当电路开始工作时, 先通过串行口从外部 2k RAM 中读入模糊规则, 存入内部 2k RAM, 然后对内部 2k RAM 中的数据进行处理;

(3) 采用模糊化器复用技术. 通常在一次模糊处理中, 模糊化器的利用率只有 20%, 而采用模糊化器复用技术, 模糊化器的利用率可达 $6 \times 20\% = 120\%$. 同时由于采用流水线技术, 模糊化器的复用不影响模糊处理速度. 7 个模糊化器将一输入参量分成 7 级隶属度函数来处理, 这样模糊处理的精度最高^[4]. 采用复用技术, 对 6 个输入参量来说, 模糊化器总共可以处理 42 条隶属度函数. 模糊处理的精度大大提高;

(4) 本电路采用对八条模糊规则同时并行处理的方法, 而对不同参量流水处理, 这样可以提高模糊处理速度, 六个时钟可处理八条模糊规则, 而当所需输入参量减少时, 亦可提高处理速度;

(5) 本电路在模糊规则存储中, 增加了控制 FAT 表结构, 通过 FAT 表来先行查找要处理的模糊规则. 由于采用串行流水处理, 增加的 FAT 表结构非但没有增加模糊处理的负担, 反而提高了模糊处理速度.

其中(3)、(4)、(5)是我们的独创, 与已有 FMC-IC 产品不同. 具体的电路工作状态图如图 3 所示.

具体推理时序如下: 首先芯片初始化, 从 2k 外部 EPROM 中串行输入隶属度函数、模糊规则、模糊控制值等送入内部 2k 内存; 将 42 个隶属度函数装入并行隶属度函数分配器, 然后时序工作如图 4 所示.

图 3 中“文件 FAT 表”是一个 $6(i) \times 6(j)$ 的存储阵列, $i \in [1, 6]$, 代表每八个一组的模糊规则, $j \in [1, 6]$, 代表六个输入参变量. 如果此八条模糊规则中要调用此参变量, 则存储阵列中此位为“1”, 否则为“0”. j 值为随后需要进行模糊处理的参变量. 为加快运算速度, 电路采用流水方式运算, 即: 把整个电路分解为多级运算(如图 3 所示, 图 3 中 a 即为图 4 中 a1 ... a6, 即步骤 B, 图 4 中表示每个时钟都计算一次 i, j 值, 并流水的运算下去, b1 ... b6 为图 3 中过程 b, 同理, c, d, e, f 都对应图 3 中 c, d, e, f.)

本电路设计与其它模糊处理电路的设计有根本的不同. 其它模糊处理电路它们是一个时钟周期处理一条模糊规则, 这就要求先将外部各输入参变量值寄存起来, 然后把隶属度函数全部打入模糊化器中(各模糊化器只对应一个隶属度函数), 各模糊化器再根据隶属度函数选择所需的参变量进行模糊化处理. 由于在一条模糊规则中不可能有多个隶属度函数调用同一个参变量, 而各条模糊规则所调用的隶属度函数又肯定不完全相同, 因此用此种方法, 模糊化器的利用率必定不高. 如要达到一定的控制精度, 那么模糊化器的利用率只有 20 ~ 30%. 本设计电路与其它电路不同的, 也就是本设计电路的特点、优点就是: 我们采用的是在一个时钟周期中不是计算一条模糊规则, 而是针对一个输入参变量, 把它对此参变量隶属度函数的模糊化结果全部计算出来. 再把此结果根据各模糊规则的需要分配出去. 一个时钟周期同时处理八条模糊规则的一个参变量的模糊化运算. 最多有六个参变量, 因此最多需六个时钟周期就可计算八条模糊规则. 由于一个参变量最好对应七个以内的隶属度函数^[3], 因

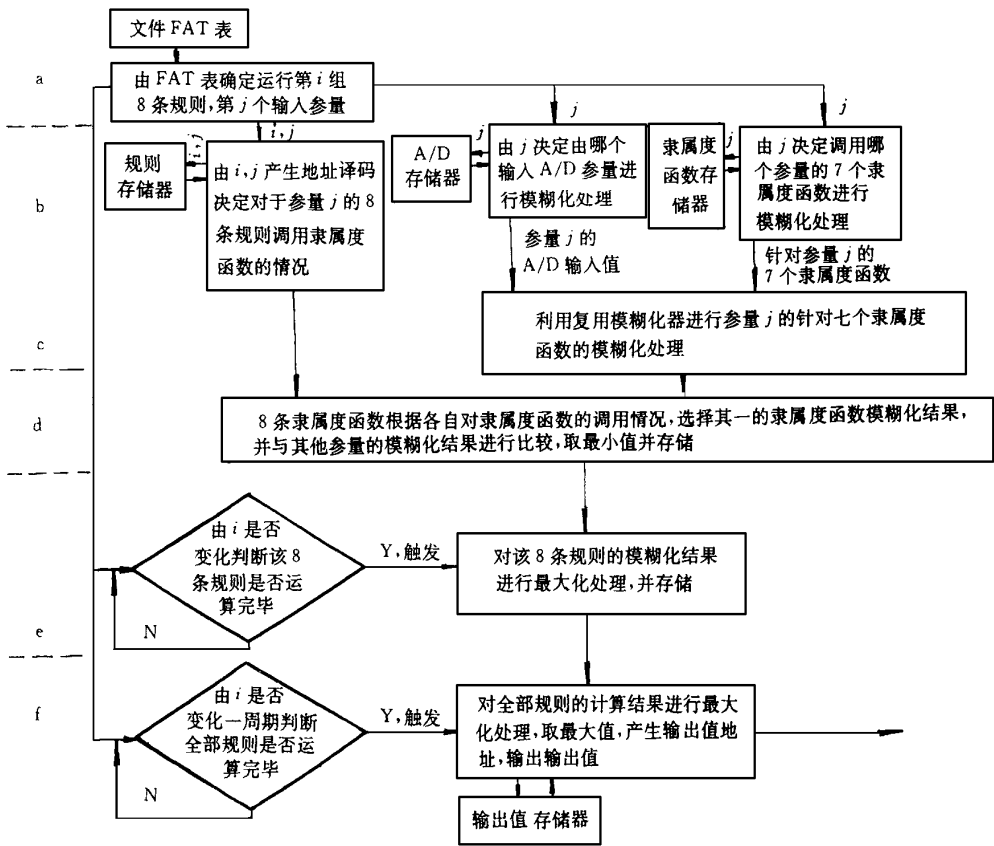
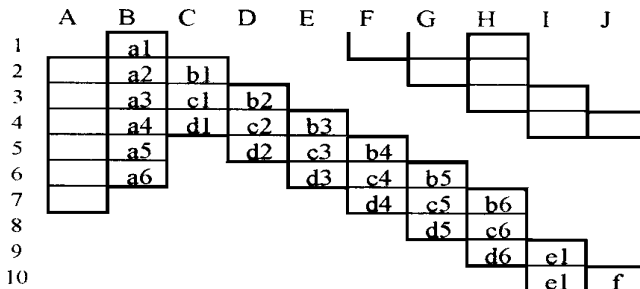


图 3 模糊控制器的主要工作状态图

此采用模糊化器复用技术(不同参变量的隶属度函数在不同时钟周期复用同一个模糊化器)就可以只要七个模糊化器即可, 这样就可以省下许多芯片面积



- A: I/O 或反馈控制参量输入;
- B: 由 FAT 表确定 i, j 以进行规则、隶属度函数选择;
- C: 参量 A 模糊化, 模糊化器分配, 取小;
- D: 参量 B 模糊化, 模糊化器分配, 取小;
- E: 参量 C 模糊化, 模糊化器分配, 取小;
- F: 参量 D 模糊化, 模糊化器分配, 取小;
- G: 参量 E 模糊化, 模糊化器分配, 取小;
- H: 参量 F 模糊化, 模糊化器分配, 取小;
- I: 最大值比较, 寄存; 下一次参量 A 模糊化开始;
- J: 动作值输出;

图 4 模糊芯片工作时序图

基于上述设计思想,由文件 FAT 表产生的 i, j 信号就将控制多个模块电路(如图 3 所示). 由于要在一个时钟周期内计算针对一个参变量的全部隶属度函数,因此就要调用 j 值来确定采用何 A/D 输入值,以及将针对此参变量的七个隶属度函数打入模糊化器中进行模糊化处理. 随后根据 i, j 值的情况来确定所调用的模糊规则,根据各模糊规则的所需分配先前处理的模糊化结果. 再后,将各模糊规则在不同参变量的模糊结果取最小化处理.

当八条规则处理完后,进行此八条规则的最大值运算,并产生模糊控制输出值存储器的后 3 位地址编码(图 3 中 e),当全部模糊规则计算完后将产生模糊控制输出值存储器的前 2 位地址编码(图 3 中 f).

本设计的根本特点是同一参变量的各隶属度函数的计算是并行处理,模糊规则对各参变量模糊化值取小运算是串行处理,这与其它模糊芯片的设计有了本质的区别,由此才能采用模糊化器复用技术.

表 1 为本文提出的电路结构与类似的典型成品 NLX230 的结构性能比较. 从表 1 中可以看出,本电路与 NLX230 相比,虽然处理的规则数有所减少,但是处理精度提高了两倍以上,同时处理速度也略有提高. 本设计仅用七个模糊化器,减少了芯片面积,因此本结构比 NLX230 成本较低,适合与多传感量输入的模糊控制系统.

表 1 本文电路的结构和性能与 NLX230 比较

| | 本设计 | NLX230 |
|---------|----------------------|----------------------|
| 知识库 | 最多 48 条规则 | 最多 64 条规则 |
| 规则结构 | IF: 42 变量 THEN: 1 变量 | IF: 16 变量 THEN: 1 变量 |
| 模糊规则组 | 4 组 | 8 组 |
| 平均每组规则数 | 12 条规则 | 8 条规则 |
| 模糊化器 | 7 个 | 16 个 |
| 模糊硬件算法 | 同一参量并行处理同一规则串行处理 | 同一参量串行处理同一规则并行处理 |
| 处理速度 | 4000 万条规则/秒 | 3000 万条规则/秒 |
| 模糊处理精度 | 高(7 级) | 低(一般 2~4 级) |

4 逻辑模拟和综合结果

整个 IC 电路的设计是用 RTL 级 VHDL^[7]语言完成的,其逻辑功能正确性通过 Synopsys 的 VHDL 模拟器进行模拟和验证.

最后的门级电路为 Synopsys 综合工具综合所得,采用了 $1.5\mu\text{m}$ 的 CMOS 单元工艺库. 逻辑综合结果表明,电路的规模约为 20k 单元面积,在最坏情况下,关键路径的延时 τ 为 32.7ns,最高时钟速度约可达 30MHz,平均每 6 个 τ 可以处理 8 条模糊规则,即每秒可处理模糊规则 $30\text{M} \times 8/6 = 40\text{M}$ 条. 每个参量可以分成 7 级隶属度函数进行模糊化,因而模糊处理精度高.

5 结束语

在本文中,我们提出了一种新的模糊化器复用的 FMC 的 VLSI 设计. 这一设计充分利用了模糊处理特点,即采用模糊化器复用的结构,以较少的电路器件实现较高的系统性能.

对 6 个输入参量, 每个参量可以分成 7 级隶属度函数进行模糊化, 有利于 FMC 实际运用的需要。同时, 由于采用了并行流水线和控制 FAT 表等技术, 可以获得每 6 个时钟至少 8 条模糊规则的处理速度。模拟和综合结果表明, 采用 $1.5\mu\text{m}$ CMOS 工艺时, 电路的规模约为 20000 单元面积 (内含 2k RAM), 在最坏情况下, 最高时钟频率约可达 30MHz, 数据处理速度达到 4000 万条规则/秒。

参 考 文 献

- [1] L. A. Zadeh, Inf. Control, 1965, 8: 338~ 353
- [2] "Fuzzy Logic and Neural Network IC Book '92", American Neuralogic, Inc
- [3] 戎月莉, 计算机模糊控制原理及应用, 北京: 北京航空航天大学出版社, 1995, (1): 10~ 24
- [4] 余永权, 曾碧, 单片机模糊控制逻辑, 北京: 北京航空航天大学出版社, 1995, (3): 73~ 76
- [5] H. Watanabe, W. D. Dettloff and K. E. Yount, IEEE Journal of Solid-State Circuits, 1990, 25(2): 376~ 382
- [6] 郑莹娜, 刘强, 电子技术应用, 1995, 9: 38~ 41.
- [7] P. Douglas, Very High Speed Integrated Circuit Hardware Description Language, McGraw-Hill Inc., 1994

Applicable VLSI Architecture for Fuzzy Micro Controller

Zhang Jian, Lai Zongsheng

(Department of Electronic Engineering, East China Normal University, Shanghai, 200062)

Received 31 July 1997, revised manuscript received 16 November 1997

Abstract A specific VLSI architecture with reusable fuzzier for fuzzy micro controller is presented. It uses the properties of fuzzy process, and adopts the structure with reusable fuzzier, so it has better performances than the chip of NLX230 produced by Neuralogix Company in the same chip size. In addition, the pipeline has been adopted and uses the architecture of control file access table which results in a high throughput at eight pieces of fuzzy rules every six clocks. This circuit is simulated by the hardware description language (VHDL). Then synthesis results show that the IC chip contains about 20k unit area (include 2k RAM), the speed of data processing can reach 40M rules/s when $1.5\mu\text{m}$ CMOS process technology is used.

EEACC: 2570, 1265B, 4180