

利用改进的固相外延技术改善 CMOS/SOS 器件的特性

刘忠立 和致经 于 芳 张永刚 郁元桓

(中国科学院半导体研究所 北京 100083)

摘要 CMOS/SOS 器件同体硅 CMOS 器件相比, 载流子迁移率较低, 沟道漏电电流较大, 它们主要是由异质外延硅膜缺陷, 特别是靠近硅蓝宝石界面的硅膜缺陷造成的。本文描述一种改进的固相外延技术提高外延硅膜质量进而改善 CMOS/SOS 器件特性的实验结果

EAAAC: 0510D, 2550B, 2570F

1 引言

CMOS/SOS 器件是一种成熟的 SOI 技术。由于它固有的介质隔离, 小的寄生电容, 小的源漏结面积以及消除了体硅 CMOS 器件难以避免的寄生闭锁(Latch-up)效应, 从而不但能提高 CMOS/SOS 集成电路的工作速度及集成度, 而且具有较高的工作可靠性及优越的抗辐照性能^[1]。另一方面, SOS 结构中外延硅膜与蓝宝石衬底之间的晶格失配以及热膨胀系数的差别等造成外延硅膜, 特别是靠近硅-蓝宝石界面的硅膜, 具有较多的晶体缺陷^[2], 以致降低了载流子迁移率及增加了器件沟道漏电电流^[3]。采用两次固相外延(DSPE)^[4]或者固相外延再生(SPEAR)^[5]可以有效减少 SOS 结构的晶体缺陷, 从而提高载流子迁移率, 同时降低器件沟道漏电电流^[6]。上述固相外延技术通常包括硅离子的平均射程到达硅-蓝宝石界面的深注入, 以便使硅的非晶化到达界面, 并利用硅表面的晶体部分为籽晶实现固相外延而消除硅膜特别是界面附近硅膜中的微孪晶和层错等晶体缺陷。但 SOS 的深离子自注入不可避免地会损伤界面处的蓝宝石, 并在随后的退火过程中引起 Al 的外扩散, 降低了硅膜的电阻率^[7], 使器件的阈值电压发生偏移并增加辐照诱生的背沟道漏电电流^[8]。因此, 无论在材料工艺或器件工艺上都要采取相应的控制和必要的措施以避免或减小上述影响, 因而使工艺过程相对复杂。鉴于此, 本文利用原始厚度较薄的硅膜, 用较低的注入能量, 使硅离子的平均射程并不到达界面, 以合适的注入剂量使非晶化从硅表面开始, 终止于离界面相当的距离。然后, 以界面处剩余的晶体硅为籽晶进行固相外延, 从而获得了 SOS 晶体质量的提高及

刘忠立 男, 1940 年出生, 研究员, 博士生导师, 从事半导体器件、集成电路及半导体器件辐射加固技术研究
和致经 男, 1938 年出生, 研究员级高工, 从事半导体器件、集成电路工艺及辐射加固技术研究
于 芳 女, 1960 年出生, 高工, 从事集成电路设计及可靠性研究
1997-11-21 收到, 1998-03-06 定稿

CMOS/SOS 器件特性的改善

2 样品制备

采用 $\Phi 38\text{mm}$ 的 (1102) 蓝宝石晶圆片, 经 CMOS/SOS 器件级的研磨、抛光、清洗后, 在 960°C 温度下用 SiH_4 热分解法外延生长 $0.2\mu\text{m}$ 厚的 (100) 硅膜。晶片的一部分 (例如二分之一) 加以掩蔽作为对比部分, 晶片的剩余部分用能量 $E = 70\text{keV}$, 剂量 $D = 2 \times 10^{15}/\text{cm}^2$ 的硅离子注入。其后在 1000°C 氮气氛下进行 30min 的炉退火, 再利用 SiH_4 热分解法进行一次外延生长使硅膜总厚度达到 $0.5\mu\text{m}$ 。然后用 $3\mu\text{m}$ 全离子注入 CMOS/SOS 工艺制作 CMOS/SOS 器件, 以备对其进行电学参数测量。

3 实验结果

3.1 固相外延再生长 SOS 材料分析

图 1(a)、(b) (见图版 D) 分别表示用透射电镜对原生长 SOS 及固相外延再生长 SOS 进行的剖面透射电子显微镜 (XTEM) 分析的照片。与原生长硅膜相比较, 已经过固相外延再生长硅膜的缺陷明显减小, 除界面附近约 50nm 范围内残留有层错和微孪晶外, 其余经固相外延以及随后气相外延生成的硅膜中上述缺陷已被消除。这是由于 (100) 硅膜中的层错和微孪晶等面缺陷为非 (100) 取向, 其生长速率远小于 (100) 面的生长速率所致。因此, 只要掌握合适的注入条件, 不要使非晶化在硅表面和界面附近同时残留硅晶体因而使固相外延各自向相对方向同时进行, 则无论由深离子注入 (固相外延由表面向界面进行) 或本文所述的浅离子注入 (固相外延由界面附近向表面进行) 均可有效地消除原生长硅膜中的晶体面缺陷。

图 2 (见图版 D) 和图 3 (见图版 D) 分别给出注入硅和未注入硅的 NMOS 晶体管及 PMOS 晶体管载流子迁移率同栅压之间的关系。可以看出, NMOS 及 PMOS 晶体管通过固相外延再生长, 其载流子迁移率有明显提高, 这与图 1(a)、(b) 所示的结果是一致的。

3.2 器件电学参数测量

3.2.1 沟道漏电流

表 1 和表 2 分别给出了同一 SOS 片上注入硅及未注入硅 NMOS 管及 PMOS 管包括沟道漏电流 I_{DSS} 在内的电学参数测量结果。表中 V_{T} 为阈值电压, BV_{DSS} 为栅源短路沟道击穿电压。这些参数是十个被测量晶体管的平均值, 被测电流的分散值不超过 1 倍。从这些结果可以看出, 注入硅固相外延的 MOS 管沟道漏电流明显低于未注入硅固相外延的 MOS 管沟道漏电流。其它电学参数则基本没有变化。

表 1 NMOS 管电学参数测量结果

NMOS 管材料	$I_{\text{DSS}} (V_{\text{DS}} = 5\text{V})$	V_{T}/V	BV_{DSS}/V
注入硅固相外延	$8 \times 10^{-12}\text{A}/\mu\text{m}$	1.6	18
未注入硅固相外延	$2.5 \times 10^{-11}\text{A}/\mu\text{m}$	1.6	18

表 2 PMOS 管电学参数测量结果

PMOS 管材料	$I_{DSS}(V_{DS} = -5V)$	V_T/\bar{V}	BV_{DSS}/\bar{V}
注入硅固相外延	$-8 \times 10^{-12} A/\mu m$	- 1.0	- 25
未注入硅固相外延	$-1.2 \times 10^{-11} A/\mu m$	- 1.0	- 25

3.2.2 MOS 管迁移率的改善

图 4 和图 5 给出同一 SOS 片上注入硅固相外延和未注入硅固相外延 NMOS 及 PMOS 晶体管的漏输出特性 MOS 晶体管的有效迁移率可用下式算出:

$$\mu = \frac{I_{DS} t_{OX} L}{W \epsilon_{OX} \epsilon_0} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

式中 I_{DS} 为漏输出电流; t_{OX} 为栅 SiO_2 厚度; V_{GS} 为栅源电压; W 为沟宽; L 为沟长; ϵ_{OX} 为 SiO_2 的相对介电常数; ϵ_0 为真空电容率

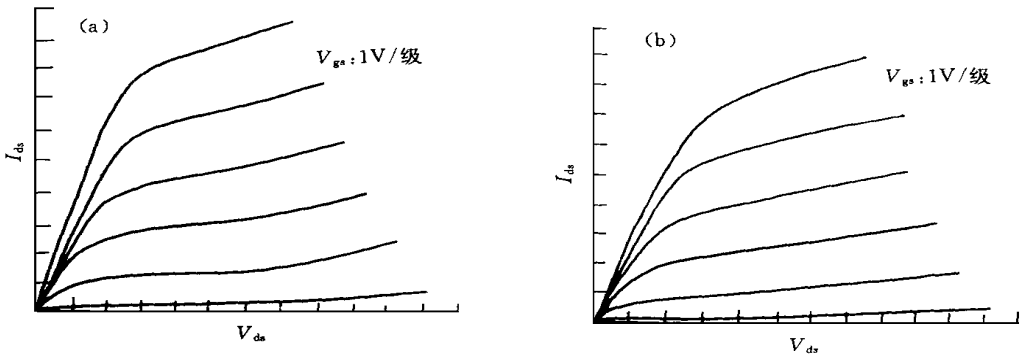


图 4 NMOS 晶体管漏输出特性

横轴: 2V/格, 垂直轴: 500μA/格; (a) 注入硅固相外延部份, (b) 未注入硅固相外延部份

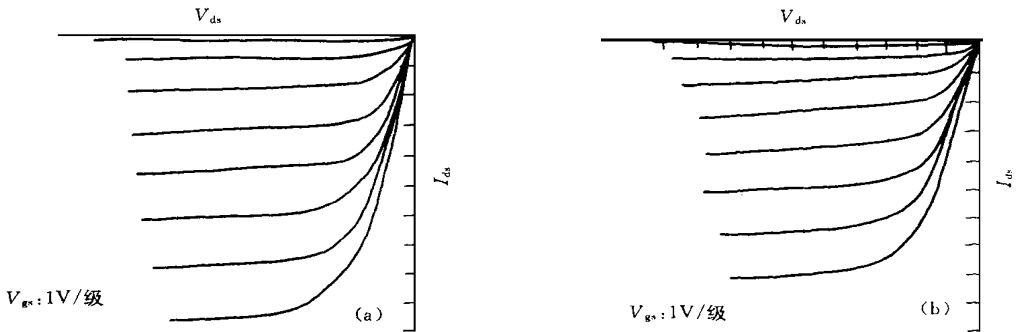


图 5 PMOS 晶体管漏输出特性

横轴: 2V/格, 垂直轴: 200μA/格; (a) 注入硅固相外延部份, (b) 未注入硅固相外延部份

从图 4 及图 5 的结果可以看出, 两种沟道 MOS 晶体管的载流子迁移率均有明显的改善

3 2 3 实用电路的测量结果

用上述同样 SO S 片, 在注入硅固相外延部份及非注入硅固相外延部份, 用全离子注入 CMOS/SOS 集成电路工艺制作了实用电路 SC4082 对其动态工作波形进行了测量, 图 6 (见图版 1) 和图 7 (见图版 1) 分别示出其测量结果. 从结果中可以看出, 注入硅固相外延部份的电路, 其上升及下降延时均小于非注入硅固相外延的电路, 即前者电路速度比后者的快. 这一结果同第 3 2 2 节中迁移率提高的数据是一致的.

4 结论

利用改进的固相外延技术使 SO S 结构中除硅-蓝宝石界面附近有限范围内有残留的晶体缺陷外, 可有效地消除硅膜中的原生长晶体面缺陷, 提高了硅膜质量, 从而改善了 MOS 晶体管的电学参数. 用同样衬底制作的 SC4082 电路的动态工作波形测量表明, 采用固相外延再生长 SO S 材料制作的器件工作速度明显快于用原生长 SO S 材料制作的同样器件的工作速度. 上述结果表明, 本文采用的改进的固相外延技术对于改善通常的 CMOS/SOS 电路的电学特性是有效而实用的.

参 考 文 献

- [1] 刘忠立, CMOS 集成电路原理、制造及应用, 北京: 电子工业出版社, 1990, 161.
- [2] M. S. Abrahams and C. J. Buiochi, Appl Phys Lett, 1975, 27: 325.
- [3] L. E. Weitzel and R. T. Smith, J. Electrochem. Soc., 1978, 125: 792.
- [4] R. Reedy, T. Sigmon and L. Christel, Appl Phys Lett, 1983, 42: 707.
- [5] D. C. Mayer, P. K. Vasudev, A. E. Schmitz *et al.*, IEEE SOS/SOI Technology Workshop, Park City, Utah, Oct 1985.
- [6] T. Yoshii, S. Taguchi, T. Inoue *et al.*, J. Appl Phys, 1982, 21(Sup1 21-1): 175.
- [7] Q. Wang, Y. Zan, J. Wong *et al.*, Materials Science and Engineering B, 1995, 29: 43.
- [8] J. Brandewie, IEEE SOS/SOI Technology Workshop, Abstract, 1987, 44.

Improvement of CMOS/SOS Devices Characteristics by Modified Solid Phase Epitaxy

Liu Zhongli, He Zhijing, Yu Fang, Zhang Yonggang, Yu Yuanhuan

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083)

Received 21 November 1997, revised manuscript received 6 March 1998

Abstract CMOS/SOS devices have lower carrier mobility and higher channel leakage current than bulk silicon CMOS devices. These mainly result from the defects of heteroepitaxial silicon film, especially from the defects near Si-Sapphire interface. This paper describes the experiment results of CMOS/SOS devices characteristics improved by a better epitaxial silicon quality obtained by a modified solid phase epitaxy.

EEACC: 0510D, 2550B, 2570F

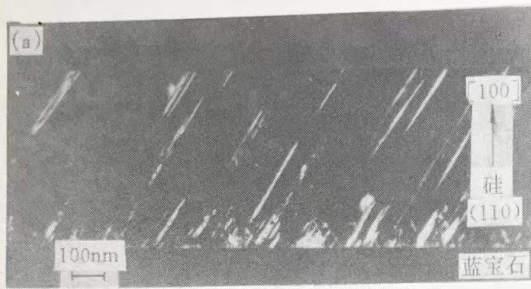


图 1(a) 原生长 SOS 材料
剖面 XTEM 照片

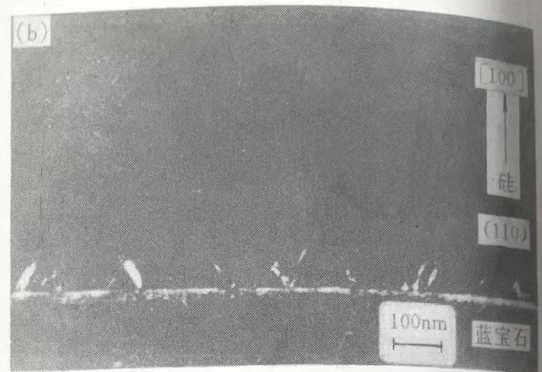


图 1(b) 固相外延再生长 SOS
材料剖面 XTEM 照片

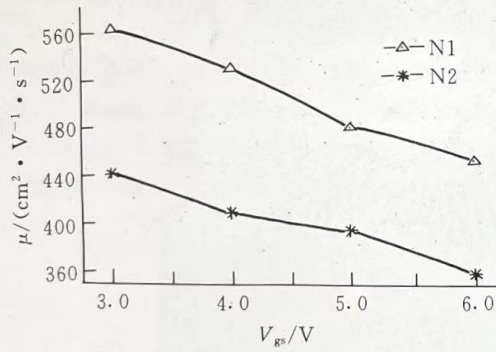


图 2 注入硅固相外延及未注入硅固相外延
NMOS 晶体管迁移率同栅压之间的关系

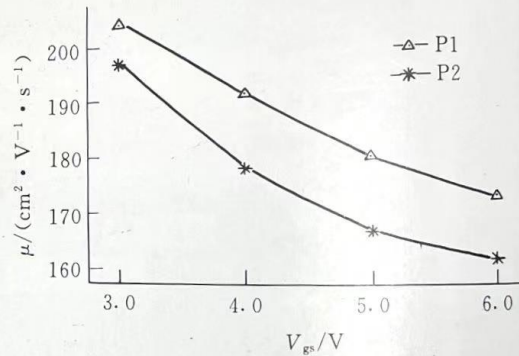


图 3 注入硅固相外延及未注入硅固相外延
PMOS 晶体管迁移率同栅压之间的关系

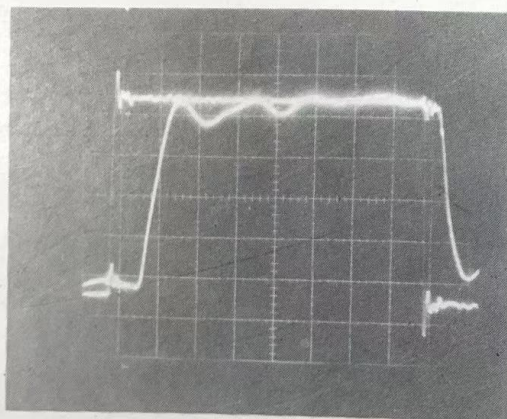


图 6 注入硅固相外延 SC4082 工作波形
X: 50ns/大格, Y: 1V/大格;
上升边延时 $t_{PLH}=50ns$, 下降边延时 $t_{PHL}=30ns$.

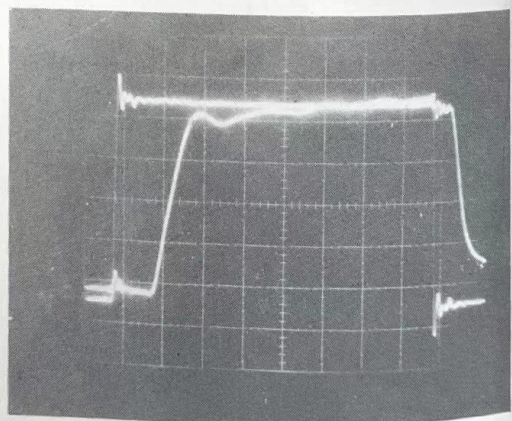


图 7 非注入硅固相外延 SC4082 工作波形
X: 50ns/大格, Y: 1V/大格;
上升边延时 $t_{PLH}=70ns$, 下降边延时 $t_{PHL}=40ns$.