

# 高质量栅氧化层的制备 及其辐照特性研究

张 兴 王阳元

(北京大学微电子学研究所 北京 100871)

**摘要** 通过大量工艺实验开发了采用低温  $H_2O_2$  合成氧化方法制备薄栅氧化层的工艺技术, 得到了性能优良的薄栅氧化层, 对于厚度为30nm 的栅氧化层, 其平均击穿电压为30V,  $Si/SiO_2$  界面态密度小于  $3.5 \times 10^{10} \text{cm}^{-2}$ . 该工艺现已成功地应用于薄膜全耗尽 CMOS/SOI 工艺中. 同时还开展了采用低温  $H_2O_2$  薄栅氧化工艺制备的全耗尽 CMOS/SOI 器件的抗总剂量辐照特性研究, 采用低温  $H_2O_2$  合成氧化方法制备的 SOI 器件的抗辐照特性明显优于采用常规干氧化方法制备的器件,  $H_2O_2$  低温氧化工艺是制备抗核加固 CMOS/SOI 电路的优选栅氧化工艺

EEACC: 2560R, 2550, 2530

## 1 引言

随着器件特征尺寸的缩小及抗核加固技术的要求, 栅氧化层厚度越来越薄, 对栅氧化工艺提出了越来越高的要求<sup>[1]</sup>. 由于  $Si/SiO_2$  界面特性不仅强烈地影响器件性能的稳定, 而且对阈值电压也有很大的影响. 薄栅氧化层必须具有界面态密度低、击穿电压高、电荷密度低、针孔少、缺陷少、厚度均匀等特点, 研究高质量薄栅氧化层制备技术是开发薄膜短沟道 CMOS/SOI 工艺最关键的工艺技术之一<sup>[2]</sup>.

由于氧化条件对器件的辐照特性有明显的影响<sup>[3]</sup>, 人们对制备质量高、抗辐照能力强的薄栅氧化层进行了大量的研究. 众所周知, 持续的高温过程会大大增加栅及埋  $SiO_2$  层的界面电荷以及硅的晶格缺陷密度, 导致高的器件泄漏电流, 使器件的可靠性及抗辐照能力下降, 而低温热氧化则能抑制堆垛层错等缺陷的生长和沟道区杂质的分凝, 因此热氧化发展的总趋势是低温化<sup>[4]</sup>. 我们通过大量工艺实验研究开发了850 °C 低温  $H_2O_2$  合成氧化法制备薄  $SiO_2$  栅介质的技术, 并将该技术成功地应用于薄膜短沟道 CMOS/SOI 工艺中, 同时还开展了  $H_2O_2$  合成氧化对 CMOS/SOI 器件和电路的抗总剂量辐照特性的研究<sup>[5,6]</sup>.

张 兴 男, 1965年出生, 副教授, 副所长, 主要从事 SOI 技术、器件电路模拟、电路开发及抗辐照技术等研究  
王阳元 男, 1935年出生, 中国科学院院士, 北京大学微电子所所长, 主要从事 ULSI 新工艺新器件新结构电路研究  
1997-11-12收到, 1998-01-08定稿

## 2 H<sub>2</sub>-O<sub>2</sub>合成氧化工艺

与干氧化相比, H<sub>2</sub>-O<sub>2</sub>合成氧化具有如下一些优点: (1) 由于湿氧制备的 SiO<sub>2</sub> 中的空穴迁移率比干氧 SiO<sub>2</sub> 中的低, H<sub>2</sub>-O<sub>2</sub>合成氧化具有湿氧氧化的性质, 因此在 H<sub>2</sub>-O<sub>2</sub>合成氧化法制备的 SiO<sub>2</sub> 层中, 空穴运动到界面附近被空穴陷阱俘获之前, 被电子复合的几率较大; (2) 在热氧化过程中, 温度越高, 产生的缺陷越多, 而 H<sub>2</sub>-O<sub>2</sub>合成氧化仅 850 °C, 比干氧化温度低的多, 产生的缺陷较少; (3) 采用 H<sub>2</sub>-O<sub>2</sub>合成氧化法制备的氧化层抗辐照能力明显增强, 这是因为辐照电荷的产生与 SiO<sub>2</sub> 层中的电子、空穴陷阱都有关系, 在 H<sub>2</sub>-O<sub>2</sub>合成氧化制备的 SiO<sub>2</sub> 层中含有较多的 OH<sup>-</sup> 基, OH<sup>-</sup> 基是电子陷阱,



它产生的负电荷积累补偿了一部分正电荷的作用

但是, 由于常压下 H<sub>2</sub>-O<sub>2</sub>合成氧化本质上是水汽氧化, SiO<sub>2</sub> 生长速率很快, 采用这种工艺制备高质量薄栅氧化层有很多困难, 主要的有以下几点: (1) 由于 H<sub>2</sub>-O<sub>2</sub>合成氧化速率高, 因此薄栅氧化层的厚度难于控制; (2) 与干氧化相比, 低温 H<sub>2</sub>-O<sub>2</sub>合成氧化生成的 SiO<sub>2</sub> 层较疏松, 且针孔多、击穿电压低, 对器件的可靠性及成品率会造成较大的影响; (3) H<sub>2</sub>-O<sub>2</sub>合成氧化制备的氧化层界面电荷密度较大

为了解决上述困难, 对常规 H<sub>2</sub>-O<sub>2</sub>合成氧化工艺进行了改进 首先是优化选取了 H<sub>2</sub> 和 O<sub>2</sub> 气体比, 其中主要是适当增加 O<sub>2</sub> 的比例, 降低 H<sub>2</sub> 的比例; 其次在 H<sub>2</sub>-O<sub>2</sub>合成氧化之前和之后分别增加一定时间的等温(与 H<sub>2</sub>-O<sub>2</sub>合成氧化的温度相等)干氧化 这样生长的 SiO<sub>2</sub> 层既具有干氧化的优点, 又具有 H<sub>2</sub>-O<sub>2</sub>合成氧化的优点, 解决了 H<sub>2</sub>-O<sub>2</sub>合成氧化速率高和 SiO<sub>2</sub> 层击穿电压低的问题, 这种改进的氧化工艺我们称之为三步氧化法

对于 H<sub>2</sub>-O<sub>2</sub>合成氧化形成的 SiO<sub>2</sub> 层中界面电荷高的问题, 可通过氧化之后在 N<sub>2</sub> 气氛退火解决 退火时间和温度是影响界面电荷密度的关键因素, 温度太高会影响栅氧化层的质量

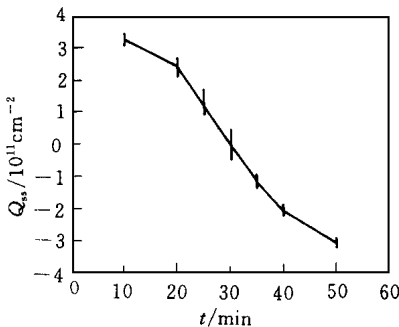


图 1 界面态密度与退火时间的关系

及抗辐照能力, 而温度太低则起不到消除界面电荷的作用 考虑到以上因素及它对其它工艺的影响, 最后把退火温度定为 875 °C. 为了确定一个最佳退火时间, 我们做了大量的实验, 研究了界面态密度与退火时间的关系, 见图 1. 最后得出, 在 875 °C、N<sub>2</sub> 气氛中退火 30 min 时界面电荷密度最小, 利用这一工艺制备的栅氧化层的界面态密度低于  $3.5 \times 10^{10} \text{ cm}^{-2}$ .

综上, 利用 H<sub>2</sub>-O<sub>2</sub>合成法制作薄栅氧化层的优化工艺流程为: 首先在 850 °C 时干氧 5 min, 之后根据需要的氧化层厚度进行 H<sub>2</sub>-O<sub>2</sub>合成氧化, 再在 850 °C 干氧化

5 min, 最后在 875 °C 时 N<sub>2</sub> 气氛中退火 30 min.

### 3 实验结果及讨论

为了分析采用干氧氧化及 $H_2-O_2$ 合成氧化法制备的薄栅 $SiO_2$ 层的质量, 分别采用900干氧氧化及各种不同条件的 $H_2-O_2$ 合成氧化方法制备厚度为30nm 的栅氧化层, 并在此基础上制成面积为 $200 \times 200 \mu m^2$ 的MOS 电容, 然后测量栅氧化层的击穿电压, 每测50个为一组进行统计. 对于LSI和VLSI, 由于集成度增大, 集成的元件越来越多, 总的栅面积越来越大, 这就要求栅氧化层击穿的统计分布要集中而不分散, 换句话说就是要求低击穿MOS 电容的数目要少. 图2给出了采用900干氧氧化、常规 $H_2-O_2$ 合成氧化、三步氧化不退火和三步氧化退火30min 四种氧化工艺形成的氧化层击穿电压的统计分布图, 可以看出, 三步氧化与常规 $H_2-O_2$ 合成氧化工艺相比, 可使薄栅 $SiO_2$ 层的平均击穿电压提高近一倍, 三步氧化之后的退火工艺则使击穿电压低于15V 的低击穿电容数减少约60%. 它们与900干氧氧化工艺相比, 改进后的三步氧化退火工艺不论在MOS 电容击穿特性还是在抗核加固方面均有提高

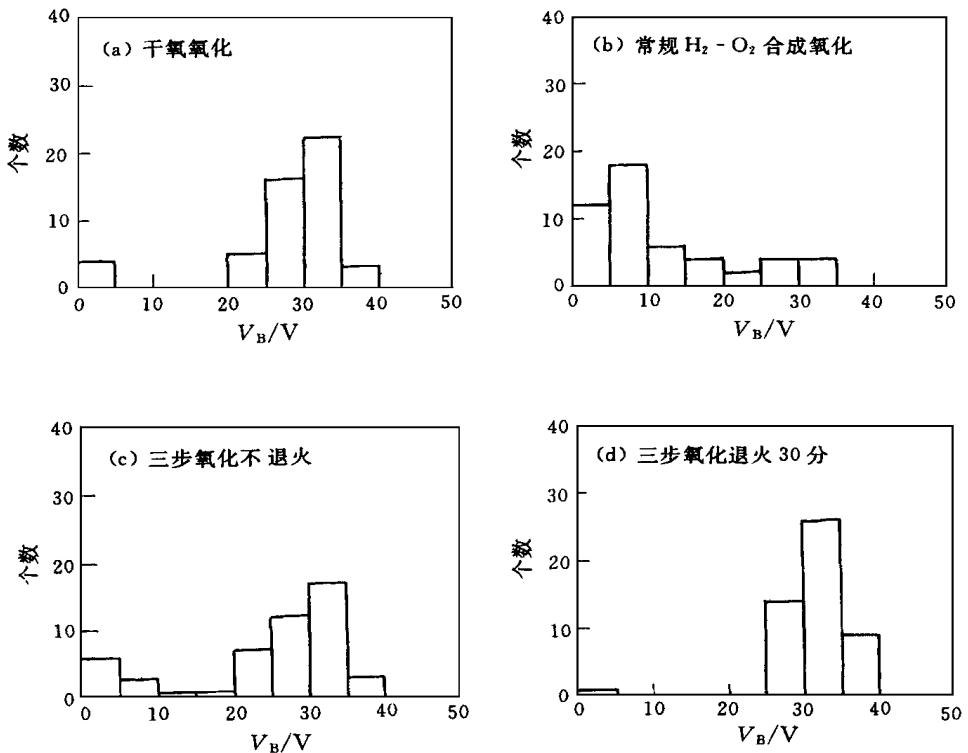


图 2 各种氧化工艺制作的 $SiO_2$ 薄膜本征击穿电压 $V_B$ 的统计分布  
氧化层厚度 $t_{ox} = 30nm$ , 测量电容个数 $N = 50$ 个.

## 4 对辐照特性的影响

对于抗辐照 CMOS/SOX 器件, 获得高质量薄栅氧化层是整个工艺过程中最关键的步骤之一. 为了比较, 分别采用 900 °C 低温干氧化和 850 °C  $\text{H}_2\text{-O}_2$  合成三步氧化并退火工艺制作沟道长度  $L = 1.0 \mu\text{m}$  的 SOX 器件, 栅氧化层厚度为 30 nm, 两种器件除栅氧化方式不一样外, 其它工艺完全相同

图 3 给出了采用不同栅氧化工艺制备栅  $\text{SiO}_2$  薄膜的 NMOSFET 的阈值电压漂移随辐照剂量的变化关系. 可以看出, 随着辐照剂量的增加,  $\text{H}_2\text{-O}_2$  合成氧化器件的阈值电压漂移与干氧化时相比有明显改善. 图 4 为采用不同栅氧化工艺的 NMOSFET 的泄漏电流与辐照剂量的关系, 很明显, 采用  $\text{H}_2\text{-O}_2$  合成氧化技术制备的器件的泄漏电流小于采用干氧化工艺制备的器件. 这表明与干氧化工艺相比, 采用  $\text{H}_2\text{-O}_2$  合成氧化工艺制备的 SOI 器件的抗辐照能力明显增强

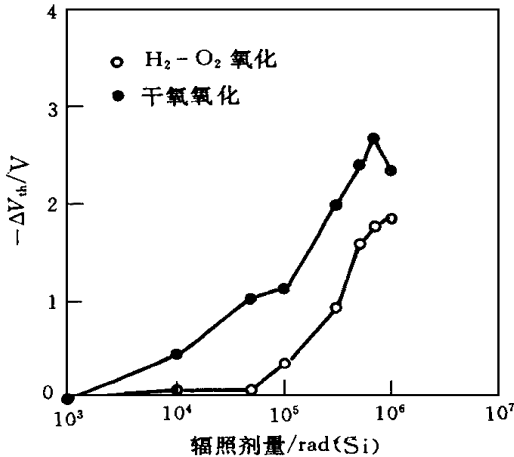


图 3 导通偏置时, NMOSFET 的阈值电压漂移随辐照剂量的变化

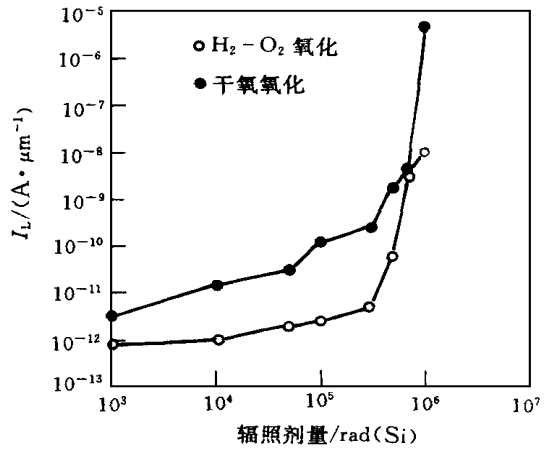


图 4 导通偏置时, NMOSFET 的泄漏电流随辐照剂量的变化

## 5 结论

通过大量工艺实验开发了采用低温  $\text{H}_2\text{-O}_2$  合成氧化方法制备薄栅氧化层的工艺技术, 得到了性能优良的指标符合器件及电路制造要求的薄栅氧化层, 并将该工艺应用到全耗尽 CMOS/SOI 工艺中. 同时开展了采用低温  $\text{H}_2\text{-O}_2$  薄栅氧化工艺制备的 CMOS/SOI 器件的抗辐照特性研究.  $\text{H}_2\text{-O}_2$  三步低温氧化工艺是制备抗核加固 CMOS/SOI 电路的优选栅氧化工艺

## 参 考 文 献

- [ 1 ] S. M. Sze, *Semiconductor Devices—Physics and Technology*, John Wiley & Sons, 1985.
- [ 2 ] 张兴, 等, *电子学报*, 1995, **23**(8): 24.
- [ 3 ] K. G. Aubuchon *et al.*, *IEEE Trans Nucl Sci*, 1974, **21**(6): 167~ 171.
- [ 4 ] 余山, 博士学位论文, 陕西微电子学研究所, 1992.
- [ 5 ] 张兴, 博士后研究报告, 北京大学微电子学研究所, 1995.
- [ 6 ] Xing Zhang, Yangyuan Wang, *Proceedings 1995 Int. Conf. Solid-State Integrated Circuits Technology*, Beijing, 541, 1995.

## Fabrication of High Quality Gate Oxidation and Investigation of its Radiation Characteristics

Zhang Xing, Wang Yangyuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Received 12 November 1997, revised manuscript received 8 January 1998

**Abstract** Low temperature  $H_2O_2$  oxidation process has been developed through a large quantity of experiment. The 30nm thin gate oxidation layer is obtained by using the technology. The average breakdown voltage of the  $SiO_2$  layer is 30V and the density of interface state is less than  $3.5 \times 10^{10} \text{ cm}^{-2}$ . Thin film fully depleted CMOS/SOI devices have been fabricated by using the process. The radiation characteristic of the SOI devices fabricated by low temperature  $H_2O_2$  oxidation process is much better than that of by using normal dry oxidation process. Low temperature  $H_2O_2$  oxidation process is the optimum process to fabricate the radiation hardening CMOS/SOI circuits.

**EEACC:** 2560R, 2550, 2530