

一种改进的电流型排序电路*

林 谷 石秉学

(清华大学微电子学研究所 北京 100084)

摘要 本文提出了一种改进的电流型排序电路。该电路排序功能好,电路的结构简单、灵活。我们采用 $2\mu\text{m N}$ 阱标准数字 CMOS 工艺成功制作了该排序电路。实验结果表明,该电路具有较高的精度和分辨率,可以广泛地应用于多种领域,具有较高的实用价值。

EEACC: 6230F, 2570D, 1285

1 引言

排序是一个基本的非数值问题。简单地说,排序就是一个将无序表调整为有序表的过程。随着研究的发展和深入,排序已经被应用于许多领域的处理系统中,如分类、查找、模式识别等多种系统^[1-3]。所以,排序算法的 VLSI 实现具有广阔的应用前景。在文献[4]中,我们设计了一种开关电流型的排序电路。虽然该电路具有排序功能,但由于该电路在结构上主要采用开关电流技术来实现排序,不仅使电路的结构复杂,面积增加,更重要的是开关管的时钟馈通效应将会在芯片的实际工作中较大地影响排序的性能。为此,本文在文献[4]的基础上提出了一种改进的电流型排序电路,同文献[4]中的电路相比,改进的电路仅在排序电流输出部分采用了开关电流镜以保持排序结果电流,而在排序电路的其它部分均未使用开关电流电路,这将使电路结构简单,工作性能得到了较大提高。另外,本文还将文献[4]中的跳变电压测试电路直接集成到排序电路中同时制作,这将方便排序结果的测试和应用。

2 电流型排序电路的结构和工作原理

图 1 给出了一个三输入电流型排序电路图,电路由以下四部分组成

Block 1 是输入部分,它由三个完全相同的输入单元组成, $I_{in_i} (0 \leq i \leq 2)$ 是三个待排序的输入电流。为方便起见,这里仅讨论最左端的输入单元。在该输入单元中,镜像管 M_{11} 、 M_{12} 和 M_{14} 、 M_{15} 分别组成了两个等比例电流镜。开关管 M_{13} 用于控制输出电流 I_0 的大小。当开关管 M_{13} 导通时, I_0 等于 I_{in_0} ; 当开关管 M_{13} 截止时, I_0 为零。

Block 2 包括一个全对称的三端 WTA 求大电路网络和三个非线性转换电路 WTA 求

* 本课题由国家自然科学基金(编号: 69136020)资助

林 谷 男, 1972 年出生, 博士, 从事人工神经网络及模糊逻辑系统的集成电路实现、数字和模拟集成电路与系统研究

石秉学 男, 1936 年出生, 教授, 博士生导师, 从事人工神经网络及模糊逻辑系统及其集成电路实现、模拟集成和数/模混合集成电路与系统研究

1998-02-20 收到, 1998-06-23 定稿

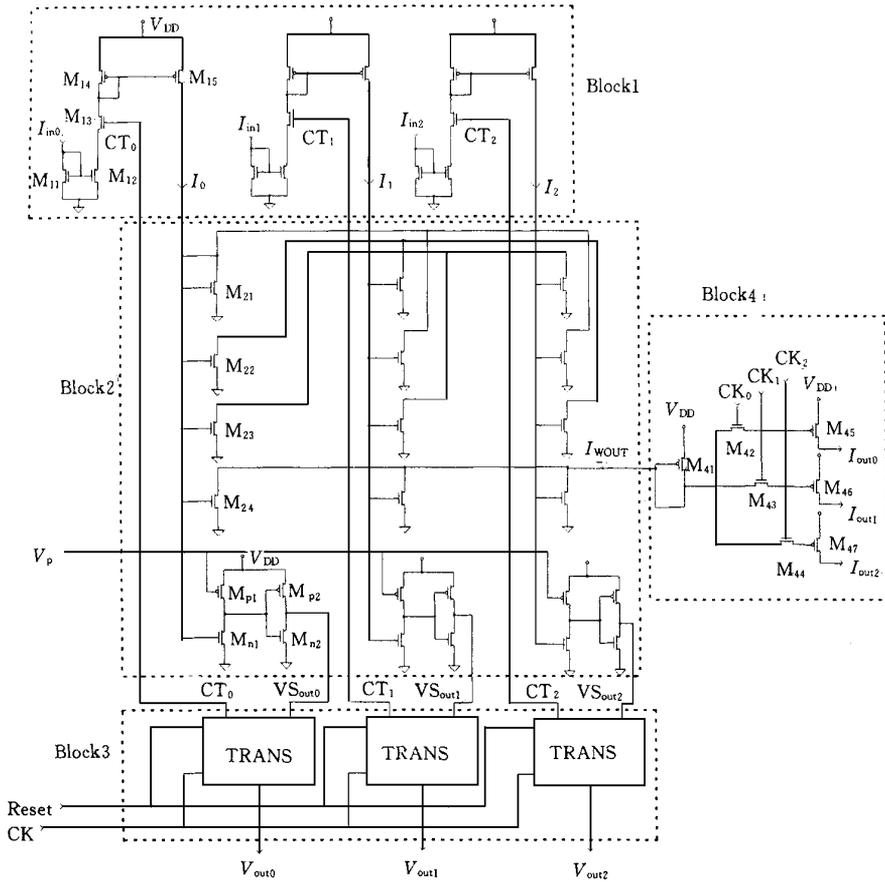


图 1 具有三个待排序电流输入端的电流型排序电路的电路图

大电路网络由相应于 $M_{21} \sim M_{24}$ 的 NMOS 管阵列组成 其中, 该网络中所有 NMOS 管的尺寸都是相同的 这个 WTA 是一种具有高精度、高速度的侧向抑制互连网络 网络在工作时, 各输入电流端相互间都会有抑制作用, 这将导致一种竞争机制, 即对应最大电流的输入端, 由于各镜像管的导通电阻相对较小, 将把其它输入端的电流吸引过来, 同时将相应节点抑制到低电平 另外, 在 Block2 中由 N 管 M_{n1} 和 M_{n2} , P 管 M_{p1} 和 M_{p2} 组成了一个非线性转换电路 该线性转换电路可以将小于设定临界值的 M_{n1} 栅电压转换为低电平由 V_{Sout0} 输出, 将高于设定临界值的 M_{n1} 栅电压转换为高电平由 V_{Sout0} 输出, 外加偏置电压 V_p 可用于调整临界

电压值 在 Block2 中, 其它相应的非线性转换电路工作原理相同

Block3 是反馈控制和电压输出电路, 它由三个结构完全相同的单元组成, 单元电路如图 2 所示 图中 SW 单元为 CMOS 开关, NCK 为 CK 的反相信号 该电路根据 Block2 的输出 V_{Souti} ($0 \leq i \leq 2$) 产生反馈控制信号 CT_i ($0 \leq i \leq 2$) 用以控制

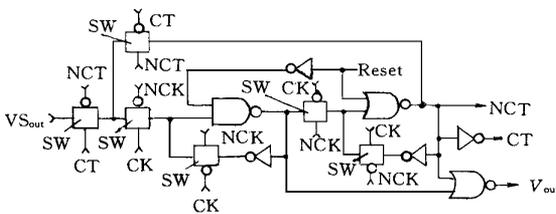


图 2 反馈控制和电压输出单元 TRANS 的电路图

Block1 的输出电流 另外, 该电路可以将由 V_{Sout} 输出的由低变高的电平转化为一个高电平脉冲由 V_{out} 输出, 这个高电平脉冲可用于判断排序输出电流相应的输入端, 便于排序结果的后处理

Block4 是电流输出部分, N 管 M_{42} 、 M_{43} 和 M_{44} 是由不重叠的脉冲时钟 CK_0 、 CK_1 和 CK_2 分别控制的三个开关管, P 管 M_{45} 、 M_{46} 和 M_{47} 是大小同 M_{41} 相等的镜像管 来自 WTA 网络的输出电流 I_{WOUT} , 可以分时地被镜像映射到输出端产生 I_{out0} 、 I_{out1} 和 I_{out2} I_{out0} 、 I_{out1} 和 I_{out2} 就是电流由大到小排序后的结果

下面讨论该排序电路的工作原理, 图 3 给出了其工作顺序 首先, 信号 $Reset$ 高电平使 V_{outi} ($0 \leq i \leq 2$) 为低电平, 同时 CT_i ($0 \leq i \leq 2$) 为高电平, 这使得在 Block1 中 I_i ($0 \leq i \leq 2$) = I_{in_i} ($0 \leq i \leq 2$). 另外, 高电平的 CT 使 Block3 中的电路可对 Block2 的输出 V_{Sout} 进行采样 在这里, 设 $I_{in0} = \max(I_{in0}, I_{in1}, I_{in2})$.

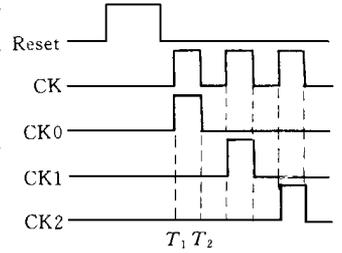


图 3 排序电路的时序图

WTA 网络通过侧向抑制作用求得最大电流, 即 $I_{WOUT} = I_{in0} = \max(I_{in0}, I_{in1}, I_{in2})$, 同时使 V_{Sout0} 电压变高, V_{Sout1} 和 V_{Sout2} 电压变低 在 T_1 时刻, 信号 CK 和 CK_0 变高 在 Block4 中, 高电平的 CK_0 使开关 M_{42} 导通, 最大电流 I_{WOUT} 被镜像映射到 M_{45} 的漏端产生 I_{out0} , 即 $I_{out0} = I_{WOUT} = I_{in0}$ 在 Block3 中, 高电平的 V_{Sout0} 使 V_{out0} 变高, 而对于具有低电平的 V_{Sout1} 和 V_{Sout2} , V_{out1} 和 V_{out2} 将仍为低电平 T_2 时刻, 信号 CK 和 CK_0 变低 在 Block4 中, 开关 M_{42} 截止, 由于开关电流镜的采样/保持作用, 使 I_{out0} 保持为最大电流 I_{in0} 在 Block3 中, CK 变低使 V_{out0} 和 CT_0 为低, 对于 V_{out1} 和 V_{out2} 将仍为低电平, CT_1 和 CT_2 仍为高电平 这样, 在 V_{out0} 端输出了一个高电平脉冲 另一方面, 低电平的 CT_0 将相应于 I_{in0} 的 Block3 部分同 Block2 部分隔离, 这使得 V_{out0} 和 CT_0 将一直保持为低电平, 直到下一个 $Reset$ 到来为止 在 Block1 中, 低电平的 CT_0 将 M_{13} 截止使 I_0 为零, 则 I_0 将不再影响其它电流的比较 这样, 排序电路将按上面的工作原理求出次最大电流, 在 I_{out1} 输出和保持次最大电流, 并在相应的 V_{out} 端输出一个高电平脉冲 依此类推, 在时钟的控制下, 输入电流将按大小顺序在 I_{outi} ($0 \leq i \leq 2$) 输出并保持, 其中 $I_{out0} > I_{out1} > I_{out2}$, 同时在相应的 V_{out} 端依次输出一个高电平脉冲, 这些高电平脉冲就可以用来确定排序结果电流 I_{outi} ($0 \leq i \leq 2$) 所对应的输入端, 这个功能将十分有利于排序结果的后处理

从上面的分析可以看出, 该排序电路可以将输入电流按大小排序输出, 也可以通过检测 V_{Souti} ($i = 0, 1, 2$) 来确定排序结果电流 I_{outi} ($i = 0, 1, 2$) 分别对应的输入端 在电路的功能上, 图 1 的排序电路具有文献[4]中排序电路的所有功能, 而在电路的结构上, 显然该电路比文献[4]中的电路有了较大的简化了. 这主要体现在文献[4]排序中电路的 Block1 和 Block3 单元中的电流开关管被省略了, 这种简化不仅有利于减小芯片面积, 更主要的是消除了开关管时钟馈通效应对电路性能的影响

3 实验结果

我们采用单层金属、单层多晶的 $2\mu\text{m}$ N 阱标准数字 CMOS 工艺制作了该排序电路 图 4 为电路的芯片显微照片 其中, 整个芯片面积为 1.82mm^2 , 芯片中核心电路面积为 0.65mm^2 我们对该排序电路芯片进行了测试 实验中, 为了测量排序输出电流 I_{outi} ($i = 0, 1, 2$) 的大小, 我们在 I_{outi} ($i = 0, 1, 2$) 端分别接 $10\text{k}\Omega$ 电阻到地, 这样通过测量电阻上的电压, 即

可以确定排序输出电流 $I_{outi} (i= 0, 1, 2)$ 的大小 参考时序图 3, 我们进行了以下几种情况的实验 第一种情况下, $I_{ini} (i= 0, 1, 2)$ 分别为 $80\mu\text{A}$, $85\mu\text{A}$ 和 $75\mu\text{A}$; 第二种情况下, $I_{ini} (i= 0, 1, 2)$ 分别为 $245\mu\text{A}$, $240\mu\text{A}$ 和 $250\mu\text{A}$; 第三种情况下, $I_{ini} (i= 0, 1, 2)$ 分别为 $195\mu\text{A}$, $190\mu\text{A}$ 和 $200\mu\text{A}$; 表1给出了这三种情况的 $I_{outi} (i= 0, 1, 2)$ 输出值, 以及输出电流同相应输入电流的

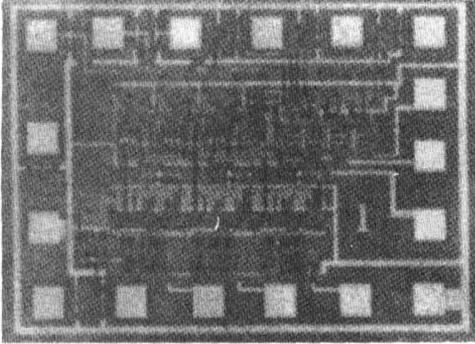


图 4 排序电路芯片的显微照片

表 1 排序电路的实验结果(电流单位: μA)

实验结果	I_{out0}	I_{out1}	I_{out2}	ϵ_{max}
情况一	88	81	76	3
情况二	249	248	243	3
情况三	204	198	192	4

最大误差 ϵ_{max} 其中, 第一种情况下, $NV_{outi} (i= 0, 1, 2)$ 为图 1 中 $V_{outi} (i= 0, 1, 2)$ 的缓冲反相输出电压, 输出波形如图 5(a)~ (c) 所示, 从 NV_{out} 的波形图可以得出, 相应于 NV_{out1} 的输入端具有最大的输入电流, 相应于 NV_{out0} 的输入端具有次最大输入的输入电流, 相应于 NV_{out2} 的输入端的输入电流最小, 这与实际输入情况相符合 另外, 为了可以在示波器上显示排序后的电流输出情况, 我们将 CK_0 接高电平, 将 CK_1 和 CK_2 接低电平, 这样排序后的电流都将由 I_{out0} 端输

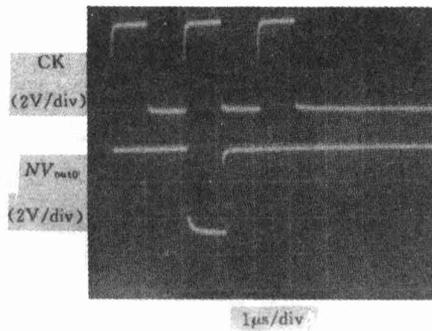


图 5(a) NV_{out0} 的输出结果

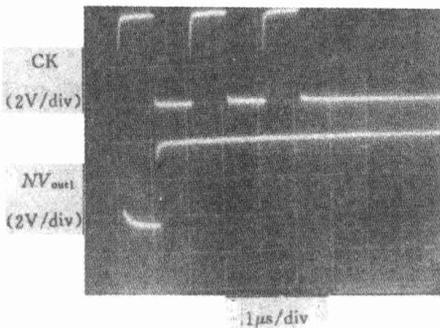


图 5(b) NV_{out1} 的输出结果

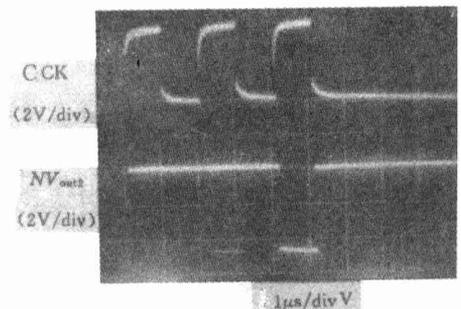


图 5(c) NV_{out2} 的输出结果

出 图 6 为第一种情况下 I_{out0} 端 $10\text{k}\Omega$ 电阻上电压 V_{R0} 的输出情况, 以此就可以计算出排序

后的电流输出结果。从波形上看, 电流排序后的结果是正确的。通过实验结果表明, 该排序电路的精度约为 $5\mu\text{A}$, 分辨率至少在 $5\mu\text{A}$ 以内, 其性能与文献[4]中电路在理想情况下通过 SPICE 模拟的性能相当。我们知道, 电路(特别是模拟电路和模数混合电路)在实际制作后的性能将会低于理想情况下利用软件模拟的性能, 因此本文提出的排序电路优于文献[4]的排序电路, 更适于广泛的应用。另外, 通过测试还表明, 该排序电路的工作频率至少在 5MHz 以上, 排序电流的输入范围为 $15\mu\text{A} \sim 280\mu\text{A}$, 功耗约为 4mW 。

4 总结

本文提出了一种改进的电流型排序电路。该电路在功能上, 不仅可以将输入电流按大小顺序输出, 而且还可以确定输出电流相应的输入端。该电路简单、灵活。实验结果表明, 该电路具有较好的性能, 如较高的精度以及较高的分辨率。该排序电路既可以被单独集成使用, 也可以嵌入在其它复杂系统中使用, 具有较高的应用价值。

参 考 文 献

- [1] 刘柳胜,《模糊逻辑在语音识别中的应用及其VLSI实现的研究》,清华大学博士学位论文,1996
- [2] 林谷,石秉学,半导体学报,1998,19(4): 291~ 298
- [3] 林谷,石秉学,电子学报,待发表
- [4] 林谷,石秉学,半导体学报,1998,19(2): 144~ 150

Improved Current-Mode Sorter Based on Magnitude

Lin Gu, Shi Bingxue

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Received 20 February 1998, revised manuscript received 23 June 1998

Abstract An improved current-mode sorter based on magnitude is proposed. This sorter has good function of sorting. The structure of this sorter is simple and flexible. It is successfully fabricated in $2\mu\text{m}$ N-well standard digital CMOS process. Experiment results show that the sorter has high precision and resolution. It can be widely used in a lot of fields and has high application value.

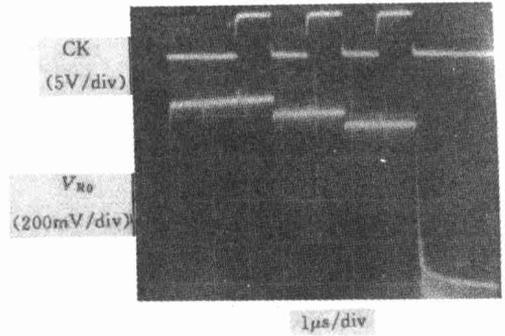


图6 V_{RO} 的输出结果