

切割曝光技术及其在器件研究上的应用

海潮和 陈焕章 周小茵 陈宝钦 刘改芬

(中国科学院微电子中心 北京 100029)

摘要 本文描述了一种微电子工艺制造中的切割曝光技术,用这一技术在一台 G 线投影曝光机上制备出深亚微米图形.由此进一步研制成功 $0.25\mu\text{m}$ P^+ 多晶硅栅表面沟 PMOSFET,它具有良好的器件特性和抵制短沟道效应的能力.对不同沟长 NMOS 和 PMOSFET 的研究表明,当沟道长度从 $2.0\mu\text{m}$ 降至 $0.5\mu\text{m}$ 时,表面沟 PMOS 管阈值电压的变化 (ΔV_T) 约为 60mV ,而 NMOS 管相应 ΔV_T 为 110mV . 计算机模拟的切割曝光和单线曝光立体图象也清楚地表明,切割曝光方法对于消除二次谐波影响,提高分辨率具有一定作用

EEACC: 2550, 2550G, 2560R

1 引言

集成电路工艺技术的不断进步,使得基本元器件尺寸越来越小,深亚微米技术正在成为世界微电子生产的主流.在半导体科学技术迅速发展的进程中,光刻技术的不断进步起到了举足轻重的作用.光刻(光学曝光)技术是将具有一定波长的一束光,透过事先制备好的掩膜,投射到涂有感光材料的基片上以便实现图形的复制.通常根据曝光掩膜和成像位置划分,有接触式曝光、接近式曝光和投影式曝光之别.投影式曝光可以是等比例(1:1)的,也可以是缩比(5:1)的.缩比投影曝光有更高的精度,是现代光学曝光最佳的方法.但是不管采用何种方式,只要是光学曝光,由于光传播本身的物理限制,当掩膜尺度和光波波长接近时,成像就会受到干扰而变得模糊.通常光学曝光的一般法则可用下式表示:

$$R = K \times \frac{\lambda}{N_A}$$

式中 R 表示光学曝光系统可以得到的最小的线宽; λ 为光波波长; N_A 为透镜的数值孔径; K 为工艺决定的变量

从这一分辨率公式看出,增大数值孔径和缩短波长可以降低 R 值(即通常所言提高分辨率).目前,研制的大数值孔径物镜的 N_A 值可以达到 0.6 以上.但是,过分增加 N_A 数值会使焦深变小,对降低 R 值是不利的.在增大数值孔径的同时进一步缩短波长虽然一直是国际上研究的热点,然而真正获得具有较高能量的目前只有 KrF 准分子激光的 248nm 和 ArF 准分子激光的 193nm 光波

海潮和 男,1942 年出生,研究员,从事大规模集成电路工艺技术的基础性研究和产品开发
陈焕章 男,1943 年出生,研究员,从事大规模集成电路工艺技术的基础性研究和产品开发
周小茵 女,1946 年出生,研究员,从事大规模集成电路测试方法、测试技术研究和产品开发
1998-03-02 收到,1998-04-08 定稿

当一台曝光系统选定之后, λN_A 都是固定不变的, 唯一可变的就 K 的值, 光刻工艺技术研究的目的是在一定的设备条件基础上, 采用最佳的曝光显影条件(即将 K 值尽量降低) 以便得到更为精细的图形 对一台 G 线($\lambda= 436\text{nm}$) Stepper, 如 N_A 值为 0.38, K 值取 0.8 则 R 值通常在 $0.9\mu\text{m}$ 左右; K 值取 0.7 则 R 值通常在 $0.8\mu\text{m}$. 这就是说一台 G 线投影光刻机的图形分辨率一般在 $0.8\sim 0.9\mu\text{m}$ 左右, 即可以产生亚微米的线条图形 在这样的设备上要产生深亚微米线条, 采取直接曝光的方法是绝对不行的 必须采用特殊的技巧, 绕过 R 值的限制

2 切割法图形曝光技术

所谓切割法图形曝光就是将一次直接曝光变为两次分别曝光, 利用 Stepper 极好的对准精度(通常达 $0.1\mu\text{m}$), 两次曝光的剩余(没曝光)部分可以精确控制, 从而实现细线条的制备.

图 1 是切割法制备微细图形示意图

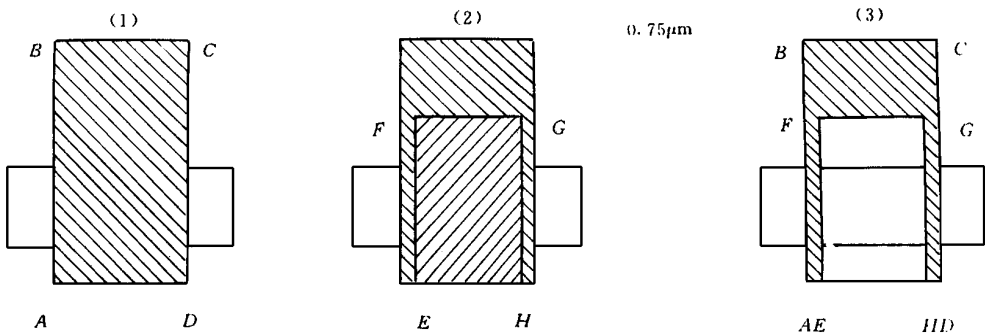


图 1 切割法曝光示意图

(1) 第一次光刻后的
栅图形 $ABCD$

(2) 第二次光刻后去掉
的图形 $EFGH$

(3) 最终形成的栅图形
 $ABCDHGFE$

图中四边形 $ABCD$ 为第一次曝光后留下的图形, 四边形 $EFGH$ 为第二次曝光后去掉的图形 那么两次曝光切割后留下的线条平均宽度 Δ 可由下式算出:

$$\Delta = \frac{(AD - EH)}{2}$$

在我们器件研制的版图设计中, Δ 的数值最细定为 $0.4\mu\text{m}$ (这就是多晶硅的栅宽), 对于采用正胶工艺来说, AD 值一般要变短, 而 EH 要增长 这种微小的尺寸变化完全由工艺控制 如每边变化 $0.05\mu\text{m}$, 切割曝光后 $\Delta_{\text{min}} = 0.3\mu\text{m}$.

在一台 G 线 Stepper 上, 采用上述切割曝光技术, 成功地实现了深亚微米线条的制备, 研制成功栅长为 $0.25\mu\text{m}$ 的 MOSFET. 图 2 是该器件的 SEM 照片. 图中标尺 $0.75\mu\text{m}$, 是多晶硅栅及两侧墙底之和, 即 T 形横截面的下底宽 这个 T 型截面的上底的宽度才是多

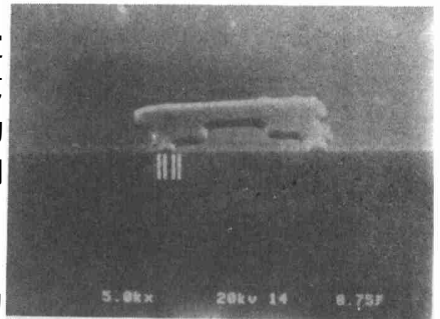


图 2 $L_{\text{eff}} = 0.25\mu\text{m}$ 的
MOSFET 横截面 SEM 像

晶硅栅的宽度

3 器件研究

前面介绍的是切割曝光技术形成微细图形的一种形成方法。这就是说我们可以在一台 G 线曝光机上, 利用两次曝光技术, 制备 $0.2 \sim 0.3 \mu\text{m}$ 的光刻胶线条。这就有了制造深亚微米器件的基础。深亚微米器件和通常沟道器件相比, 有许多特殊的问题需要特别予以注意。概括地说, 由于沟道变短会引起: 阈值下降、亚阈值电流增加、穿通电压下降、热载流子效应的加强以及漏端电场的电导调制作用显著等。产生这些短沟道现象原因可归结为沟道变短后, 源漏耗尽层的宽度和沟道长度可以比拟, 这时载流子运动不仅依赖于栅电压的控制, 而且依赖于来自源漏电压的控制, 即电势分布由一维变成了二维。短沟道效应正是由于沟道区的二维电势分布和强电场的影响造成的。所以要想减弱由于沟道变短带来的变化要从几个方面入手。器件结构上首当其冲的是减薄栅介质的厚度和制备更浅的源漏区, 因为栅减薄会使栅电场对沟道区的控制加强, 更浅的源漏又会降低源漏对沟道的影响。过度减薄栅介质的厚度则会带来栅介质击穿电压降低、热电子注入及表面沟 PMOS 器件栅穿透等新问题。

在常规的硅栅 CMOS 工艺中, NMOS 和 PMOS 管的栅电极都是由 N^+ 掺杂的多晶硅承担的。这种工艺技术相对比较简单, 虽然 N-PMOS 管工作在不同模式, 但仍能满足电路工作的要求。随着微电子技术的进步, 器件尺寸不断微细化, 当沟道长度降到深亚微米时, 器件出现了严重的短沟道现象。克服短沟道效应有多种途径, 其中将过去 N^+ 硅栅结构埋沟工作模式的 PMOS 变为 P^+ 硅栅表面沟模式是非常关键的一环。早在八十年代末就有文章阐述表面沟 PMOS 在克服短沟道效应方面的优势, 而今天 N^+ 、 P^+ 双栅结构的 CMOS 工艺正成为深亚微米领域的主体。我们采用上述的切割曝光技术和一套简化的工艺, 分别在两种硅片上制备出各种不同沟道长度的表面沟 NMOSFET 和 PMOSFET。

工艺制备过程中主要的参数是:

原始衬底: N 型(100)晶面, 电阻率 $2 \sim 4 \Omega \cdot \text{cm}$

P 型(100)晶面, 电阻率 $20 \sim 30 \Omega \cdot \text{cm}$

隔离方式: 改进的 Locos

场区厚度: 300nm

栅介质厚度: SiO_2 10~15nm

阈值调节注入: 对 NMOS 注 B^+

对 PMOS 注 As^+

多晶硅栅: N^+ 或 P^+ 多晶硅 350nm

侧墙底宽: 250nm

源漏: LDD 结构

S/D/G: TiSi_2 Salicide 结构

金属互连: $\text{Ti/TN}/\text{AlSi}/\text{TN}$ 多层金属

4 实验结果和讨论

4.1 关于 $0.25 \mu\text{m}$ MOSFET 的实验结果

MOS 晶体管的沟道长度变短时, 阈值电压将随有效沟道长度的缩短而降低, 这是由于

当沟道长度降至和沟道耗尽层宽度可比拟时, 源漏在沟道区引起的耗尽电荷在总耗尽电荷中的比例增大许多. 引起电荷分享效应. 正是由于这一效应使阈值电压下降, 这是短沟道现象的显著特征之一. 图 3 是利用切割曝光技术, 制成的有效沟长 L_{eff} 为 $0.25\mu\text{m}$ 的 NMOS 和 PMOS 的器件特性和亚阈值特性图

从图 3(a)NMOSFET 输出特性曲线看到, 在 $2.5\sim 3\text{V}$ 左右范围输出电流曲线有一台阶变化, 这是由于衬底电位浮置引起的. 通常的 MOSFET 应是一个四端器件. 正常的制备应有一个衬底引出端, 在测试中将源端和衬底引出端短接, 可以得到正常的 MOSFET 输出特性曲线. 而在我们的器件研究中, 为了简化工艺, 没有制备衬底的欧姆接触电极. 在测量中衬底是从硅片背面引出. 这样就可能造成衬底接触不良. 另外, 所以 NMOSFET 输出特性曲线有弯曲, 这是由于 NMOS 器件有较强的热电子效应, 并引起较大的衬底电流, 进而致使衬底电位变化, 引起电流曲线扭曲. 这一现象和 SOI 器件中的 Kink 现象相仿

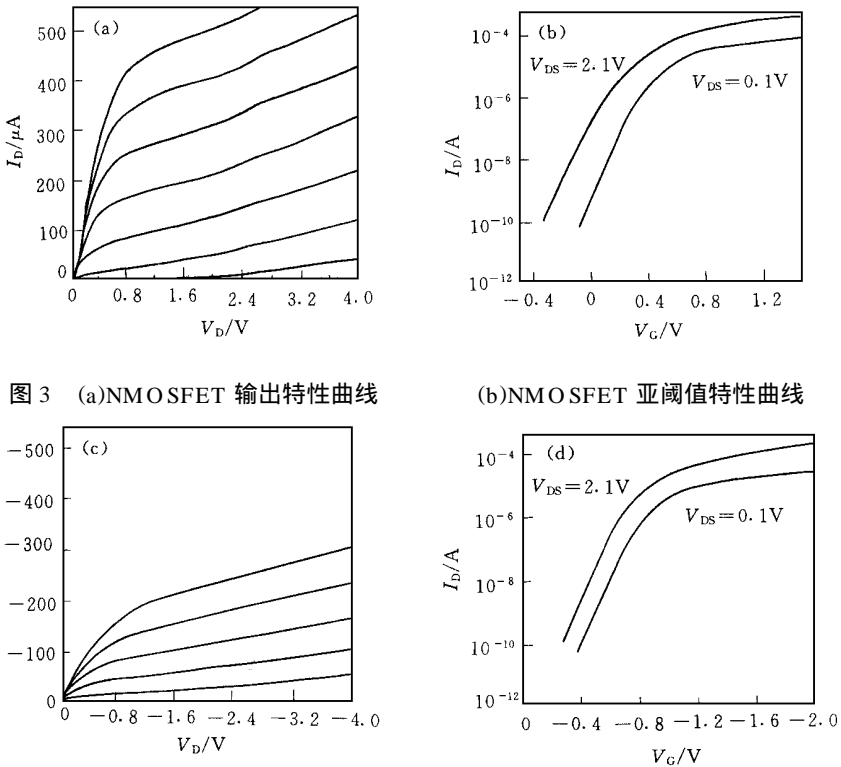
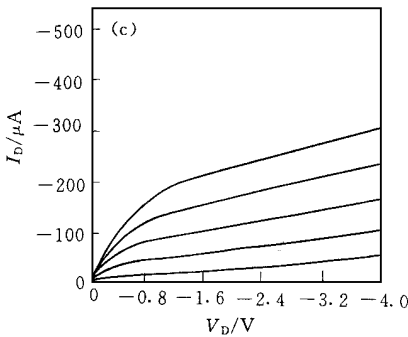
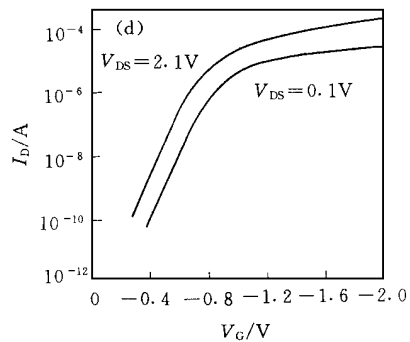


图 3 (a)NMOSFET 输出特性曲线

(b)NMOSFET 亚阈值特性曲线



(c)PMOSFET 输出特性曲线



(d)PMOSFET 亚阈值特性曲线

从图 3 中我们看出 NMOS 和 PMOS 器件有不同的跨导, PMOS 器件的亚阈值斜率 ($S = 95$), 比 NMOS 的亚阈值斜率 ($S = 105$) 略小些

4.2 短沟道器件阈值电压的变化

通过对不同沟道长度 NMOS 和 PMOSFET 的研究, 我们可以得到器件阈值电压随沟道长度变化的曲线图 4

从图 4 中我们看出, 对 NMOS 器件当沟长缩短到 $1.0\mu\text{m}$ 以下时, 阈值电压有下降趋势; 对 PMOS 器件, 阈值电压的变化中 $0.5\mu\text{m}$ 以下才变得比较明显. 从两条 V_T-L_{eff} 曲线略

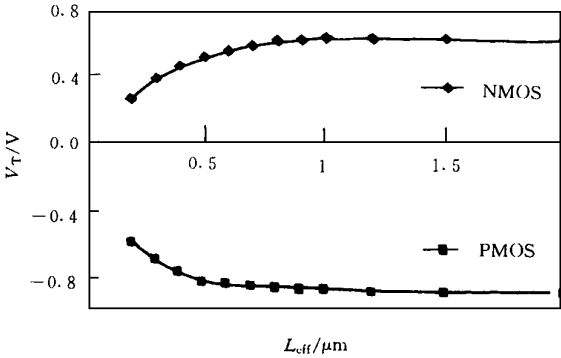


图4 CMOS器件阈值电压随有效沟道长度变化

有不同的弯曲程度看出, 在我们实验的条件下, 当 L_{eff} 从 $2.0\mu\text{m}$ 降到 $0.5\mu\text{m}$ 时, NMOS的阈值电压变化(ΔV_T)为 110mV 而相应PMOS的阈值电压变化为 60mV . 总之表面沟PMOS器件表现出了优良的性能, 这是埋沟PMOS不能比的

NMOS器件虽然也是表面沟导电机制, 但沟道注入掺杂(B)的分布不如PMOS器件沟道掺杂(A_s)的分布有更近表面的 δ 函数形式, 相对来说 ΔV_T 值就大些

4.3 关于切割曝光方法的实用性

相对稀疏的单线条, 采用切割曝光可以突破设备分辨率的极限, 实现更细线条的曝光其原理是显而易见的 例如要制备 $0.2\mu\text{m}$ 的线条, 在第一次曝光后生成 $5.2\mu\text{m}$ 的线条, 然后再切割下去 $4.8\mu\text{m}$, 每边剩下的就是 $0.2\mu\text{m}$. 这里面我们认为两次曝光是绝对对准的, 即对准误差为零 如果有 $0.1\mu\text{m}$ 的对准误差, 那么生成线条的宽度就是 $0.2 \pm 0.1\mu\text{m}$. 还有一个在切割曝光中要顾及的因素是制版的精度 如果掩模版有较大的尺寸误差或边缘尺寸参差不齐, 也会影响最终切割后剩余图形的精度 所以说机器的对准精度和制版精度是影响切割的两个主要因素, 而第三个因素就是光刻工艺本身 它包括感光载体的选取, 曝光及显影条件的配合等 总之切割曝光技术是在一定条件下可以使用的制备细线条的方法, 它要求光刻机有较高的对准精度, 对掩模版制备要求高, 光刻工艺中也要选用最佳条件, 这些条件具备了, 可以得到超越机器限制的结果

4.4 两种曝光的计算机模拟结果

我们采用COM PARE 光学曝光全过程计算机模拟软件对MOSFET 器件多晶硅条栅光刻进行单线曝光方式和切割曝光方式的模拟 图5为两种曝光方式光刻结果模拟图 图中: A 为单线曝光方式模拟图; B 为外切割方式(第一次)光刻模拟图; C 为内切割方式(第二次)光刻模拟图 实际显影完成后最终抗蚀剂图形, 应是图5中的B、C两次曝光切割图形的叠加 模拟条件为:

投影曝光波长: 436nm , 光学数值孔径: 0.38 , 光学系统相干系数: 0.7 , 抗蚀剂类型: A Z1350, 掩模版图上切割曝光后条栅设计值: $0.4\mu\text{m}$.

模拟结果表明采用单线曝光方式时由于所设计的 $0.4\mu\text{m}$ 条栅已超出曝光系统可分辨

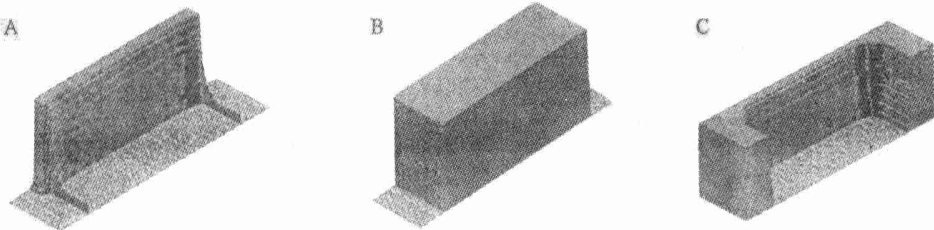


图5 不同曝光方式的抗蚀剂形态图

能力, 由光衍射产生的邻近效应严重, 无法得到可用的条栅抗蚀剂图形。采用切割曝光技术可以有效地克服特征图形线宽接近波长时的邻近效应, 得到边缘比较陡直的深亚微米抗蚀剂图形, 验证了切割曝光技术的可行性。

参 考 文 献

- [1] M. Ogirima, V. 1993 symposium on VLSI Technology Kyoto 1-5 Process Innovation for Future Semiconductor Industry.
- [2] GENDA J. HO, RICHARD H. BRUCE, IEEE Trans on Electron Devices, 1985, 32(3): 584~ 588
- [3] Chih-Yung Lin, Chun-Yen Chang *et al* , IEEE Trans on Electron Devices, 1995, 42(8): 1503~ 1508
- [4] M. Rodder, A. Amerasekera *et al* , A Study of Design/Process of 0.25 Gate Length CMOS for Improved Performance and Reliability, IEDM 1994, 71~ 74

Cut-Off Photolithography Technology and Application for Devices Research

Hai Chaohe, Chen Huanzhang, Zhou Xiaoyin, Chen Baoqin, Liu Gaifen

(Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029)

Received 2 March 1998, revised manuscript received 8 April 1998

Abstract This paper presents a new cut-off photolithography technology in the microfabrication process. The deep submicron patterns are fabricated by using this technology on a G-Line stepper. A $0.25\mu\text{m}$ P^+ polysilicon-gate surface-channel PMOSFET with good characteristics and suppression of short-channel effects has been obtained. It is found that when the channel length down to $0.5\mu\text{m}$ from $2\mu\text{m}$ the variation of threshold voltage (ΔV_T) is about 60mV for surface channel PMOS devices but 110mV for NMOS devices. Simulation of the cut-off and conventional photolithography shows that the cut-off photolithography method has some improved effects on reducing quadratic harmonic effect and raising the resolution.

EEACC: 2550, 2550G, 2560R