

# 用版图自动生成器设计浮空场板

张 李肇基

(电子科技大学微电子所 成都 610054)

**摘要** 本文基于 CIF 版图格式的数据结构, 开发了一个高压功率器件的版图自动生成器, 并利用该软件设计了一个具有双层浮空场板的高压功率 LDMOS 的版图。通过实验测试, 其结果达到了预先设计 600V 的要求。并且在器件单元横向尺寸优化值给定的情况下, 大大地缩短了功率器件的设计周期。

EEACC: 1210, 2560, 2570, 8360

## 1 引言

高压功率器件版图通常由十一层掩膜版组成, 其整个图形尺寸往往达到数千微米数量级, 而其中的局部尺寸却只有 5~10 $\mu\text{m}$ , 为了避免电场峰值过高而降低其反向击穿电压, 不同层之间的对准偏差甚至要求精确到亚微米, 高压功率器件版图的这种最小尺寸与最大尺寸变化范围达到四个数量级的特点特别适合于自动设计。目前模块生成技术已用于数字集成电路版图的自动设计, Elais 等人将这种思想用于高压功率器件版图的自动设计并建立一套从功能模拟到最后版图设计的高压功率集成电路设计自动化的 ASPIC-CAD 系统<sup>[1,2]</sup>。在功率集成电路中, 功率 LDMOS 中有高压互连线覆盖在 N<sup>-</sup> 漂移区上, N<sup>-</sup> 中性中的电子将被高压互连线上的正电荷吸引到半导体表面进入空间电荷区, 导致耗尽层缩小, 使得峰值电场增高, 反向击穿电压降低<sup>[3]</sup>。虽然增加高压互连线与半导体表面的距离, 即增加氧化层的厚度, 能降低它对表面电场的影响, 但受到实际工艺的限制只能做到 3~5 $\mu\text{m}$ , 因此我们采用在半导体表面和高压互连线之间的氧化层引入浮空场板, 可以大大地降低表面峰值电场, 提高击穿电压。

## 2 高压功率器件版图的生成器

传统的高压功率器件的设计方法是在图形工作站上通过版图编辑工具利用全定制的方法手工绘制, 这既费时且容易出错, 为了缩短功率器件版图的设计周期, 减少错误的可能性, 开发一个高压功率器件版图自动生成器是智能功率集成电路 CAD 系统必须考虑的一个重

张 男, 1970 年出生, 主要从事高压功率器件及智能功率集成电路 CAD 研究工作

李肇基 男, 1940 年出生, 教授, 博士生导师, 主要从事高压功率器件及智能功率集成电路研究工作

1998-04-15 收到, 1998-05-11 定稿

要部分. 目前仅 Philips 实验室利用数字集成电路中的模块生成技术开发了一个高压功率器件的版图自动生成器 HVDEV<sup>[4]</sup>, 并用于智能功率集成电路的设计. 考虑到软件的独立性及灵活性, 我们利用 C 语言开发了一个不依赖于任何 EDA 工具的独立的功率器件版图生成器<sup>[5]</sup>, 其输出为通用的 CIF (Caltech Intermediate Format) 版图格式, 便于其它版图设计软件调用.

CIF 是半导体集成电路版图的一种通用标准, 它遵守一定的格式, 支持层次结构设计, 可以包含一个或多个单元, 而其中的每个单元又可包含多个子单元. 根据 CIF 的这种层次结构的特点, 我们定义如图 1 所示的数据结构(见图版 I), 其中 TOPCELL 中定义了 CIF 版图格式的  $\lambda$  和比例因子, 并且其中还定义了该单元所包含的所有子单元的结构 SUBCELL<sub>i</sub> 和所有子单元被父单元调用的运算规则 OP<sub>i</sub>, 每个子单元 SUBCELL 又定义了该单元中的所有版图层结构 LAYER<sub>i</sub>, 每个 LAYER 结构包含了该单元中每层掩膜版的信息, 其中可以由多个矩形、线段、圆环及多边形等图形构成. 该软件根据设计者描述的高压功率器件的单元结构, 完成器件版图的自动设计.

利用我们开发的高压功率器件版图的生成器, 将传统的版图设计方法的时间由 1~2d 缩短到 1~2min, 并且在器件单元尺寸不变的前提下, 改变器件的输出电流即改变叉指条的个数和长度, 仅须修改输入文件中的一两个参数即可. 它不仅适用于高压功率 LDMOS 的版图设计, 也同样适用于 LIGBT 以及叉指条状的功率 BJT 晶体管的设计. 该版图生成器是用 C 语言开发的并且其输出为通用的 CIF 版图格式, 因此它很方便地重新编译而运行于不同的操作系统和硬件平台, 并且它不依赖于任何版图设计工具, 可以直接输入给 Cadence、Ledit 等工具完成和功率集成电路其它控制电路版图的布局布线设计.

### 3 双层浮空场板 LDMOS 的设计与实验结果

我们在以前设计的高压快速 LIGBT/LDMOS<sup>[6]</sup>和 CLIGBT<sup>[7]</sup>的基础上, 设计了一种具有双层浮空场板的高压功率 LDMOS 的新结构, 如图 2 所示(见图版 I). 首先利用器件的二维的数值分析软件 PISCES II, 对该结构进行模拟分析, 其中 P<sup>-</sup> 衬底浓度为  $1 \times 10^{14} \text{cm}^{-3}$ , n<sup>-</sup> 外延层的浓度为  $1 \times 10^{15} \text{cm}^{-3}$ , 外延层的厚度为 20 $\mu\text{m}$ , 沟道的 P<sup>-</sup> 区浓度为  $1.5 \times 10^{16} \text{cm}^{-3}$ , 结深为 6 $\mu\text{m}$ , 源、漏的 n<sup>+</sup> 浓度为  $1 \times 10^{20} \text{cm}^{-3}$ , 结深为 1 $\mu\text{m}$ . 通过模拟可知, 当 LDMOS 表面引入高压浮连线时, 其表面电场峰值电场由  $3.0 \times 10^5 \text{V/cm}$  增加到  $5.2 \times 10^5 \text{V/cm}$ , 击穿电压从 600V 降低到 430V. 当我们在硅与高压互连线之间的二氧化硅只引入一层浮空场板时, 表面峰值电场将有所下降, 这是因为原来在栅电极边缘处的一个电场峰值被分散为多个电场峰值, 且这些峰值分别位于每个场板的右边缘. 另外相邻两个浮空场板之间的间隙大小也将影响表面峰值电场, 当相邻场板之间的间隙小于优化值时, 表面的电场峰值将会增加, 间隙越小, 电场峰值越高; 当场板的间隙值大于优化值时, 表面的峰值电场几乎不变. 间隙越大, 场板对电场的影响越小, 因此场板之间的间隙设计不好都会使击穿电压降低. 当我们引入第二层场板时, 电场峰值大大地降低, 原来在场板右边缘的每个电场峰值又被分为两个小的电场峰值, 分别位于第一层相邻两个场板间隙的两侧, 所以击穿电压提高到 600V 以上.

通过器件模拟分析, 得到击穿电压为 600V 的 LDMOS 的横向优化单元尺寸, 其中漂移

区长度为  $90\mu\text{m}$ , 栅、漏电极覆盖漂移区的长度分别为  $24\mu\text{m}$  和  $17\mu\text{m}$ , 浮空场板的长度为  $13\mu\text{m}$ , 相邻场板的间隙为  $5\mu\text{m}$ . 根据这些优化设计值, 我们得到功率器件版图自动生成器的输入文件, 其具体格式如下:

```
ciflam da= 0 01 scale= 1 layer= 11
contact center width= 100 name= pad
layer number= 1 name= active style= g segment= 1 x1. left= 15 x1. right= 65
layer number= 2 name= chstop style= s segment= 1 x1. left= 0 x1. right= 28
.....
layer number= 5 name= poly1 style= g segment= 4 x1. left= 41 x1. right= 71
+ x2 left= 76 x2 right= 89 x3 left= 94 x3 right= 107 x4 left= 112 x4 right= 125
layer number= 8 name= poly2 style= g segment= 4 x1. left= 67 x1. right= 80
+ x2 left= 85 x2 right= 98 x3 left= 103 x3 right= 116 x4 left= 121 x4 right= 145
layer num= 9 name= metall style= s segment= 1 x1. l= 0 x1. r= 12
layer num= 9 name= metall style= g segment= 1 x1. l= 8 x1. r= 12
layer num= 9 name= metall style= d segment= 1 x1. l= 32 x1. r= 36
.....
layer num= 11 name= pad style= g segment= 2 x1. l= 4 x1. r= 7
+ x2 l= 15 x2 r= 29
end
```

该文件第一条描述语句说明了该器件版图的高度为  $1500\mu\text{m}$ 、宽度都为  $1550\mu\text{m}$ , 共有五个叉指; 第二条说明了 CIF 格式的  $\lambda$  和比例因子以及版图的层数为十一层; 第三条说明了 LDMOS 版图中漏电极的位置位于版图中央; 每条 layer 语句说明了器件单元每层版图的图形具体尺寸和位置, 其中第五层和第八层为两层多晶硅浮空场板, 第一层多晶硅由栅电极和三段浮空场板构成, 第二层多晶硅由漏电极和三段浮空电极构成, 其中第九层版图是刻引线空, 而栅、源、漏电极分别属于三种不同的叉指条形状, 因此我们用了三条语句分别描述三个电极的版图尺寸和位置, 但它们是同一层版图. 图 3(a) (见图版 I) 是根据该输入文件, 利用版图自动产生器生成的高压功率 LDMOS 版图, 下方的压焊孔为栅电极, 版图中央的为漏电极的压焊孔, 条型之外的部分都可作为源电极的压焊孔, 图 3(b) (见图版 I) 为实际的器件版图照片. 我们采用非自对准的 LDMOS 结构, 实现了与功率集成电路中 CMOS 控制电路工艺的兼容, 简化了工艺. 通过实验测试, 其阈值电压为  $2.5\text{V}$ , 图 4 (见图版 I) 是利用该软件自动设计的器件的实际反向击穿特性, 从图中可看出其击穿电压超过了  $600\text{V}$ , 满足预先设计的要求.

我们利用器件模拟软件 PISCES 对采用双层浮空场板的终端结构来降低高压互连线对击穿电压的影响的高压功率 LDMOS 进行了模拟分析, 并利用我们开发的高压功率器件版图自动生成器完成了其版图的自动设计, 通过实验研究, 其耐压超过了  $600\text{V}$ , 达到了预先设计要求, 缩短了高压功率器件及智能功率集成电路的设计周期.

## 参 考 文 献

- [ 1 ] Elias N. J. ,Woo J. L. ,A CAD System for ASPIC (Application Specific Power IC) design, Proc of Symp. on High Voltage and Smart Power ICs, Electrochemical Society, 1989, 69~ 75
- [ 2 ] Williams R. K. *et al* , IEEE Circuits Devices Mag , 1991, 7: 20~ 25.
- [ 3 ] Elias N. J. .A case study in silicon compilation software engineering, HVDEV High Voltage Device Layout Generator, Proceedings of the 24th Design Automation Conference, June, 1987, 82~ 88
- [ 4 ] Elmar Falck,W illi Gerlach and Jacek Kored, IEEE Trans Electron Devices, 1993, **40**(2): 439~ 447.
- [ 5 ] 张 , 李肇基, 智能功率集成电路CAD 技术, 第十届全国硅材料 IC 学术会, 1997, 9.
- [ 6 ] 李肇基, 张 , 电子学报, 1994, **22**(5): 39~ 46
- [ 7 ] Z. J. Li and J. Du, IEEE Trans Electron Devices, 1994, **ED-41**(12): 2468~ 2471.

## Design of Floating Field Plate Using Automatic Layout Generator

Zhang Min, Li Zhaoji

(Research Institute of Microelectronics, University of Electronic Science and Technology of China, Chengdu 610054)

Received 15 April 1998, revised manuscript received 11 May 1998

**Abstract** Based on the data structure of the layout format CIF, a layout automating generator of the high voltage and power device is developed in this paper, and a layout of the 600V power LDMOS transistor with double layers of floating field plate is designed by it. By the experimental test the results are satisfied with the design expectation. The power device design cycle is decreased significantly by this method when the optimum cell size of the device is determined.

**EEACC:** 1210, 2560, 2570, 8360