

一种新型高精度电流型排序电路*

栗国星 石秉学

(清华大学微电子学研究所 北京 100084)

摘要 本文提出了一种结构简单而精度较高的电流型排序电路。这种电路结构较为简单,其复杂度仅为 $O(N)$,其控制电路与偏置电路也都比较简单,它具有一定的自适应性。该排序电路主要由 WTA 网络、触发电路以及开关电流跟踪/保持电路组成。它的分辨精度取决于 WTA 电路,再现精度则主要由 PMOS 电流镜和跟踪/保持电路决定。其分辨精度在 1% 之内,而其再现精度也比较高,动态范围在几微安到几百微安之间。该电路制作工艺完全与标准数字 CMOS 工艺兼容。

EEACC: 6230F, 2570D, 1285

1 引言

排序在数据结构以及模式信息处理领域有着重要的作用。排序网络的功能是把 N 个未知的输入变量按照升序或降序进行排列。数据结构中用到的排序算法比较多,如常用的有冒泡排序法,快速排序法以及归并排序和选择排序等^[1]。但这些算法用 VLSI 实现相对比较困难。在模式信息处理中,对于排序网络还要求不仅要找出哪个是最大的,哪个是次最大的,而且还要给出最大值是多少,次最大值是多少等。为此本文提出了一种复杂度为 $O(N)$ 而精度较高的电流型排序电路,它不仅能够把 N 个输入电流按从大到小的顺序分时输出,而且还给出哪个是最大的,哪个是次最大的等。这种功能对于模式分类有着重要的意义,该排序电路的制作工艺完全与标准数字 CMOS 工艺兼容,易于实现更大规模。

2 排序电路结构及 HSPICE 模拟

本文所提出的排序电路如图 1 所示,图中只给出具有四个输入端口的排序电路,事实上其规模很易于扩展。图中 D 锁存器是一个带复位的具有正反时钟信号输入和正反输出信号的主从 D 触发器。非对称反相器的作用是为了更好地和前级电平匹配。该排序电路主要由一个高精度的电流型 WTA 电路^[2]以及控制电路和输出跟踪/保持电路组成。它具有以下优点:

* 国家自然科学基金资助项目 (69636030)

栗国星 男, 1970 年出生, 博士研究生, 研究方向为人工神经网络与模糊逻辑及其 VLSI 实现, 模拟及数/模混合集成电路 E-mail: lgx@dns.mie.tsinghua.edu.cn

石秉学 男, 1936 年出生, 教授, 博士生导师, 从事人工神经网络及模糊系统集成电路实现, 模拟与 BiCMOS 数/模混合集成电路与系统研究

1998-04-27 收到, 1998-10-28 定稿

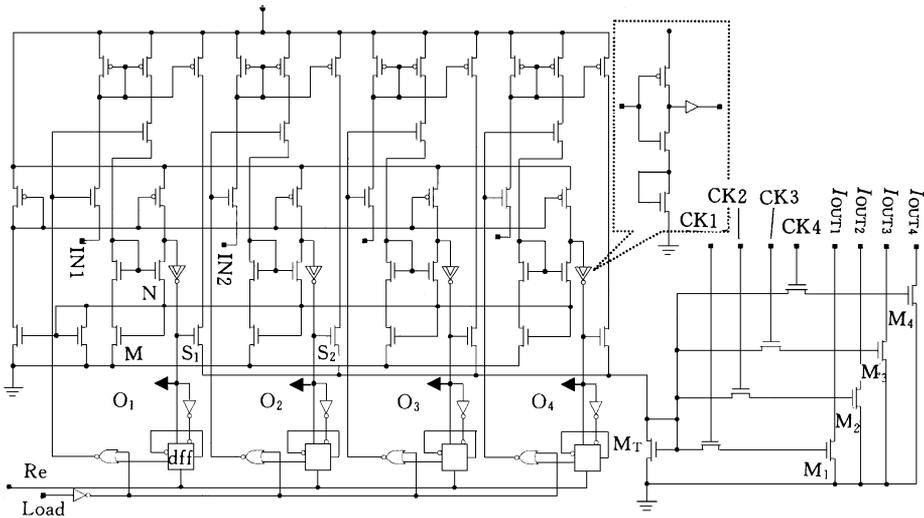


图 1 四端电流型排序电路

- 电路复杂度低, 其复杂度仅为 $O(N)$ (复杂度为输入端口数与所用管子数的关系, 该关系如为线性则复杂度便为 $O(N)$);
- 不需要外加偏置电流或偏置电压, 电路结构简单;
- 它是一个具有自适应能力的系统;
- 其维持功耗很低, 因为在输入电流为零时, WTA 电路与跟踪/保持电路都不工作, 而控制电路的功耗也比较低;
- 动态范围较宽, 所处理电流可以从几微安到几百微安范围内变化;
- 精度较高, 相对精度在 1% 以内;
- 需要的时钟较少;
- 规模易于扩展

该排序电路的分辨精度取决于 WTA 电路的精度, 而其再现精度则由 PMOS 电流镜以及电流跟踪/保持电路所决定。该电路的工作原理如下, 当复位信号 R_e 使所有 D 锁存器的输出为零后, 在 Load 信号为高电平时, N 个未知电流输入到该排序电路, 如果其中 I_i 最大, 则由 WTA 网络选出 I_i 并使其对应输出端 O_i 变为高电平, 该高电平打开其对应的开关管 S_i , 并同时触发控制电路使其在以后的 Load 信号到来时一直关断 I_i 的输入。由于 WTA 每次 Load 信号到来时只输出一个高电平, 因此也只有一个开关管 S_i 导通, 所以在每个 Load 内, N 管 M_T 上的电流总是输入到 WTA 中的最大电流的再现。此时 CK1 为高, 对 I_i 进行跟踪, 在 CK1 变低后, 该开关电流跟踪/保持电路仍能保持这一跟踪电流。这样在下一个 Load 信号到来时, 便可选择出次最大者, 依此类推至选出所有的输入电路为止。对于四输入排序电路, 其时序要求如图 2 所示。其实该排序电路对图 2 中的时序要求并不严格, 一方面是 Load 信号可在 R_e 信号变低后任何时间内到达, 另一方面是跟踪时钟只要在 Load 信号为高后到来即可, 一般希望跟踪时钟 CK_n 能在 Load 信号为高 $1\mu s$ 后到达, 因为 WTA 的收敛时间小于 $1\mu s$ 。

为了提高该排序电路的精度,实际电路中尽量使WTA中的NMOS管的宽长比大一些以提高其跨导,因为WTA的分辨精度与这些NMOS管的跨导成正比^[2],其精度正比于 $g_{mM_{rdN}}$ 。由于WTA网络中每个单元相当于一个改进的Wilson电流镜,这样不仅提高了输出阻抗,而且也改善了直流失配,因此该WTA具有较高的分辨精度,而PMOS电流镜则采取共源共栅结构以减小沟长调制效应和提高输出阻抗。对于开关电流跟踪/保持电路,为了提高其输出阻抗,减小负载效应,可以采用如图3所示的RGC(Regulated Gate Cascode)结构^[3]。

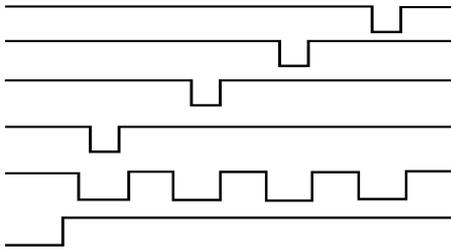


图2 排序电路控制信号时序图

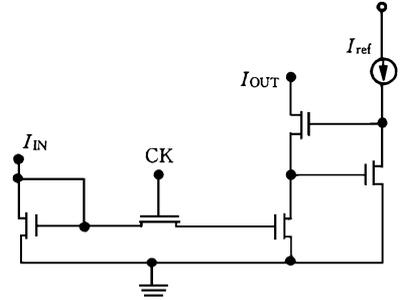


图3 RGC结构的跟踪/保持电路

为了检验该排序电路,我们对其进行了多种情况下的HSPICE模拟。对于一个四输入排序电路,下面给出的是三种较为典型输入情况下的HSPICE模拟结果。第一种情况下, $I_1 = 6.5\mu\text{A}$ 、 $I_2 = 6.2\mu\text{A}$ 、 $I_3 = 6.0\mu\text{A}$ 、 $I_4 = 5.0\mu\text{A}$;第二种输入情况为 $I_1 = 65\mu\text{A}$ 、 $I_2 = 60\mu\text{A}$ 、 $I_3 = 55\mu\text{A}$ 、 $I_4 = 50\mu\text{A}$;第三种输入情况为 $I_1 = 165\mu\text{A}$ 、 $I_2 = 163\mu\text{A}$ 、 $I_3 = 155\mu\text{A}$ 、 $I_4 = 150\mu\text{A}$ 。它们分别代表低、中、高三种输入情况,其对应的输出如表1所示。

表1

输入组别	$I_{OUT1}/\mu\text{A}$	$I_{OUT2}/\mu\text{A}$	$I_{OUT3}/\mu\text{A}$	$I_{OUT4}/\mu\text{A}$	最大误差/ μA
第一种情况	6.52	6.22	6.02	5.02	0.02
第二种情况	64.75	59.79	54.82	49.85	0.25
第三种情况	163.98	162.01	154.07	149.11	1.02

从上表可以看出,对于高、中、低三种输入情况,该排序电路的输出相对误差均在1%以内。该结果与文献[4]相比,具有明显的优点,其一是复杂度较低,它与输入变量成线性关系;其二是规模易于扩展;其三是需要的偏置和控制信号较少;而最明显的优点是其相对精度比较高,不象文献[4]那样,输入电流信号越小,其绝对误差越大,在小输入情况下,其相对误差在10%左右。

图4是对于四端口排序电路在中输入电流情况下HSPICE模拟的输出结果。四端的输入分别为 $I_1 = 50\mu\text{A}$ 、 $I_2 = 40\mu\text{A}$ 、 $I_3 = 35\mu\text{A}$ 、 $I_4 = 30\mu\text{A}$ 。图4(a)是排序电路中WTA的输出,该WTA分时输出 O_1 、 O_2 、 O_3 、 O_4 ,图4(b)则是排序电路中MOS管 M_T 中的漏电流 I_{DS} ,它是每个Load周期内输入到排序电路中对应最大输入电流的再现。该MOS管是组成开关电流跟踪/保持电路的公共管,流经该管的电流在不同的时刻在对应时钟信号 CK_i ($1 \leq i \leq 4$)的作用下由相应的NMOS管 M_i 跟踪并保持下来,其对应输出电流为 I_{OUTi} ,模拟输出结果如

图 4(c) 所示 从以上模拟结果可以看出, 该排序电路正确地实现了排序的功能 它把四个输入电流 I_1 、 I_2 、 I_3 、 I_4 按从大到小的顺序进行排序, 其排序结果分时输出并依次指明哪一端输入是最大的, 哪一端输入是次最大, 哪一端输入电流是最小的

从模拟结果也可以看出, 由于开关管存在时钟馈送/电荷注入效应, 使得电流跟踪/保持电路中的 $M_i (1 \leq i \leq 4)$ 管中的电流在开关管截止时有所降低 这种现象在开关电流电路中普遍存在, 它也是制约开关电流技术广泛应用的一个主要问题 虽然不少文献[5][6]中提出了减小其影响的方法, 但在保持跟踪/保持电路的 MOS 管尺寸不变的情况下, 简单易行的办法就是引入哑(dummy)管 降低时钟 CK 的高电平也可以较明显的减小这一效应 因为时钟信号控制的开关管传送的是电压信号, 只要开关管能够导通, 电压信号便可传送过去 此时因开关动作而注入到保持管 M_i 上的误差电荷则减小了, 因为在开关管电容不变的情况下, 注入的电荷与时钟信号的电平成正比

3 结论

本文提出的电流型排序电路, 不仅具有较高的精度, 其输入电流的分辨能力在 1% 以内, 动态范围较宽, 可工作电流在几微安到几百微安, 而且复杂度也较低, 所需的管子数与输入端数成线性关系 与文献[4]相比, 该排序电路还具有需要的时钟和控制信号以及偏置较少等优点, 因此该排序电路具有自适应性 另一方面, 它还可以实现 WTA 以及 MAX 和 MN 的功能 如果复位信号 Re 和加载信号 Load 始终为高, 则该排序电路便成为常规的电流型 WTA 电路 如果只用一个开关电流跟踪/保持时钟 CK1, 则 I_{OUT1} 的输出便是最大输入电流的再现, 因此此时它实现的是一个 MAX 电路 而如果只使用 CK4, 则 I_{OUT4} 便是四个输入电流中最小输入电流的再现, 因此此时它所实现的便是一个 MN 电路 该排序电路不仅结构简单灵活, 而且由于开关电流技术的应用, 其工艺完全与标准数字 CMOS 工艺兼容, 因此它很易于 VLSI 的实现 目前其核心模块 WTA 已成功地用 $2\mu\text{m}$ CMOS 工艺制作出来, 这

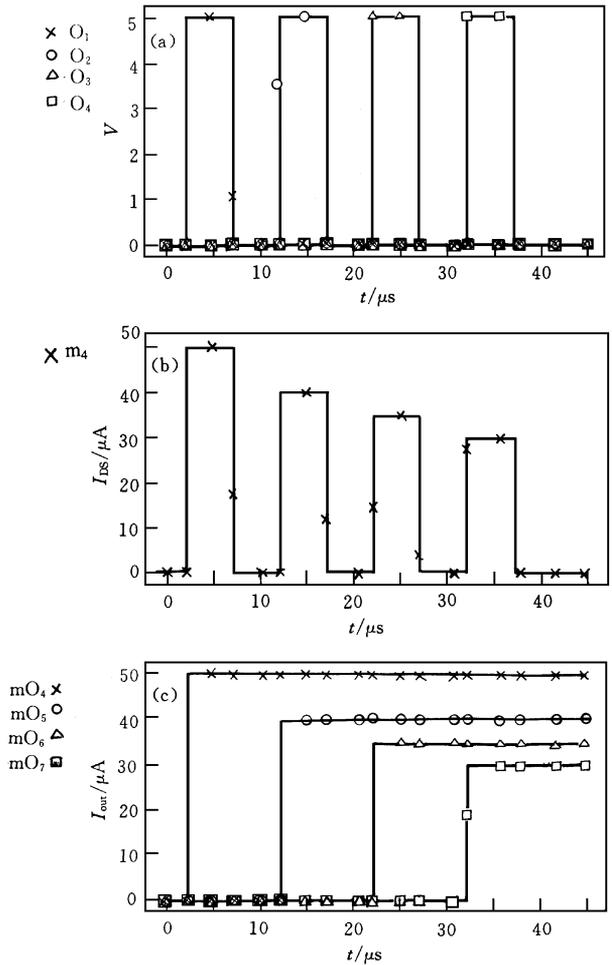


图 4 四端电流型排序电路的 HSPICE 模拟输出波形

种结构的电路将用于手写体数字识别中,并于八月份在上海贝岭用 $1.2\mu\text{m}$ 标准数字 CMOS 工艺进行流水

参 考 文 献

- [1] 王雷主编, 计算机技术与工程应用基础, 天津: 天津大学出版社, 1991 年
- [2] 栗国星, 石秉学, 半导体学报, 1998, **19**(7): 532~ 537.
- [3] S Bibyk and M. Ismail, Analog IC Desing—the Current Mode Approach, ed C. Toumazou *et al* , Peter Peregrams Ltd 1993
- [4] 林谷, 石秉学, 半导体学报, 1998, **19**(2): 144~ 150
- [5] T. S. Fiez *et al* , IEEE J. Solid-State Circuits, 1991, **26**(3): 192~ 201.
- [6] R. H. Zele *et al* , IEEE J. Solid-State Circuits, 1993, **28**(5): 569~ 575.

Novel Current Mode Sorter with High Resolution

Li Guoxing, Shi Bingxue

(*Institute of Microelectronics, Tsinghua University, Beijing 100084*)

Received 27 April 1998, revised manuscript received 28 October 1998

Abstract A novel current mode sorter circuit with compact structure and high resolution is put forward in this paper. This sorter has a simple structure with the complexity of $O(N)$ and a large dynamic range. It also needs less clocks and biasing signals. This sorter mainly consists of WTA circuit, trigger circuit and switched current track/hold circuit. Its resolution is within the range of 1%, dependent on the resolution of WTA and switched current track/hold circuits. This circuit could be implemented in standard digital CMOS technology.

EEACC: 6230F, 2570D, 1285