

氧化对 SOI 基 SiGe 薄膜残余应变弛豫的影响

金波[†] 王曦 陈静 张峰 程新利 陈志君

(中国科学院上海微系统与信息技术研究所, 上海 200050)

摘要: 研究了氧化对外延在 SOI 衬底上的 SiGe 薄膜的残余应变弛豫过程的影响. 通过对 SiGe 薄膜采用不同工艺的氧化, 从而了解不同氧化条件对 SOI 基 SiGe 薄膜的应变弛豫过程的影响. 氧化将会促使 SiGe 薄膜中的 Ge 原子扩散到 SOI 材料的顶层硅中. 而 SiGe 薄膜的残余应变弛豫过程将会与 Ge 原子的扩散过程同时进行. 通过对 SiGe 薄膜和 SOI 顶层硅中位错分布的分析发现: 在氧化过程中, SiGe 薄膜和 SOI 衬底之间存在一个应力传递的过程.

关键词: 氧化; SiGe; SOI; 应变弛豫

PACC: 7280; 6855; 6865

中图分类号: TN304

文献标识码: A

文章编号: 0253-4177(2006)01-0086-05

1 引言

近年来, SiGe 材料在微电子领域得到了广泛的应用. 在 SOI 衬底上外延生长 SiGe 薄膜受到了关注. SiGe/SOI 结构具有很多非常优异的物理和电学性能.

与常规的外延生长在体硅材料上面的 SiGe 薄膜相比较, 在 SOI 材料上面外延生长的 SiGe 薄膜具有以下优点: 能够得到高度弛豫且具有较低位错密度的 SiGe 薄膜, 适宜用来外延高质量的应力硅材料^[1,2]; 可以获得大大超过临界厚度, 且处于应变状态的 SiGe 薄膜^[1], 在 SiGe 能带工程方面有较强的应用前景.

外延在超薄 SOI 衬底上的 SiGe 薄膜有一个很有趣的现象: SiGe 薄膜将会高度弛豫而又不会产生通常情况下应变弛豫所引入的大量位错. 很多科研工作者报道了他们在 SiGe/SOI 结构的应变弛豫过程方面的研究, 并且发表了一定的结果和可能的解释机理^[1,3]. 与体硅材料相比, SOI 材料的最大不同就是在 SOI 材料中存在着一层绝缘层 (buried oxide layer, BOX). 而这层 BOX 将对 SiGe 薄膜的弛豫过程产生极大的影响.

Powell 首先报道了他的实验结果: 在超薄的 SOI 衬底上外延生长获得的 SiGe 薄膜是高度弛豫、位错密度较低的器件级薄膜. 他认为: 在高温退火的情况下 ($> 700^\circ\text{C}$), 二氧化硅和顶层硅之间的界面将会非常脆弱, SiGe 薄膜的应变弛豫过程会迫使 SOI 顶层硅面在二氧化硅的界面上滑动, 从而释放出

SiGe 薄膜中的应力. 由于应力集中在 SOI 顶层硅中, 所以顶层硅中将会有大量的位错出现. 而顶层硅将会由于这种应力的分布和传递过程而产生一定的应力^[1]. 很多研究报道都已经证实了他的工作^[4~8].

Rehder 从他的实验出发, 提出了另外的一个观点来解释这个 SiGe 薄膜应力释放的过程. 他发现: 在 SiGe 薄膜应力释放的早期过程中, 并没有观测到顶层硅产生的部分应力, 而只有在位错大量出现和聚集在顶层硅中以后, 才能够观测到顶层硅的应力^[3]. 他认为: SiGe 薄膜的应力释放过程是通过位错在 SiGe 薄膜和顶层硅中形核、滑移来进行的. 而氧化埋层的存在将会改变位错的结构及其运动的方式, 即位错滑移的过程释放了 SiGe 薄膜中应力.

日本 Toshiba 公司的 Takagi 提出了一种在绝缘体上制备弛豫的、低位错密度的 SiGe 薄膜 (SiGe-on-insulator, SGOI) 的新方法^[7~9]. 其基本原理是: 将 SOI 基上的 SiGe 薄膜进行氧化, 由于 Si 和 Ge 原子的选择性氧化将会促使 SiGe 薄膜中的锗原子从 SiGe 层中扩散到顶层硅中. 而 Ge 原子的扩散将在 SOI 顶层硅中形成新的 SiGe 薄膜. 当氧化过程完成之后, 形成的新 SGOI 材料是高度弛豫的, 高 Ge 含量并且位错密度较低, 比较适合进一步外延生长应变硅材料. 在氧化过程中, SiGe 薄膜中的残余应变的弛豫过程是影响后续的 SGOI 薄膜质量的重要因素之一. 并且, Ge 原子的扩散将对整个 SiGe 薄膜的残余应变的弛豫产生极大影响, 另外 Ge 原子的扩散过程对我们了解 SOI 衬底上面 SiGe 薄膜的弛豫过程有着极大的帮助.

采用喇曼光谱 (Raman spectroscopy) 观测 SiGe

[†]通信作者. Email: Waver_Jin@smics.com

薄膜中的应力,采用二次离子质谱(second ion mass spectrometer, SIMS)分析了 Si Ge/ SOI 结构的成分分布;并用透射电镜(transmission electron microscopy, TEM)来观测整个 Si Ge/ SOI 薄膜的微结构。

2 实验

本实验所使用的 SOI 衬底片由上海新傲公司提供,采用注氧隔离的方法(separation by implanted oxygen, SIMOX)制备得到。SOI 衬底的结构为:100mm p 型(1 0 0),200nm 厚的顶层硅和 200nm 厚的 SiO₂ 埋层。

Si Ge 薄膜外延生长采用的方法是分子束外延(molecular beam epitaxial, MBE)。首先采用常规的硅片清洗工艺清洗 SOI 衬底片,这也是 SOI 材料的优越性之一,可以和现有的体 Si 工艺兼容。然后进行了 Si Ge 薄膜的外延。Si Ge 薄膜外延生长所采用的工艺条件可以从文献中查到^[10],这里就不再赘述。外延时所采用衬底温度为 500℃,目的主要是使 Si Ge 薄膜在外延生长过程中所产生应力弛豫之后能够残留较多的应变。因为当 Si Ge 薄膜厚度超过临界厚度时, Si Ge 薄膜就将弛豫以释放其中的应变能。与外延在体 Si 上的 Si Ge 薄膜相比较而言,外延在 SOI 衬底上的 Si Ge 薄膜可以残留相当的应变,适合进一步的研究。通过俄歇电子能谱(AES)的测试,得到外延的 Si Ge 薄膜中 Ge 含量为 20%。最后得到的 Si Ge/ SOI 结构为:200nm Si_{0.8}Ge_{0.2}/200nm top silicon/200nm SiO₂。

外延完成以后,对 Si Ge/ SOI 结构的原片进行了氧化。为了比较氧化对应力弛豫的影响,选用了三个系列的样品进行对比实验,三组样品分别采用不同的温度进行氧化。具体工艺条件如下:

第 1 组:700℃ 氧化 1h,然后 1100℃ 氧化 2h;

第 2 组:900℃ 氧化 1h,然后 1100℃ 氧化 2h;

第 3 组:1100℃ 氧化 3h。

氧化时所采用的氧气流量为 4L/min。具体的工艺条件和工艺参数见表 1。

表 1 氧化工艺和实验细节

Table 1 Oxidation technology and experimental detail

	第一步氧化(温度,时间)	第二步氧化(温度,时间)
第 1 组	700℃, 1h	1100℃, 2h
第 2 组	900℃, 1h	1100℃, 2h
第 3 组	1100℃, 1h	1100℃, 2h

为了同时高质量和高效率地获得氧化层,对 Si Ge 薄膜氧化是通过两步氧化的方法来进行的:起始的低温氧化和后期的高温氧化。开始时的低温氧化,是为了防止 Si Ge 薄膜表面的聚集效应,并且使

Ge 原子扩散的均匀和缓慢,以便于观测 Si Ge 薄膜的弛豫过程。后期的高温氧化可以提高氧化的速率,缩短氧化的时间。

对样品的分析检测手段为:653.8nm 的红外 Raman 光谱、二次离子质谱(SIMS)和高分辨 TEM。

3 结果与讨论

Raman 光谱是检测 Si Ge 层应力的直观工具,它能够直接从图谱读出 Si Ge 薄膜的应力情况。图 1 所展示的是 3 组样品在氧化完成后的 Raman 谱。在第一步氧化完成以后,三组样品都有不同程度的弛豫:第 1 组样品在第一步氧化之后, Si Ge 薄膜的应变弛豫程度较小;第 2 组样品的 Si Ge 薄膜中的残余应变弛豫的程度比较适中;第 3 组样品在第一步氧化以后,就已经完全弛豫。而在第二步高温氧化之后, Si Ge 薄膜中的 Ge 原子已经扩散到了顶层硅中,并且由于扩散和位错网络的形成,使 Raman 谱中的 Si-Si 峰(Si Ge 薄膜中的)完全消失。从第一步氧化以后的 Raman 结果来看,第 2 组样品比较适合作进一步的分析。

图 2 是第 2 组样品在第一步低温氧化后的透射电镜照片,从上到下,依次为 SiO₂ 氧化层、Si Ge 薄膜、SOI 的顶层硅层以及 SOI 中的 SiO₂ 氧化埋层。第一步的低温氧化过程是成功的,顶层的二氧化硅(SiO₂)平整并且均匀。在 SiO₂/ Si Ge 界面处有一部分应力集中的区域(如图中的箭头 B 所指示的方向)。Si Ge 薄膜平整,且在 Si Ge 薄膜内部没有观测到位错的出现(在 TEM 的观测范围内)。SOI 顶层硅平整,没有位错。而且, Si Ge 薄膜和顶层硅层之间的界面非常清晰。在 Si Ge/ Si 之间的界面上出现了很多缠结的位错。这是因为在氧化的过程中, Ge 原子开始扩散,并且 Si Ge 层薄膜中的残余应变开始进一步弛豫。其应变弛豫的方式主要是通过位错,所以,在 Si Ge/ Si 界面处出现了缠结和交互的位错(如图中的箭头 A 所示)。而且,位错主要出现在界面处,说明 Si Ge 薄膜中的位错是以界面为形核核心的。

同时,根据 Raman 分析的原理可知:Raman 峰的位置是由于 Si-Si 键的状态决定,而强弱是由其数量多少所决定。第二次氧化以后, Si Ge 合金中的应变大量传递到 SOI 顶层硅层中,使得 SOI 顶层硅中出现大量的位错,破坏了 SOI 顶层硅层的完整性;并且 SOI 顶层硅层由于氧化而大大减薄,从而使顶层硅的 Si 原子对的数量也减少,两者综合的作用造成了衬底 Si-Si 的 Raman 峰减弱。图 3 是第 2 组样品在第一步低温氧化之后的 SIMS 测试结果,

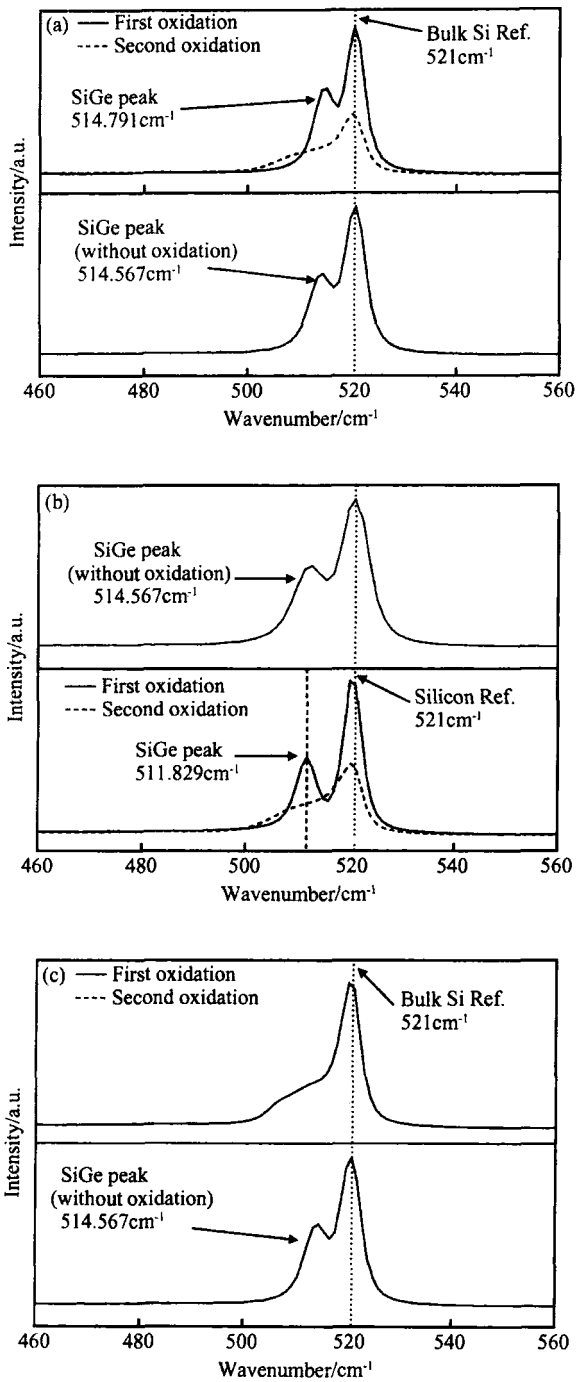


图 1 3 组样品氧化后的喇曼图谱 (a) 700 ;(b) 900 ;(c) 1100

Fig.1 Raman spectra of three groups after oxidation (a) 700 ;(b) 900 ;(c) 1100

发现在 SiO₂ 层下面出现了 Ge 的富集.

图 4 是第 2 组样品在第一步低温氧化之后的高分辨率透射电镜照片. 通过对 SiGe 薄膜和 SOI 顶层硅层的晶格常数计算, 得知: $a_{top} = a_{SiGe} = 0.557\text{nm}$. a_{top} 是 SOI 顶层硅层的晶格常数, a_{SiGe} 是

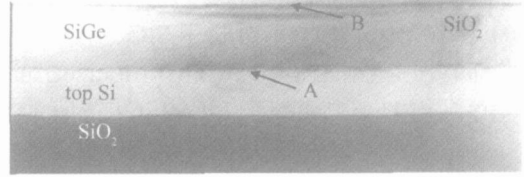


图 2 低温氧化后的第 2 组样品的 TEM 照片
Fig.2 TEM image of group 2 after low temperature oxidation

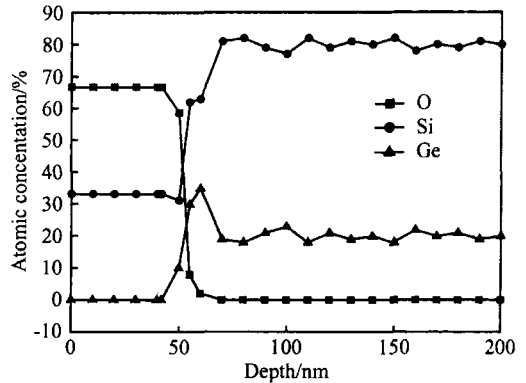


图 3 第 2 组样品在第一步低温氧化之后的 SIMS 结果
Fig.3 SIMS result of group 2 after first low temperature oxidation

SiGe 薄膜的晶格常数. 而正常的 $a_{Si} = 0.5431\text{nm}$, 说明 SOI 顶层硅层为了保持和 SiGe 薄膜的晶格匹配, 发生了张应变.

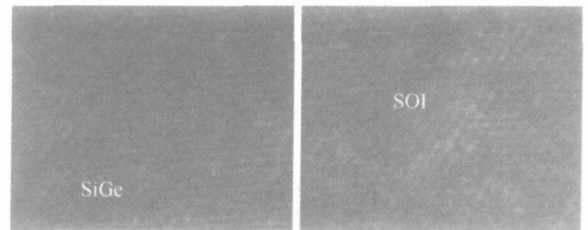


图 4 第 2 组样品 SiGe 薄膜和 SOI 顶层硅界面的高分辨率 TEM 照片
Fig.4 HRTEM images of interface between SiGe film and SOI top silicon layer of group 2

图 5 是第 2 组样品在第二步高温氧化之后的 TEM 照片. 从中可以看到, Ge 原子扩散到顶层硅层中的过程非常明显, 在照片中可以清楚地看到在 SiGe 层中缠绕的位错以及在残留的顶层硅层中的穿透性位错.

仔细观察 SiGe 薄膜和 SOI 顶层硅之间的位错网络和穿透性位错的分布情况可以发现, 在 SiGe 薄膜中, 位错网络最为密集的位置(图中 DN 箭头所指示的区域), 在 SOI 顶层硅中有穿透性位错的存在

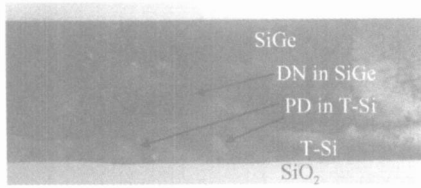


图 5 第 2 组在第二步高温氧化之后的透射电镜照片

Fig.5 TEM image of group 2 after second high temperature oxidation

与之对应(图中 PD 箭头所指示的区域).而在 SiGe 薄膜中有穿透性位错存在的区域,SOI 顶层硅中却没有相应的位错与之对应.

在氧化过程开始以后, SiGe 薄膜中的 Ge 原子开始向下扩散(SOI 薄膜中),与之伴随的在 SiGe/Si 界面处形成了新的一层 $\text{Si}_{1-x}\text{Ge}_x$ 层(x 极小).随着氧化的进行,这层新的 SiGe 层开始向下,也就是 SOI 顶层硅的区域推进.这层新的 SiGe 层也是 SiGe 薄膜中位错开始形核的区域,从图 1 中可以看到, SiGe 薄膜中的起始位错几乎(在电镜的观察范围内)都集中在这个区域.这层 SiGe 层向下的推进,阻碍了 SiGe 薄膜中的位错向 SOI 顶层硅中扩展, SiGe 薄膜中的位错扩散到这层新的 SiGe/Si 界面的地方就被界面所中止,不能扩散到 SOI 顶层硅层中去.所以, SOI 顶层硅中的位错完全是自身形核的结果.即在 Ge 原子的扩散过程中,在新的 SiGe 层形成以后,在 SOI 顶层硅层中出现了应变.而 SOI 顶层硅中应变的出现,是位错形核的动力.并且 SOI 顶层硅中的应变集中区域与 SiGe 薄膜中的应变集中区域相对应,说明 SiGe 薄膜中的应变集中的区域与 SOI 顶层硅中应变集中的区域有内在的联系.这说明,在当前的实验条件下, SiGe 薄膜中的部分残余应变传递到了 SOI 顶层硅中,形成了 SOI 顶层硅中的位错.

4 结论

外延在 SOI 衬底上的 SiGe 薄膜的应力弛豫过程是一个非常复杂的过程,本文研究了氧化对 SiGe 薄膜中残余应变弛豫过程的影响.通过比较应力开始弛豫和弛豫以后的位错分布和形态,认为在氧化过程中, SiGe 薄膜与 SOI 衬底之间存在着应力传递过程, SOI 顶层硅中的应变来自于 SiGe 薄膜.

参考文献

- [1] Powell A R, Lyer S S, LeGoues F K. New approach to the growth of low dislocation relaxed SiGe material. *Appl Phys Lett*, 1994, 64:1856
- [2] LeGoues F K, Powell A R, Lyer S S. Relaxation of SiGe thin films grown on Si/SiO₂ substrates. *J Appl Phys*, 1994, 75: 7240
- [3] Rehder E M, Inoki C K, Kuan T S, et al. SiGe relaxation on silicon-on-insulator substrates: An experimental and modeling study. *J Appl Phys*, 2003, 94:7892
- [4] Huang F Y, Chu M A, Tanner M O, et al. High-quality strain-relaxed SiGe alloy grown on implanted silicon-on-insulator substrate. *Appl Phys Lett*, 2002, 76:2680
- [5] Yin H, Huang R, Hobart K D, et al. Strain relaxation of SiGe islands on compliant oxide. *J Appl Phys*, 2002, 91:9716
- [6] Huang R, Yin H, Liang J, et al. Relaxation of a strained elastic film on a viscous layer. *Mat Res Soc Symp Proc*, 2002:695
- [7] Tezuka T, Sugiyama N, Mizuno T, et al. A novel fabrication technique of ultrathin and relaxed SiGe buffer layers with high Ge fraction for sub-100nm strained silicon-on-insulator MOSFETs. *Jpn J Appl Phys*, 2001, 40:2866
- [8] Mizuno T, Sugiyama N, Tezuka T, et al. Relaxed SiGe-on-insulator substrates without thick SiGe buffer layers. *Appl Phys Lett*, 2002, 80:601
- [9] Lim Y S, Jeong J S, Lee J Y. Dry thermal oxidation of a graded SiGe layer. *Appl Phys Lett*, 2001, 79:3606
- [10] Brunner K, Dobler H, Abstreiter G, et al. Molecular beam epitaxy growth and thermal stability of $\text{Si}_{1-x}\text{Ge}_x$ layers on extremely thin silicon-on-insulator substrates. *Thin Solid Films*, 1998, 321:245

Influence of Oxidation on Residual Strain Relaxation of SiGe Film Grown on SOI Substrate

Jin Bo[†], Wang Xi, Chen Jing, Zhang Feng, Cheng Xinli, and Chen Zhijun

(Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

Abstract : The influence of oxidation on the relaxation of residual strain in SiGe films epitaxially grown on SOI substrate are studied. These samples are oxidized with different technologies for the purpose of studying the influence of different oxidation processes on the relaxation of residual strain in SiGe films. Oxidation driven Ge atoms diffuse from the SiGe film to the top silicon layer. There is residual strain in SiGe film relaxation processes with the diffusion of Ge atoms. We contrast the dislocation distribution in the SiGe film and the top silicon layer :there is a strain transfer process between the SiGe film and the top silicon layer during oxidation.

Key words : oxidation; SiGe on SOI; strain relaxation

PACC : 7280; 6855; 6865

Article ID : 0253-4177(2006)01-0086-05

[†]Corresponding author. Email :Waver_Jin@smics.com

Received 14 April 2005 ,revised manuscript received 1 October 2005